32 位 MCU
ES32F0283

参 考 手 册

☐ 产 品 简 介
☐ 数 据 手 册
☑ 参 考 手 册

上海东软载波微电子有限公司

2023-07-13

目录

目录 2
前言 25
相关文件 26
文件约定 27
第 1 章 系统和内存概述 28
1. 1 概述 28
1. 2 结构图 30
1. 3 功能描述 31
1. 4 内存映射 35
第 2 章 ARM ® Cortex™-M0 Core 39
2. 1 概述 39
2. 2 特性 39
2. 3 功能描述 40
2. 3. 1 CPU 系统定时器控制寄存器(SYST) 40
2. 3. 2 嵌套向量中断控制器(NVIC) 41
2. 3. 3 CPU 系统控制 43
2. 4 特殊功能寄存器 44
2. 4. 1 寄存器列表 44
2. 4. 2 寄存器描述 45
第 3 章 系统配置控制器 (SYSCFG) 58
3. 1 概述 58
3. 2 特性 58
3. 3 功能描述 59
3. 3. 1 电源 59
3. 3. 2 低功耗模式 (Low Power Mode) 64
3. 3. 3 系统重映射(Remap) 69
3. 3. 4 停止外设计数 70
3. 3. 5 红外线(IR)控制信号 70
3. 3. 6 内部电阻分压电源 71
3. 4 特殊功能寄存器 72
3. 4. 1 寄存器列表 72
3. 4. 2 寄存器描述 73
第 4 章 复位和时钟控制 (RCU) 101
4. 1 概述 101
4. 2 特性 101
4. 3 功能描述 102
4. 3. 1 复位 102
4. 3. 2 时钟 104
4. 3. 3 时钟校准 111
4. 4 特殊功能寄存器 112
4. 4. 1 寄存器列表 112
4. 4. 2 寄存器描述 113

第 5 章 闪存控制器 (FLASH) 141
5.1 概述 141
5.2 特性 141
5.3 闪存结构 142
5.4 功能描述 143
5.4.1 用户配置字 143
5.4.2 系统配置字 148
5.4.3 闪存操作解锁 158
5.4.4 闪存保护 158
5.4.5 闪存重映射 163
5.4.6 配置字重载 163
5.4.7 闪存编程 164
5.4.8 闪存擦除 164
5.5 特殊功能寄存器 166
5.5.1 寄存器列表 166
5.5.2 寄存器描述 167
第 6 章 通用 I/Os (GPIO) 176
6.1 概述 176
6.2 特性 176
6.3 结构图 177
6.4 功能描述 178
6.4.1 通用 I/O (GPIO) 179
6.4.2 I/O 端口复用功能多任务与映射 179
6.4.3 I/O 端口控制寄存器 180
6.4.4 I/O 端口数据寄存器 180
6.4.5 I/O 数据位操作 180
6.4.6 GPIO 锁定机制 180
6.4.7 I/O 复用功能输入/输出 180
6.4.8 外部中断/唤醒通道 180
6.4.9 输入配置 181
6.4.10 输出配置 182
6.4.11 复用功能配置 183
6.4.12 模拟配置 184
6.4.13 将 HOSC 与 LOSC 晶振引脚配置为通用 I/Os 184
6.5 特殊功能寄存器 185
6.5.1 寄存器列表 185
6.5.2 寄存器描述 186
第 7 章 外设互联 (PIS) 198
7.1 概述 198
7.2 连接汇总 198
7.3 互连描述 199
7.3.1 定时器互连 199
7.3.2 从定时器、EXTI 和 RTC 到 ADC 200
7.3.3 从 ADC 到 AD16C4T1 200

7.3.4 从时钟源到 GP32C4T1 200
7.3.5 从定时器到比较器 201
7.3.6 从内部模拟源到 ADC 201
7.3.7 从比较器到定时器 201
7.3.8 从系统错误到 AD16C4T1、GP16C2T1、GP16C2T2、GP16C2T3 和 GP16C2T4 201
7.3.9 从 GP16C2T2、GP16C2T3、GP16C2T4、UART2 和 UART4 到 IRINF ... 201
第 8 章 运算加速器 (CALC) 202
8.1 概述 202
8.2 特性 202
8.3 功能描述 202
8.3.1 平方根运算 202
8.3.2 除法运算 204
8.4 特殊功能寄存器 207
8.4.1 寄存器列表 207
8.4.2 寄存器描述 208
第 9 章 高级加密标准 (AES) 212
9.1 概述 212
9.2 特性 212
9.3 功能描述 213
9.3.1 加密标准 213
9.3.2 编码功能流程 216
9.3.3 译码功能流程 217
9.3.4 AES 处理时间 218
9.3.5 AES 模式描述 218
9.3.6 AES DMA 设置 222
9.4 特殊功能寄存器 223
9.4.1 寄存器列表 223
9.4.2 寄存器描述 224
第 10 章 循环冗余校验 (CRC) 233
10.1 概述 233
10.2 特性 233
10.3 功能描述 233
10.4 特殊功能寄存器 235
10.4.1 寄存器列表 235
10.4.2 寄存器描述 236
第 11 章 时钟同步单元(CSU) 242
11.1 概述 242
11.2 特性 242
11.3 结构图 243
11.4 功能描述 244
11.4.1 同步信号输入 244
11.4.2 频率偏差计数器 244
11.4.3 频率偏差评估与自动校准 245

11.4.4 CSU 初始化与配置 246
11.4.5 CSU 中断 247
11.5 特殊功能寄存器 248
11.5.1 寄存器列表 248
11.5.2 寄存器描述 249
第 12 章 键盘控制单元(KBCU) 259
12.1 概述 259
12.2 特性 259
12.3 结构图 260
12.4 功能描述 261
12.4.1 预分频器 261
12.4.2 LED PWM 输出 261
12.4.3 按键扫描 267
12.4.4 中断配置 268
12.5 特殊功能寄存器 269
12.5.1 寄存器列表 269
12.5.2 寄存器描述 270
第 13 章 直接存储器访问控制器 (DMA) 291
13.1 概述 291
13.2 特性 291
13.3 结构图 292
13.4 功能描述 292
13.4.1 通道选择配置 292
13.4.2 DMA 控制 294
13.4.3 通道控制数据结构 308
13.4.4 地址计算 309
13.5 特殊功能寄存器 310
13.5.1 寄存器列表 310
13.5.2 寄存器描述 313
第 14 章 通用异步收发器 (UART) 389
14.1 概述 389
14.2 特性 389
14.3 结构图 391
14.4 功能描述 392
14.4.1 具体功能配置 393
14.4.2 功能描述 393
14.4.3 发送器 395
14.4.4 接收器 396
14.4.5 状态寄存器 400
14.4.6 波特率产生器 401
14.4.7 自动波特率侦测 402
14.4.8 自动流量控制 404
14.4.9 Modbus 通信 406
14.4.10 校验控制 406

14.4.11 多处理器通信 407
14.4.12 LIN 模式 408
14.4.13 单线半双工通讯 410
14.4.14 智能卡模式 411
14.4.15 IrDA SIR 模块 412
14.4.16 使用 DMA 连续通讯 414
14.4.17 中断配置 415
14.5 特殊功能寄存器 417
14.5.1 寄存器列表 417
14.5.2 寄存器描述 418
第 15 章 外部中断 (EXTI) 443
15.1 概述 443
15.2 特性 443
15.3 结构图 444
15.4 功能描述 445
15.4.1 硬件中断选择 445
15.4.2 软件中断选择 445
15.4.3 外部和内部中断 / 事件通道映射 445
15.5 特殊功能寄存器 447
15.5.1 寄存器列表 447
15.5.2 寄存器描述 448
第 16 章 模数转换器 (ADC) 462
16.1 概述 462
16.2 特性 462
16.3 结构图 463
16.4 功能描述 464
16.4.1 ADC 时钟 464
16.4.2 ADC 校准 464
16.4.3 ADC 开关控制 465
16.4.4 写入 ADC 寄存器时的限制 467
16.4.5 ADC 通道选择 467
16.4.6 可独立设置各个通道的采样时间 467
16.4.7 单次转换模式 468
16.4.8 连续转换模式 468
16.4.9 开始转换 469
16.4.10 ADC 时序 471
16.4.11 停止正在进行的转换 473
16.4.12 外部触发转换设定 475
16.4.13 插入通道设定 476
16.4.14 不连续转换模式 477
16.4.15 可编程分辨率 - 快速转换模式 478
16.4.16 采样、转换结束 478
16.4.17 转换序列结束 478
16.4.18 转换时序范例 479

16.4.19 数据管理 482
16.4.20 动态低功耗特性 486
16.4.21 模拟看门狗 495
16.4.22 温度感测 496
16.4.23 监测内部参考电压 496
16.4.24 监测内部电阻分压 496
16.4.25 ADC 中断 497
16.5 特殊功能寄存器 498
16.5.1 寄存器列表 498
16.5.2 寄存器描述 499
第 17 章 模拟比较器 (CMP) 535
17.1 概述 535
17.2 特性 535
17.3 结构图 536
17.4 功能描述 537
17.4.1 CMP 引脚与外部信号 537
17.4.2 CMP 复位与时钟 537
17.4.3 CMP 锁定机制 537
17.4.4 CMP 窗口模式 537
17.4.5 CMP 迟滞功能 538
17.4.6 CMP 滤波功能 538
17.4.7 CMP 消隐功能 538
17.4.8 CMP 中断功能 539
17.5 特殊功能寄存器 540
17.5.1 寄存器列表 540
17.5.2 寄存器描述 541
第 18 章 高级控制定时器 16 位 4 通道 (AD16C4T1) 545
18.1 概述 545
18.2 特性 545
18.3 结构图 546
18.4 功能描述 547
18.4.1 定时单位 547
18.4.2 重复计数器 548
18.4.3 时钟源 549
18.4.4 计数模式 553
18.4.5 捕获或比较通道 557
18.4.6 输入捕获模式 559
18.4.7 PWM 输出模式 561
18.4.8 输出比较模式 565
18.4.9 单脉冲模式 567
18.4.10 互补输出与死区时间 568
18.4.11 刹车功能 569
18.4.12 生成 6 步 PWM 571
18.4.13 编码器接口模式 572

18.4.14 输入 XOR 功能 574
18.4.15 霍尔传感器接口 574
18.4.16 外部触发的同步 576
18.4.17 定时器同步 580
18.4.18 ADC 触发生成 584
18.4.19 调试模式 584
18.5 特殊功能寄存器 585
18.5.1 寄存器列表 585
18.5.2 寄存器描述 586
第 19 章 通用定时器 32 位 4 通道（GP32C4T1） 624
19.1 概述 624
19.2 特性 624
19.3 结构图 625
19.4 功能描述 626
19.4.1 定时单位 626
19.4.2 时钟源 627
19.4.3 计数模式 630
19.4.4 捕获或比较通道 635
19.4.5 输入捕获模式 636
19.4.6 PWM 输入模式 637
19.4.7 PWM 输出模式 638
19.4.8 输出比较模式 642
19.4.9 单脉冲模式 644
19.4.10 编码器接口模式 645
19.4.11 输入 XOR 功能 647
19.4.12 外部触发的同步 647
19.4.13 定时器同步 651
19.4.14 ADC 触发生成 655
19.4.15 调试模式 655
19.5 特殊功能寄存器 656
19.5.1 寄存器列表 656
19.5.2 寄存器描述 657
第 20 章 通用定时器 16 位 4 通道（GP16C4Tn） 688
20.1 概述 688
20.2 特性 688
20.3 结构图 689
20.4 功能描述 690
20.4.1 定时单位 690
20.4.2 时钟源 691
20.4.3 计数模式 695
20.4.4 捕获或比较通道 699
20.4.5 输入捕获模式 700
20.4.6 PWM 输入模式 701
20.4.7 PWM 输出模式 702

20.4.8 输出比较模式 706
20.4.9 单脉冲模式 708
20.4.10 编码器接口模式 709
20.4.11 输入 XOR 功能 711
20.4.12 外部触发的同步 711
20.4.13 定时器同步 715
20.4.14 ADC 触发生成 719
20.4.15 调试模式 719
20.5 特殊功能寄存器 720
20.5.1 寄存器列表 720
20.5.2 寄存器描述 721
第 21 章 通用定时器 16 位 2 通道 (GP16C2Tn) 752
21.1 概述 752
21.2 特性 752
21.3 结构图 753
21.4 功能描述 754
21.4.1 定时单位 754
21.4.2 重复计数器 755
21.4.3 时钟源 756
21.4.4 计数模式 759
21.4.5 捕获或比较通道 761
21.4.6 输入捕获模式 763
21.4.7 PWM 输入模式 764
21.4.8 PWM 输出模式 765
21.4.9 输出比较模式 766
21.4.10 单脉冲模式 768
21.4.11 互补输出与死区时间 769
21.4.12 刹车功能 770
21.4.13 生成 6 步 PWM 772
21.4.14 外部触发的同步 773
21.4.15 定时器同步 776
21.4.16 ADC 触发生成 780
21.4.17 调试模式 780
21.5 特殊功能寄存器 781
21.5.1 寄存器列表 781
21.5.2 寄存器描述 782
第 22 章 基本定时器 16 位 (BS16T1) 811
22.1 概述 811
22.2 特性 811
22.3 结构图 811
22.4 功能描述 812
22.4.1 定时单位 812
22.4.2 时钟源 813
22.4.3 计数模式 814

22.4.4 调试模式 816
22.5 特殊功能寄存器 817
22.5.1 寄存器列表 817
22.5.2 寄存器描述 818
第 23 章 独立看门狗 (IWDT) 826
23.1 概述 826
23.2 特性 826
23.3 结构图 827
23.4 功能描述 828
23.4.1 窗口选项 828
23.4.2 低功耗模式下的行为 829
23.4.3 调试模式 829
23.5 特殊功能寄存器 830
23.5.1 寄存器列表 830
23.5.2 寄存器描述 831
第 24 章 窗口看门狗 (WWDT) 837
24.1 概述 837
24.2 特性 837
24.3 结构图 838
24.4 功能描述 839
24.4.1 启用看门狗 839
24.4.2 控制递减计数器 839
24.4.3 高级看门狗中断功能 839
24.4.4 如何配置看门狗超时 840
24.4.5 调试模式 840
24.5 特殊功能寄存器 841
24.5.1 寄存器列表 841
24.5.2 寄存器描述 842
第 25 章 实时时钟 (RTC) 847
25.1 概述 847
25.2 特性 847
25.3 结构图 848
25.4 功能描述 848
25.4.1 设定并开启 RTC 848
25.4.2 读取 RTC 日期与时间 848
25.4.3 RTC 校准 849
25.4.4 RTC 睡眠计数器 850
25.4.5 RTC 闹铃 850
25.4.6 RTC 触发 ADC 850
25.5 特殊功能寄存器 851
25.5.1 寄存器列表 851
25.5.2 寄存器描述 852
第 26 章 串行通讯 (I2C) 873
26.1 概述 873

26.2 特性 873
26.3 结构图 874
26.4 功能描述 875
26.4.1 I2C 总线协议 875
26.4.2 I2C 时钟要求 878
26.4.3 数据传输 879
26.4.4 I2C 从机模式 880
26.4.5 I2C 主机模式 885
26.4.6 I2C_TIMINGR 寄存器的配置的例子 889
26.4.7 SMBus 具体功能 890
26.4.8 SMBus 初始化 893
26.4.9 SMBus: I2C_TIMEOUTR 寄存器配置的例子 894
26.4.10 DMA 请求 895
26.4.11 错误情况 895
26.4.12 I2C 中断 896
26.4.13 调试模式 896
26.5 特殊功能寄存器 897
26.5.1 寄存器列表 897
26.5.2 寄存器描述 898
第 27 章 串行外设接口 (SPI) /集成电路内置音频总线 (I2S) 922
27.1 概述 922
27.2 特性 922
27.2.1 SPI 的主要特点 922
27.2.2 I2S 的主要特点 923
27.3 SPI 实现 923
27.4 SPI 结构图 924
27.5 SPI 功能描述 925
27.5.1 时钟相位和极性控制 925
27.5.2 数据帧格式 926
27.5.3 从机片选(NSS)引脚管理 926
27.5.4 主机与从机的单对单通讯应用 927
27.5.5 标准多从机通讯应用 930
27.5.6 多主机通讯应用 931
27.5.7 SPI 配置成从机模式 932
27.5.8 SPI 配置成主机模式 933
27.5.9 数据发送和接收 934
27.5.10 SPI 关闭流程 943
27.5.11 DMA 请求 944
27.5.12 CRC 计算 946
27.5.13 SPI 状态标志 948
27.5.14 SPI 中断事件 950
27.5.15 SPI TI 模式 952
27.6 I2S 结构图 953
27.7 I2S 功能描述 954

27.7.1 音频协议 954
27.7.2 时钟产生器 961
27.7.3 I2S 主机模式 963
27.7.4 I2S 从机模式 964
27.7.5 I2S 状态标志 965
27.7.6 I2S 中断事件 967
27.8 特殊功能寄存器 970
27.8.1 寄存器列表 970
27.8.2 寄存器描述 971
第 28 章 通用串行总线 (USB) 994
28.1 概述 994
28.2 特性 994
28.3 结构图 995
28.4 功能描述 996
28.4.1 操作模式 996
28.4.2 设备模式 996
28.4.3 主机模式 1000
28.5 特殊功能寄存器 1005
28.5.1 寄存器列表 1005
28.5.2 寄存器描述 1007
附录 1 ARM Cortex-M0 参考资料 1068
附录 1.1 介绍 1068
附录 1.2 关于 Cortex-M0 处理器和核心外设 1068
附录 1.2.1 系统级接口 1069
附录 1.2.2 集成的可配置调试 1069
附录 1.2.3 Cortex-M0 处理器特性小结 1069
附录 1.2.4 Cortex-M0 核心外设 1069
附录 1.3 处理器 1070
附录 1.3.1 编程模型 1070
附录 1.3.2 存储器模型 1076
附录 1.3.3 异常模型 1079
附录 1.3.4 故障处理 1084
附录 1.3.5 电源管理 1085
附录 1.4 指令集 1087
附录 1.4.1 指令集汇总 1087
附录 1.4.2 内部函数 1090
附录 1.4.3 关于指令的描述 1091
附录 1.4.4 存储器访问指令 1096
附录 1.4.5 通用数据处理指令 1101
附录 1.4.6 跳转和控制指令 1111
附录 1.4.7 杂项指令 1113
附录 1.5 外设 1119
附录 1.5.1 关于 ARM Cortex-M0 1119
附录 1.5.2 内嵌向量中断控制器 1119

附录 1. 5. 3 系统控制块 1125
附录 1. 5. 4 系统定时器，SysTick 1130
附录 1. 6 Cortex-M0 指令汇总 1133
版本历史 1136

图目录

图 1-1 ES32F0283 系统框图 30
图 1-2 内存映射 35
图 3-1 电源架构 59
图 3-2 POR/PDR 复位 61
图 3-3 BOR 复位 62
图 3-4 LVD 复位 63
图 3-5 红外线控制信号组合 71
图 3-6 内部电阻分压电源 71
图 4-1 系统复位 103
图 4-2 时钟架构图 105
图 4-3 HOSC/LOSC 时钟源 106
图 5-1 读保护等级转换示意图 161
图 5-2 闪存映射后读取位置对照图 163
图 6-1 I/O 端口位的基本结构图 177
图 6-2 I/O 端口位的输入配置 181
图 6-3 I/O 端口位的输出配置 182
图 6-4 I/O 端口位的复用配置 183
图 6-5 I/O 端口位的模拟配置 184
图 9-1 轮密钥加 213
图 9-2 字节代换 214
图 9-3 行移位 214
图 9-4 列混合 215
图 9-5 编码功能流程 216
图 9-6 译码功能流程 217
图 9-7 加密/解密时间 218
图 9-8 ECB 模式 218
图 9-9 CBC 模式 219
图 9-10 CFB 模式 220
图 9-11 OFB 模式 221
图 9-12 CTR 模式 222
图 10-1 设定流程 234
图 11-1 CSU 结构图 243
图 11-2 CSU 计数器行为 244
图 12-1 KBCU 结构图 260
图 12-2 KBCU 预分频器 261
图 12-3 KBCU PWM 占空比，COLVALUE=0 262
图 12-4 KBCU PWM 占空比，COLVALUE=1、3、5 262
图 12-5 KBCU COL_FLAG 与 DMA 需求 263
图 12-6 KBCU PWM 占空比，COLVALUE=5，COL_MASK=1、3、5、6 264
图 12-7 KBCU PWM 占空比，COLVALUE=5，MASK =0、1、2、3、4、5、6 264
图 12-8 KBCU PWM 占空比搭配死区 265
图 12-9 KBCU 闪烁搭配 Frame 计数器 266

图 12-10 KBCU 按键扫描.....267
图 13-1 DMA 结构框图.....292
图 13-2 轮询流程图.....296
图 13-3 乒乓示例图.....298
图 13-4 存储器分散-聚集示例.....302
图 13-5 外设分散-聚集示例.....306
图 13-6 6 组主要和交替通道控制数据结构寄存器映射.....308
图 14-1 UART 框图.....391
图 14-2 数据宽度设置.....394
图 14-3 配置停止位.....395
图 14-4 防抖动波形.....396
图 14-5 防抖动输出.....397
图 14-6 起始位侦测.....397
图 14-7 数值采样.....398
图 14-8 自动波特率侦测模式 0.....403
图 14-9 自动波特率侦测模式 1.....403
图 14-10 自动波特率侦测模式 2.....404
图 14-11 自动流量控制框图.....404
图 14-12 自动 RTSn 控制.....405
图 14-13 自动 CTSn 控制.....405
图 14-14 驱动开启当 AADINV=0.....405
图 14-15 使用地址标示侦测模式.....407
图 14-16 LIN 模式侦测断路信号(11 位断路长度 – LBDL 位为 1).....409
图 14-17 LIN 模式侦测断路信号与帧错误信号.....410
图 14-18 ISO 7816-3 异步协定.....411
图 14-19 1.5 位停止位时检测校验错误.....412
图 14-20 红外收发框图.....413
图 14-21 IrDA 数据调制(3/16) – 正常模式.....414
图 15-1 外部中断 / 事件框图.....444
图 15-2 外部中断/事件 GPIO 映射.....446
图 16-1 ADC 结构图.....463
图 16-2 ADC 校准.....464
图 16-3 ADC 使能/禁止.....466
图 16-4 ADC 标准转换.....471
图 16-5 ADC 插入转换.....472
图 16-6 停止正在进行的标准转换.....473
图 16-7 停止正在进行的插入转换.....474
图 16-8 单次序列转换,软件触发.....479
图 16-9 连续序列转换,软件触发.....479
图 16-10 单次序列转换,硬件触发.....480
图 16-11 连续序列转换,硬件触发.....481
图 16-12 右对齐(无使用偏移,无符号值).....483
图 16-13 右对齐(使用偏移,有符号值).....483
图 16-14 左对齐(无使用偏移,无符号值).....484

图 16-15 左对齐(使用偏移,有符号值)....484
图 16-16 溢出示意图....485
图 16-17 AUTODLY=1，连续模式下的标准转换，软件触发....488
图 16-18 AUTODLY=1，被插入转换中断的标准硬件转换(NCHDCEN；ICHDCEN=1)....489
图 16-19 AUTODLY=1，被插入转换中断的标准硬件转换(NCHDCEN；ICHDCEN=1)....490
图 16-20 AUTODLY=1，被插入转换中断的标准连续转换....491
图 16-21 AUTODLY=1，自动插入模式 (IAUTO=1)....492
图 16-22 AUTODLY=0，自动关闭转换模式(AUTOFF)....493
图 16-23 AUTODLY=1，自动关闭转换模式(AUTOFF)....494
图 16-24 模拟看门狗....495
图 16-25 V_{RES} 分压....496
图 17-1 CMP 架构图....536
图 17-2 CMP 窗口模式....537
图 17-3 迟滞功能示意图....538
图 17-4 消隐功能示意图....538
图 18-1 AD16C4T1 定时器结构框图....546
图 18-2 预分频值计数时序图....547
图 18-3 重复计数器工作模式....548
图 18-4 采用内部时钟计数....549
图 18-5 外部时钟连接....550
图 18-6 外部触发输入模块....551
图 18-7 ITn 内部时钟连接....552
图 18-8 计数器递增计数时序图....553
图 18-9 设置 ARPEN 位为 0 时计数器时序图....554
图 18-10 设置 ARPEN 位为 1 时计数器时序图....554
图 18-11 计数器递减计数时序图....555
图 18-12 计数器递增减计数时序图....557
图 18-13 捕获或比较通道....557
图 18-14 捕获或比较通道结构图....558
图 18-15 捕获或比较通道的输出部分....558
图 18-16 PWM 输入模式时序....560
图 18-17 边沿对齐递增计数 PWM 波形(AR=8)....562
图 18-18 边沿对齐递减计数 PWM 波形(AR=8)....563
图 18-19 中心对齐 PWM 波形(AR 位为 3Fh，CCRV 位为 3Dh)....564
图 18-20 输出比较模式，触发 CHn....566
图 18-21 清除比较输出 CHn....566
图 18-22 单脉冲模式....568
图 18-23 互补输出含死区时间插入....569
图 18-24 刹车输出行为....570
图 18-25 COM 事件生成 6 步 PWM....571
图 18-26 编码器接口模式下的计数操作....573
图 18-27 滤波后极性反相时编码器接口例子....573
图 18-28 霍尔传感器接口范例....575
图 18-29 复位模式控制电路....576

图 18-30 门控模式控制电路 577
图 18-31 触发模式控制电路 578
图 18-32 外部时钟源 2＋触发模式下的控制电路 579
图 18-33 主/从定时器范例 580
图 18-34 门控从定时器使用主定时器 CH1REF 581
图 18-35 用主定时器更新事件触发从定时器计数 582
图 18-36 使用定时器 1 的 I1 输入触发定时器 1 和定时器 2 583
图 18-37 ADC 触发生成 584
图 19-1 GP32C4T1 定时器结构框图 625
图 19-2 预分频值计数时序图 626
图 19-3 采用内部时钟计数 627
图 19-4 外部时钟连接 628
图 19-5 外部触发输入模块 629
图 19-6 ITn 内部时钟连接 630
图 19-7 计数器递增计数时序图 631
图 19-8 设置 ARPEN 位为 0 时计数器时序图 631
图 19-9 设置 ARPEN 位为 1 时计数器时序图 632
图 19-10 计数器递减计数时序图 633
图 19-11 计数器递增减计数时序图 634
图 19-12 捕获或比较通道 635
图 19-13 捕获或比较通道结构图 635
图 19-14 捕获或比较通道的输出部分 636
图 19-15 PWM 输入模式时序 637
图 19-16 边沿对齐递增计数 PWM 波形(AR=8) 639
图 19-17 边沿对齐递减计数 PWM 波形(AR=8) 640
图 19-18 中心对齐 PWM 波形(AR 位为 3Fh，CCRV 位为 3Dh) 641
图 19-19 输出比较模式，触发 CHn 643
图 19-20 清除比较输出 CHn 643
图 19-21 单脉冲模式 645
图 19-22 编码器接口模式下的计数操作 647
图 19-23 滤波后极性反相时编码器接口例子 647
图 19-24 复位模式控制电路 648
图 19-25 门控模式控制电路 649
图 19-26 触发模式控制电路 649
图 19-27 外部时钟源 2＋触发模式下的控制电路 650
图 19-28 主/从定时器范例 651
图 19-29 门控从定时器使用主定时器 CH1REF 652
图 19-30 使用主定时器更新事件触发从定时器计数 653
图 19-31 使用定时器 1 的 I1 输入触发定时器 1 和定时器 2 654
图 19-32 ADC 触发生成 655
图 20-1 GP16C4Tn 定时器结构框图 689
图 20-2 预分频值计数时序图 690
图 20-3 采用内部时钟计数 691
图 20-4 外部时钟连接 692

图 20-5 外部触发输入模块 693
图 20-6 ITn 内部时钟连接 694
图 20-7 计数器递增计数时序图 695
图 20-8 设置 ARPEN 位为 0 时计数器时序图 696
图 20-9 设置 ARPEN 位为 1 时计数器时序图 696
图 20-10 计数器递减计数时序图 697
图 20-11 计数器递增减计数时序图 698
图 20-12 捕获或比较通道 699
图 20-13 捕获或比较通道结构图 699
图 20-14 捕获或比较通道的输出部分 700
图 20-15 PWM 输入模式时序 701
图 20-16 边沿对齐递增计数 PWM 波形(AR=8) 703
图 20-17 边沿对齐递减计数 PWM 波形(AR=8) 704
图 20-18 中心对齐 PWM 波形(AR 位为 3Fh，CCRV 位为 3Dh) 705
图 20-19 输出比较模式，触发 CHn 707
图 20-20 清除比较输出 CHn 707
图 20-21 单脉冲模式 709
图 20-22 编码器接口模式下的计数操作 710
图 20-23 滤波后极性反相时编码器接口例子 711
图 20-24 复位模式控制电路 712
图 20-25 门控模式控制电路 713
图 20-26 触发模式控制电路 713
图 20-27 外部时钟源 2＋触发模式下的控制电路 714
图 20-28 主/从定时器范例 715
图 20-29 门控从定时器使用主定时器 CH1REF 716
图 20-30 使用主定时器更新事件触发从定时器计数 717
图 20-31 使用定时器 1 的 I1 输入触发定时器 1 和定时器 2 718
图 20-32 ADC 触发生成 719
图 21-1 GP16C2Tn 定时器结构框图 753
图 21-2 预分频值计数时序图 754
图 21-3 重复计数器工作模式 755
图 21-4 采用内部时钟计数 756
图 21-5 外部时钟连接 757
图 21-6 ITn 内部时钟连接 758
图 21-7 计数器递增计数时序图 759
图 21-8 设置 ARPEN 位为 0 时计数器时序图 760
图 21-9 设置 ARPEN 位为 1 时计数器时序图 760
图 21-10 捕获或比较通道 761
图 21-11 捕获或比较通道结构图 761
图 21-12 捕获或比较通道的输出部分 762
图 21-13 PWM 输入模式时序 764
图 21-14 边沿对齐递增计数 PWM 波形(AR=8) 766
图 21-15 输出比较模式，触发 CHn 767
图 21-16 单脉冲模式 769

图 21-17 互补输出含死区时间插入 770
图 21-18 刹车输出行为 771
图 21-19 COM 事件生成 6 步 PWM 772
图 21-20 复位模式控制电路 773
图 21-21 门控模式控制电路 774
图 21-22 触发模式控制电路 775
图 21-23 主/从定时器范例 776
图 21-24 门控从定时器使用主定时器 CH1REF 777
图 21-25 使用主定时器更新事件触发从定时器计数 778
图 21-26 使用定时器 1 的 I1 输入触发定时器 1 和定时器 2 779
图 21-27 ADC 触发生成 780
图 22-1 BS16T1 定时器结构框图 811
图 22-2 预分频值计数时序图 812
图 22-3 采用内部时钟计数 813
图 22-4 计数器递增计数时序图 814
图 22-5 设置 ARPEN 位为 0 时计数器时序图 815
图 22-6 设置 ARPEN 位为 1 时计数器时序图 815
图 23-1 IWDT 架构图 827
图 24-1 WWDT 架构图 838
图 24-2 WWDT 中断示意图 839
图 24-3 WWDT 时序图 840
图 25-1 RTC 架构图 848
图 26-1 I2C 结构图 874
图 26-2 START 和 STOP 条件 875
图 26-3 I2C 总线上的应答 876
图 26-4 7 位地址格式 876
图 26-5 10 位地址格式 877
图 26-6 主机 - 发送协议 877
图 26-7 主机 - 接收协议 878
图 26-8 I2C 总线上的数据传输 879
图 26-9 从机初始化流程图 882
图 26-10 从机发送的传输序列图 883
图 26-11 从机接收的传输序列图 884
图 26-12 主机时钟产生 885
图 26-13 SCL 主机时钟同步 886
图 26-14 主机发送的传输序列图 887
图 26-15 主机接收的传输序列图 888
图 27-1 SPI 电路结构框图 924
图 27-2 SPI 格式 926
图 27-3 全双工通信 927
图 27-4 半双工通信 928
图 27-5 单工通信(主机模式下的只发送与从机模式下的只接收) 929
图 27-6 多从机通讯(一个主机和三个从机) 930
图 27-7 多主机通讯应用 931

图 27-8 全双工通信(SPI_CON1.BIDEN=0 且 SPI_CON1.RXO=0)的 TXE、RXNE、BUSY 行为(直接存取操作模式在连续传输的情况下)....936
图 27-9 全双工通信(SPI_CON1.BIDEN=0 且 SPI_CON1.RXO=0)的 TXTH、RXTH、TXFLV、RXFLV、BUSY 行为(FIFO 缓存操作模式在连续传输的情况下)....937
图 27-10 单工通信-只发送模式(SPI_CON1.BIDEN=0 且 SPI_CON1.RXO=0)的 TXE、BUSY 行为(直接存取操作模式在连续传输的情况下)....938
图 27-11 单工通信-只发送模式(SPI_CON1.BIDEN=0 且 SPI_CON1.RXO=0)的 TXTH、TXFLV、BUSY 行为(FIFO 缓存操作模式在连续传输的情况下)....939
图 27-12 单工通信-只接收模式(SPI_CON1.BIDEN=0 且 SPI_CON1.RXO=1)的 RXNE 行为(直接存取操作模式在连续传输的情况下)....940
图 27-13 单工通信-只接收模式(SPI_CON1.BIDEN=0 且 SPI_CON1.RXO=1)的 RXTH、RXFLV 行为(FIFO 缓存操作模式在连续传输的情况下)....941
图 27-14 发送时(SPI_CON1.BIDEN =0 且 SPI_CON1.RXO=0)的 TXE、BUSY 行为(在间断传输的情况下)....942
图 27-15 使用 DMA 进行发送....944
图 27-16 使用 DMA 进行接收....945
图 27-17 TI 格式....952
图 27-18 I2S 电路结构框图....953
图 27-19 I2S 飞利浦协议波形(16 或 32 位的数据与通道帧，CKPOL = 0)....955
图 27-20 I2S 飞利浦标准波形(24 位数据帧，CKPOL = 0)....955
图 27-21 发送 0x123456....955
图 27-22 接收 0x123456....956
图 27-23 I2S 飞利浦标准波形(16 位数据帧扩展到 32 位通道帧，CKPOL = 0)....956
图 27-24 16 位数据帧扩展到 32 位通道帧的示例....956
图 27-25 MSB 对齐协议波形(16 或 32 位的数据与通道帧，CKPOL = 0)....956
图 27-26 MSB 对齐协议波形(24 位数据帧，CKPOL = 0)....957
图 27-27 发送 0x123456....957
图 27-28 接收 0x123456....957
图 27-29 MSB 对齐协议波形(16 位数据帧扩展到 32 位通道帧，CKPOL = 0)....957
图 27-30 16 位数据帧扩展到 32 位通道帧的示例....958
图 27-31 LSB 对齐协议波形(16 或 32 位的数据与通道帧，CKPOL = 0)....958
图 27-32 LSB 对齐协议波形(24 位数据帧，CKPOL = 0)....958
图 27-33 发送 0x123456....958
图 27-34 接收 0x123456....959
图 27-35 MSB 对齐协议波形(16 位数据帧扩展到 32 位通道帧，CKPOL = 0)....959
图 27-36 16 位数据帧扩展到 32 位通道帧的示例....959
图 27-37 PCM 标准波形(16 或 32 位的数据与通道帧)....960
图 27-38 PCM 标准波形(24 位数据帧)....960
图 27-39 PCM 标准波形(16 位数据帧扩展到 32 位通道帧)....960
图 27-40 音频采样频率定义....961
图 28-1 USB 结构图....995
附录图 1-1 Cortex-M0 的具体实现....1068
附录图 1-2 处理器核心寄存器组....1070
附录图 1-3 APSR，IPSR，EPSR 寄存器位分配....1072

附录图 1-4 通用 ARM Cortex-M0 存储器映射 1076
附录图 1-5 小端格式 1079
附录图 1-6 向量表 1081
附录图 1-7 异常入口堆栈的内容 1082
附录图 1-8 ASR #3 1092
附录图 1-9 LSR #3 1092
附录图 1-10 LSL #3 1093
附录图 1-11 ROR #3 1093
附录图 1-12 IPR 寄存器 1122

表目录

表 1-1 设备功能和外围设备数量 29
表 1-2 ES32F0283 微控制器特性 34
表 1-3 外设寄存器边界地址 38
表 3-1 低功耗模式 64
表 4-1 PLL 配置范例 108
表 6-1 GPIO 配置表 179
表 7-1 互连矩阵 198
表 7-2 定时器互连 199
表 7-3 从定时器、EXTI 和 RTC 到 ADC 200
表 8-1 平方根运算误差示例 203
表 8-2 平方根运算时间表 204
表 8-3 除法运算时间表 206
表 12-1 预分频配置表 261
表 12-2 Frame 配置表 266
表 12-3 KBCU_SCAN0~5 配置表 267
表 12-4 中断配置表 268
表 13-1 外设请求对应表 293
表 13-2 仲裁设置 294
表 13-3 DMA 通道优先级 295
表 13-4 DMA 周期类型 297
表 13-5 主要数据结构的 CHANNEL_CFG 配置 301
表 13-6 各任务描述配置示例 301
表 13-7 主要数据结构的 CHANNEL_CFG 配置 304
表 13-8 各任务描述配置示例 305
表 14-1 UART1~4 具体功能配置 393
表 14-2 采样资料的噪音检测数值 399
表 14-3 时钟为 48MHz 下，设置波特率时的误差计算 402
表 14-4 帧格式 406
表 14-5 中断配置表 416
表 15-1 EXTI 通道连线 445
表 16-1 触发极性配置 475
表 16-2 标准通道的外部触发 475
表 16-3 插入通道的外部触发 476
表 16-4 数据偏移计算与转换分辨率的关系 482
表 16-5 模拟看门狗通道选择 495
表 16-6 ADC 中断 497
表 18-1 计数方向与编码器信号的关系 572
表 18-2 AD16C4T1 内部触发连接 594
表 19-1 计数方向与编码器信号的关系 646
表 19-2 GP32C4T1 内部触发连接 664
表 20-1 计数方向与编码器信号的关系 710
表 20-2 GP16C4Tn 内部触发连接 728

表 21-1 GP16C2Tn 内部触发连接 787
表 26-1 第一个字节中位的定义 877
表 26-2 F_{I2CCLK} = 8 MHz 的时序设置示例 889
表 26-3 F_{I2CCLK} = 16 MHz 的时序设置示例 889
表 26-4 F_{I2CCLK} = 48 MHz 的时序设置示例 890
表 26-5 SMBus 超时规格 892
表 26-6 各种 I2CCLK 频率的 TIMEOUTA 设置示例(最大值 $T_{TIMEOUT}$ = 25 ms) 894
表 26-7 各种 I2CCLK 频率的 TIMEOUTB 设置示例 894
表 26-8 各种 I2CCLK 频率的 TIMEOUTA 设置示例(最大 T_{IDLE} =50 μs) 894
表 27-1 SPI 特性 923
表 27-2 音频频率精度 962
表 28-1 端点特性 997
附录表 1-1 处理器模式和堆栈使用的选择 1070
附录表 1-2 内核寄存器组小结 1071
附录表 1-3 PSR 寄存器组合 1072
附录表 1-4 APSR 位分配 1072
附录表 1-5 IPSR 位分配 1073
附录表 1-6 EPSR 位分配 1073
附录表 1-7 PRIMASK 寄存器位分配 1074
附录表 1-8 CONTROL 寄存器位分配 1074
附录表 1-9 存储器排序限制 1077
附录表 1-10 存储器访问行为 1077
附录表 1-11 各种异常类型的特性 1080
附录表 1-12 异常返回行为 1083
附录表 1-13 Cortex-M0 指令 1089
附录表 1-14 产生某些 Cortex-M0 指令的 CMSIS 内部函数 1090
附录表 1-15 访问特别寄存器的内部函数 1090
附录表 1-16 条件代码后缀 1095
附录表 1-17 访问指令 1096
附录表 1-18 数据处理指令 1101
附录表 1-19 ADC，ADD，RSB，SBC 和 SUB 操作数限制 1103
附录表 1-20 跳转和控制指令 1111
附录表 1-21 跳转范围 1111
附录表 1-22 综合指令 1113
附录表 1-23 核心外设寄存器区 1119
附录表 1-24 NVIC 寄存器小结 1119
附录表 1-25 CMSIS 访问 NVIC 的函数 1120
附录表 1-26 ISER 位分配 1120
附录表 1-27 ICER 位分配 1121
附录表 1-28 ISPR 位分配 1121
附录表 1-29 ICPR 位分配 1122
附录表 1-30 IPR 位分配 1122
附录表 1-31 CMSIS 的 NVIC 控制函数 1124
附录表 1-32 SCB 寄存器小结 1125

附录表 1-33 CPUID 寄存器位分配 1125
附录表 1-34 ICSR 位分配 1127
附录表 1-35 AIRCR 位分配 1127
附录表 1-36 SCR 位分配 1128
附录表 1-37 CCR 位分配 1128
附录表 1-38 系统故障处理程序优先级域 1129
附录表 1-39 SHPR2 寄存器位分配 1129
附录表 1-40 SHPR3 寄存器的位分配 1129
附录表 1-41 系统定时寄存器小结 1130
附录表 1-42 SYST_CSR 位分配 1130
附录表 1-43 SYST_RVR 位分配 1131
附录表 1-44 SYST_CVR 位分配 1131
附录表 1-45 SYST_CALIB 寄存器位分配 1131
附录表 1-46 Cortex M0 指令汇总 1135

前言

该数据表旨在为系统软件开发人员、硬件设计者和应用程序开发人员提供数据。它提供了完整的ES32F0283微控制器的信息，包括如何使用设备、系统和总线结构、存储器组织及其外设指令。

客户通知

请注意，随着EASTSOFT工具和文档的不断发展以满足市场的需要，因此一些实际的对话框和工具描述可能与本文档中的不同。有关此产品的最新信息，请参阅东软在线支持 (www.essemi.com)

相关文件

- Cortex®-M0 技术参考手册，可参考: http://infocenter.arm.com

文件约定

下表解释了文档中经常使用的缩写。

缩写词	说明	描述
R/W	读/写(__IO)	软件可以读写这些位
R	只读(__I)	软件只能读取这些位
W	只写(__O)	软件只能写入该位，读取该位时将返回复位值
W1	只写(写 1)(__O)	软件只能写入该位，写 1 有效，写 0 无作用。
R/C_W1	读取/清零(写 1) (__IO)	软件可以读取该位，也可以通过写入 1 将该位清零。写入“0”对该位的值无影响
R/C_W0	读取/清零(写 0) (__IO)	软件可以读取该位，也可以通过写入 0 将该位清零。写入“1”对该位的值无影响
R/C_R	读取/清零(读取) (__IO)	软件可以读取该位。读取该位时，将自动清零。写入“0”对该位的值无影响
C_W1	清零(写 1) (__O)	通过写入 1 将该位清零。写入“0”对该位的值无影响
S_W1	置位(写 1) (__O)	通过写入 1 将该位置位。写入“0”对该位的值无影响
C_W0	清零(写 0) (__O)	通过写入 0 将该位清零。写入“1”对该位的值无影响
T_W1	触发(写 1) (__O)	通过写入 1 将触发硬件动作。写入“0”对该位的值无影响
Reserved	保留(无)	保留位，必须保持复位值。

第1章 系统和内存概述

1.1 概述

ES32F0283 微控制器是一系列集成了高性能 ARM Cortex™-M0 32 位 RISC 内核的低功耗微控制器。该芯片的最高工作频率为 72MHz，具有 128 Kbytes Flash 和 16 Kbytes SRAM 嵌入式存储器。提供广泛且有效的功能模块，以及符合标准的通讯接口，包含 2 个 I2C，1 个带 I2S 功能的 SPI，2 个 SPI，4 个 UART，1 个高级 16 位定时器，1 个通用 32 位定时器，7 个通用 16 位定时器，1 个基本 16 位定时器，1 个 12 位 ADC，和 2 个模拟比较器。

ES32F0283 微控制器，具备 USB 2.0 全速功能主机/设备控制器，带有集成收发器，且 USB 无需外接晶振或振荡器。在系统中 USB 功能被大大简化，并且可以通过减少外部时钟组件来提高成本效益。 对于无晶体 USB 应用，可以使用芯片上 4 Mhz 和 48 Mhz 工厂校准高速 RC 振荡器。 48Mhz 时钟源可用于 USB 时钟恢复功能。

ES32F0283 微控制器的工作电压和温度分别为 1.8V ~ 5.5V 和 -40° C ~ +85° C。 它具有广泛的低功耗模式功能，适用于低功耗应用。

这些特性使 ES32F0283 微控制器适用于广泛的应用，如白色家电、智能家电、人机交互、键盘、鼠标、游戏手柄、电子烟等。

本章介绍了 ES32F0283 的特点，其系统和内存结构：

- ES32F0283 系统体系结构
- ES32F0283 系统特点
- ES32F0283 内存映射

外设		ES32F0283LQ ES32F0283NQ	ES32F0283LT ES32F0283LT3
Flash (Kbytes)		128	128
SRAM(KBytes)		16	16
GPIO		Max: 38	Max: 54
12-bit ADC		1 (10channels)	1 (16channels)
CMP		2	2
DMA		6 channels	
CRC		1	
AES		1 (128 bits)	
CALC 运算加速器		32bits 除法/开根号	
KeyBoard (PWM)		N/A	7x24
定时器	AD16C4T	1	
	GP32C4T	1	
	GP16C4T	3	
	GP16C2T	4	
	BS16T	1	
	WWDT	1	
	IWDT	1	
通信接口	I2C	2	
	SPI	1(I2S Full Duplex)	
		2(SPI2,SPI3)	1(SPI2)
	UART	4	
	USB	1(Full Speed OTG)	
CPU 操作频率		Max. 72 Mhz	
数字工作电压 (V_{DDH})		1.8V - 5.5V	
模拟工作电压 (V_{DDA})		2.4V - 5.5V	
封装型态		LQFP48/QFN48	LQFP64

表 1-1 设备功能和外围设备数量

1. 2 结构图

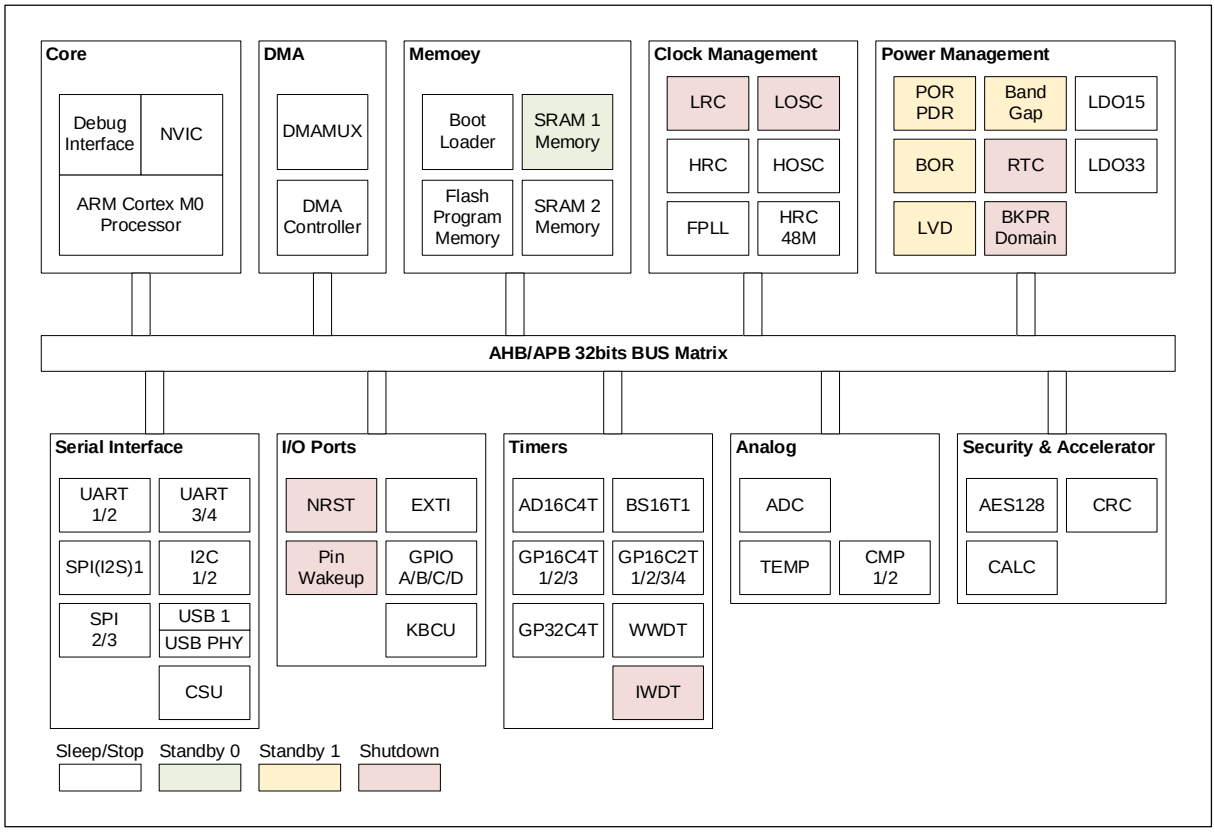


图 1-1 ES32F0283 系统框图

注意，仅在单线和智能卡模式下，UARTx_TX 用于发送和接收数据。
注意，SPI1 模块可以配置为 I2S 模块，I2S_MCK 只能输出。

1.3 功能描述

本节概述 ES32F0283 微控制器特点。关于这些特征的进一步信息在它们各自的章节中描述。

特征	描述
处理器	ARM Cortex-M0处理器
性能	72 MHz操作；43.4DMIPS性能
闪存	128 KB程序或资料区
系统静态随机存取存储器	16 KB的SRAM
系统	
功率控制	上电/掉电复位(POR/PDR) 可编程电压检测器(LVD) 稳压器
低功耗模式	五种低功耗模式： 睡眠模式 (Sleep) 停止模式 (Stop) 待机模式0 (Standby0) 待机模式1 (Standby1) 停止运转模式 (Shutdown)
时钟控制	一个4至64 MHz锁相环倍频时钟(PLL0) 32 kHz内部低速RC振荡器(LRC) 4 MHz内部高速RC振荡器(HRC) 48 MHz内部高速RC振荡器(HRC48) 4-32 MHz外部高速晶体振荡器(HOSC) 用于RTC和低功耗块(LOSC)的32.768 kHz外部低速晶体振荡器
计时器	
通用定时器A型和B型：GP16C4T1，GP16C4T2，GP16C4T3，GP32 C4T1 **通用定时器C型：GP16C2T1，GP16C2T 2，GP16C2T3，GP16C2T4** **高级控制定时器：AD16C4T1** **基本定时器：BS16T1**	**通用定时器A型和B型：** 通过同步或事件链接的计时器链接功能一起工作或与高级控制计时器一起工作 可以在调试模式下冻结计数器。 类型A基于32位自动重载上/下数计数器和16位预分频器。 B型是基于16位自动重载上/下数计数器和16位预分频器。 PWM或单脉冲模式输出 4捕获或比较通道 **通用定时器C型：** 16位自动重载上数计数器和16位预分频器 可编程插入死区的互补PWM输出 2捕获或比较通道和1互补输出 **高级控制定时器：**

特征	描述
	可编程插入死区的互补PWM输出 4捕获或比较通道和3互补输出 **基本定时器：** 16位自动重载上数计数器和16位预分频器
窗口看门狗(WWDT)	一个WWDT 7位自由运行计数器,可编程超时间隔
独立看门狗(IWDT)	一个IWDT 12位自由运行下数计数器和8位预分频器
实时时钟(RTC)	睡眠模式下的支持计数 时间：小时，分钟，秒 日历：年、月、日、周、闰年 闹铃：年、月、日、周、小时、分钟、秒。(单一次/周期)
输入输出端口	
通用输入输出（GPIO)	四个物理GPIO块 外部中断能力(边沿或电平灵敏度) 去抖动能力
键盘控制单元（KBCU)	支持配置扫描列(COLUMN)，最少15组，最多24组 按键提供三组可配置0-256阶占空比PWM输出，支持反向输出 按键提供一组侦测击键装置，支持侦测高、低准位
扩展中断和事件控制器（EXTI)	生成多达20个事件/中断请求 每一个可以独立配置以选择触发事件(上升沿、下降沿，两者皆有)，并且可以独立屏蔽 多达54个GPIOS可以连接到16个外部中断线
模拟	
模数转换器（ADC)	一个多达19个通道的12位ADC模块 硬件序列发生器以减轻CPU负载 温度传感器
模拟比较器（CMP)	两个模拟比较器 可编程去抖计数器
DMA	
直接存储器存取（DMA)	多达6个独立可配置的通道(请求) 外设到存储器、存储器到外设和存储器到存储器传输
串行接口	
通用异步接收机/发射机（UART)	**UART1/2：** 单线半双工通信 支持智能卡通信、IrDA SIR ENDEC、LIN主/从能力和Modbus通信 **UART3/4：**

特征	描述
	可编程波特率发生器 自动波特率检测 自动硬件流量控制 可编程(CTSn，RTSn)触发电平
内部集成电路（I2C）	两个I2C模块： 支持主从模式 支持不同的通信速度(100k/400k/1 MHz) 7位/ 10位寻址的产生与检测 可编程I2C地址检测 SMBus能力 PMBUS规范Rev 1.1兼容性
串行外设接口（SPI）	三线全双工同步传输 双线(双向数据线)的半双工同步传输 双线(单向数据线)的单工同步传输 8位至16位传输帧格式选择 支持SPI TI模式 主从操作 提供TX和RX FIFO，SPI1深度为16，SPI2~3深度为4
集成电路内置音频总线（I2S）	一个SPI模块，可以配置为I2S模块。 主从模式，支持全双工与半双工同步传输 四个数据和数据包帧可用
通用串行总线（USB）	符合USB 2.0全速(12 Mbps)规范 片上USB全速收发器 内/外13端点 动态2K FIFO
加速器	
循环冗余校验（CRC）	支持四个常用多项式CRC-CCITT、CRC-8、CRC-16和CRC-32 处理8、16、32位数据大小
高级加密标准（AES）	硬件支持的电子密码本(ECB)、密码分组链接(CBC)、密文反馈(CFB)、输出反馈(OFB)和计数模式(CTR)。
运算加速器（CALC）	**平方根的运算加速：** 2~17个 HCLK时钟的单周期计算 **32位除法：** 有符号2的补码整数计算 32位被除数与32位除数计算能力 32位商和32位余数输出 2~17个 HCLK时钟的单周期计算

特征	描述
调试配置	
串行线调试 (SWD)	提供了一个ARM SWD接口，以允许串行线调试工具连接到MCU。

表 1-2 ES32F0283 微控制器特性

1. 4 内存映射

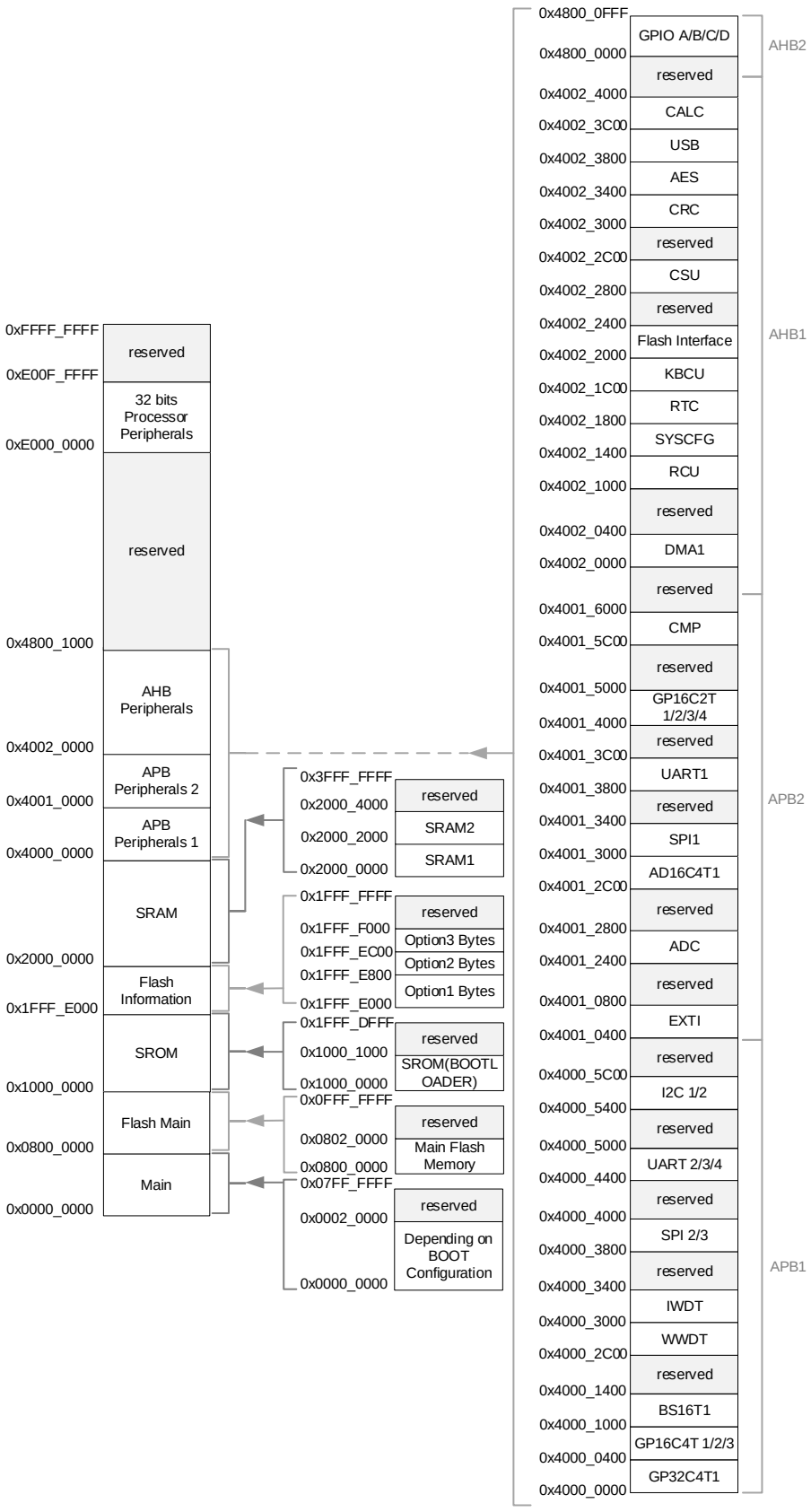


图 1-2 内存映射

边界地址		大小 (Byte)	外设	外设寄存器映象	总线
起点	终点				
0xE000_0000	0xE00F_FFFF	1M	ARM ® Cortex™-M0 System Timer (SysTick)	第 2 章	
0x4800_1000	0x5FFF_FFFF	~348M	Reserved		AHB2
0x4800_0C00	0x4800_0FFF	1K	GPIO D	第 6 章	
0x4800_0800	0x4800_0BFF	1K	GPIO C	第 6 章	
0x4800_0400	0x4800_07FF	1K	GPIO B	第 6 章	
0x4800_0000	0x4800_03FF	1K	GPIO A	第 6 章	
0x4002_4000	0x47FF_FFFF	~128M	Reserved		AHB1
0x4002_3C00	0x4002_3FFF	1K	CALC	第 8 章	
0x4002_3800	0x4002_3BFF	1K	USB	第 28 章	
0x4002_3400	0x4002_37FF	1K	AES	第 9 章	
0x4002_3000	0x4002_33FF	1K	CRC	第 10 章	
0x4002_2C00	0x4002_2FFF	1K	Reserved		
0x4002_2800	0x4002_2BFF	1K	CSU	第 11 章	
0x4002_2400	0x4002_27FF	1K	Reserved		
0x4002_2000	0x4002_23FF	1K	FLASH	第 5 章	
0x4002_1C00	0x4002_1FFF	1K	KBCU	第 12 章	
0x4002_1800	0x4002_1BFF	1K	RTC	第 25 章	
0x4002_1400	0x4002_17FF	1K	SYSCFG+OPT	第 3 章	
0x4002_1000	0x4002_13FF	1K	RCU	第 4 章	
0x4002_0C00	0x4002_0FFF	1K	Reserved		
0x4002_0800	0x4002_0BFF	1K	Reserved		
0x4002_0400	0x4002_07FF	1K	Reserved		
0x4002_0000	0x4002_03FF	1K	DMA1	第 13 章	
0x4001_8000	0x4001_FFFF	32K	Reserved		APB2
0x4001_6000	0x4001_7FFF	8K	Reserved		
0x4001_5C00	0x4001_5FFF	1K	CMP	第 17 章	
0x4001_5800	0x4001_5BFF	1K	Reserved		
0x4001_5400	0x4001_57FF	1K	Reserved		
0x4001_5000	0x4001_53FF	1K	Reserved		
0x4001_4C00	0x4001_4FFF	1K	GP16C2T4	第 21 章	
0x4001_4800	0x4001_4BFF	1K	GP16C2T3	第 21 章	
0x4001_4400	0x4001_47FF	1K	GP16C2T2	第 21 章	
0x4001_4000	0x4001_43FF	1K	GP16C2T1	第 21 章	
0x4001_3C00	0x4001_3FFF	1K	Reserved		
0x4001_3800	0x4001_3BFF	1K	UART1	第 14 章	
0x4001_3400	0x4001_37FF	1K	Reserved		
0x4001_3000	0x4001_33FF	1K	SPI1	第 27 章	
0x4001_2C00	0x4001_2FFF	1K	AD16C4T1	第 18 章	

边界地址		大小 (Byte)	外设	外设寄存器映象	总线
起点	终点				
0x4001_2800	0x4001_2BFF		Reserved		
0x4001_2400	0x4001_27FF	1K	ADC	第 16 章	
0x4001_2000	0x4001_23FF	1K	Reserved		
0x4001_1C00	0x4001_1FFF	1K	Reserved		
0x4001_1800	0x4001_1BFF	1K	Reserved		
0x4001_1400	0x4001_17FF	1K	Reserved		
0x4001_1000	0x4001_13FF	1K	Reserved		
0x4001_0C00	0x4001_0FFF	1K	Reserved		
0x4001_0800	0x4001_0BFF	1K	Reserved		
0x4001_0400	0x4001_07FF	1K	EXTI	第 15 章	
0x4001_0000	0x4001_03FF	1K	Reserved		
0x4000_8000	0x4000_FFFF	32K	Reserved		APB1
0x4000_6000	0x4000_7FFF	8K	Reserved		
0x4000_5C00	0x4000_5FFF	1K	Reserved		
0x4000_5800	0x4000_5BFF	1K	I2C2	第 26 章	
0x4000_5400	0x4000_57FF	1K	I2C1	第 26 章	
0x4000_5000	0x4000_53FF	1K	Reserved		
0x4000_4C00	0x4000_4FFF	1K	UART4	第 14 章	
0x4000_4800	0x4000_4BFF	1K	UART3	第 14 章	
0x4000_4400	0x4000_47FF	1K	UART2	第 14 章	
0x4000_4000	0x4000_43FF	1K	Reserved		
0x4000_3C00	0x4000_3FFF	1K	SPI3	第 27 章	
0x4000_3800	0x4000_3BFF	1K	SPI2	第 27 章	
0x4000_3400	0x4000_37FF	1K	Reserved		
0x4000_3000	0x4000_33FF	1K	IWDT	第 23 章	
0x4000_2C00	0x4000_2FFF	1K	WWDT	第 24 章	
0x4000_2800	0x4000_2BFF	1K	Reserved		
0x4000_2400	0x4000_27FF	1K	Reserved		
0x4000_2000	0x4000_23FF	1K	Reserved		
0x4000_1C00	0x4000_1FFF	1K	Reserved		
0x4000_1800	0x4000_1BFF	1K	Reserved		
0x4000_1400	0x4000_17FF	1K	Reserved		
0x4000_1000	0x4000_13FF	1K	BS16T1	第 22 章	
0x4000_0C00	0x4000_0FFF	1K	GP16C4T3	第 20 章	
0x4000_0800	0x4000_0BFF	1K	GP16C4T2	第 20 章	
0x4000_0400	0x4000_07FF	1K	GP16C4T1	第 20 章	
0x4000_0000	0x4000_03FF	1K	GP32C4T1	第 19 章	
0x2000_4000	0x3FFF_FFFF	~512M	Reserved		SRAM
0x2000_2000	0x2000_3FFF	8K	SRAM2		

边界地址		大小 (Byte)	外设	外设寄存器映象	总线
起点	终点				
0x2000_0000	0x2000_1FFF	8K	SRAM1		
0x1FFF_F000	0x1FFF_FFFF	4K	Reserved		FLASH INFO
0x1FFF_EC00	0x1FFF_EFFF	1K	Option3 bytes		
0x1FFF_E800	0x1FFF_EBFF	1K	Option2 bytes		
0x1FFF_E000	0x1FFF_E7FF	2K	Option1 bytes (Protect Setting)		
0x1000_1000	0x1FFF_DFFF	~255M	Reserved		SROM
0x1000_0000	0x1000_0FFF	4K	SROM1 (Bootrom)		
0x0802_0000	0x0FFF_FFFF	~128M	Reserved		FLASH MAIN
0x0800_0000	0x0801_FFFF	128K	Main Flash		
0x0002_0000	0x07FF_FFFF	~128M	Reserved		MAIN
0x0000_0000	0x0001_FFFF	128K	取决于开机存储配置		

表 1-3 外设寄存器边界地址

第2章 ARM ® Cortex™-M0 Core

2. 1 概述

ARM Cortex™-M0 处理器是最小型和最节能的 ARM 处理器。它满足了越来越低成本应用的需求，同时增加了连通性。M0 处理器是一个可配置的多级 32 位 RISC 处理器。

2. 2 特性

在 ES32F0283 中，该处理器配置以下特征：

- 内置嵌套向量中断控制器(NVIC)：32 外部中断
- 小端序
- 集成系统定时器 - SysTick
- 支持暂停调试
- 快速乘法器
- 支持串行线调试(SWD)连接

本章提供以下处理器外围设备的基本信息

- CPU 系统定时器控制 (SysTick)
- CPU 嵌套向量中断控制器 (NVIC)
- CPU 系统控制

欲知详情，请参阅：

- ARM Cortex™-M0 技术参考手册
- ARM v6-M 结构参考手册

2.3 功能描述

2.3.1 CPU 系统定时器控制寄存器(SYST)

Cortex™-M0 包括一个集成的系统定时器 - **SysTick**，它提供了一个简单的、24 位的写入清零、递减、倒数到 0 重载计数器，并具有灵活的控制机制。计数器可作为实时操作系统(RTOS)时钟定时器或简单计数器使用。

当系统定时器被启用时，它开始从 SysTick 当前值寄存器 (**SYST_CVR**) 中的值倒数到 0，并在下一个时钟周期中重新加载(包装) SysTick 重载值寄存器 (**SYST_RVR**) 中的值，然后在随后的时钟上递减。一旦计数器转换为 0，设置 COUNTFLAG 状态位。COUNTFLAG 位在读取时清除。

复位时，系统的 **SYST_CVR** 值未知。在启用该功能之前，软件应该写入寄存器以将其清除为零。这确保了定时器在启用时将从 **SYST_RVR** 值计数而不是任意值。

如果 **SYST_RVR** 为 0，则定时器将用该值重新加载后保持当前值为 0。该机制可用于独立于定时器允许位禁用该特征。

2. 3. 2 嵌套向量中断控制器(NVIC)

2. 3. 2. 1 NVIC 主要特征

- 32 个可屏蔽中断通道 (不包括十六个 Cortex®-M0 的中断线)
- 可编程优先级(使用了 2 位中断优先级)
- 低延迟异常和中断处理
- 电源管理控制
- 系统控制寄存器的实现

NVIC 与处理器内核接口紧密配合，可以实现低延迟的中断处理和和高效地处理晚到的中断。包括内核异常在内的所有中断都由 NVIC 管理。

2. 3. 2. 2 SysTick 校准值寄存器

SysTick 校准值被设置为 5000，提供了 10 ms 的基准时间，SysTick 时钟被设置为 500 kHz(默认 f_{HCLK}/8 = 4 MHz/8)。

2.3.2.3 中断和异常向量

位置	优先次序	优先级类型	名称	描述	地址
	-	-		保留	0x0000 0000
	-3	固定的	Reset	复位	0x0000 0004
	-2	固定的	NMI_Handler	不可屏蔽中断。RCU 的 CSS 与 NMI 向量连接。	0x0000 0008
	-1	固定的	HardFault_Handler	所有类型的故障	0x0000 000C
	-	-		保留	
	3	可设置的	SVC_Handler	通过 SWI 指令调用的系统服务	0x0000 002C
	-	-		保留	
	5	可设置的	PendSV_Handler	可挂起的系统服务	0x0000 0038
	6	可设置的	SysTick_Handler	系统定时器中断	0x0000 003C
0	7	可设置的	WWDT	WWDT 全局中断	0x0000 0040
1	8	可设置的	LVD	LVD 通过 EXTI 线 20 检测中断	0x0000 0044
2	9	可设置的	RTC	实时时钟(RTC)全局中断	0x0000 0048
3	10	可设置的	Low Power Wakeup	所有低功耗唤醒通过 EXTI 线 21 检测中断	0x0000 004C
4	11	可设置的	RCU_CSU	RCU 和 CSU 全局中断	0x0000 0050
5	12	可设置的	EXTI[1:0]	EXTI 线 0 至 1 中断	0x0000 0054
6	13	可设置的	EXTI[3:2]	EXTI 线 2 至 3 中断	0x0000 0058
7	14	可设置的	EXTI[15:4]	EXTI 线 4 至 15 中断	0x0000 005C
8	15	可设置的	SPI3	SPI3 全局中断	0x0000 0060
9	16	可设置的	DMA1_CH[0]	DMA 通道 0 全局中断	0x0000 0064
10	17	可设置的	DMA1_CH[2:1]	DMA 通道 1 和 2 中断	0x0000 0068
11	18	可设置的	DMA1_CH[5:3]	DMA 通道 3 至 5 中断	0x0000 006C
12	19	可设置的	ADC_CMP	ADC 和 CMP 全局中断	0x0000 0070
13	20	可设置的	AD16C4T1	AD16C4T1 全局中断	0x0000 0074
14	21	可设置的	BS16T1	BS16T1 全局中断	0x0000 0078
15	22	可设置的	GP32C4T1	GP32C4T1 全局中断	0x0000 007C
16	23	可设置的	GP16C4T1	GP16C4T1 全局中断	0x0000 0080
17	24	可设置的	GP16C4T2	GP16C4T2 全局中断	0x0000 0084
18	25	可设置的	GP16C4T3	GP16C4T3 全局中断	0x0000 0088
19	26	可设置的	GP16C2T1	GP16C2T1 全局中断	0x0000 008C
20	27	可设置的	GP16C2T2	GP16C2T2 全局中断	0x0000 0090
21	28	可设置的	GP16C2T3	GP16C2T3 全局中断	0x0000 0094
22	29	可设置的	GP16C2T4	GP16C2T4 全局中断	0x0000 0098
23	30	可设置的	I2C1	I2C1 全局中断	0x0000 009C
24	31	可设置的	I2C2	I2C2 全局中断	0x0000 00A0
25	32	可设置的	SPI1	SPI1 全局中断	0x0000 00A4
26	33	可设置的	SPI2	SPI2 全局中断	0x0000 00A8
27	34	可设置的	UART1	UART1 全局中断	0x0000 00AC
28	35	可设置的	UART2	UART2 全局中断	0x0000 00B0
29	36	可设置的	UART3_AES	UART3 和 AES 全局中断	0x0000 00B4
30	37	可设置的	SUART1_SUART2	SUART1 和 SUART2 全局中断	0x0000 00B8
31	38	可设置的	USB	USB 全局中断	0x0000 00BC

2.3.3 CPU 系统控制

Cortex™-M0 的状态和操作模式控制由 CPU 系统控制寄存器管理，包括 CPUID 在内，可以通过这些系统控制寄存器来控制 Cortex™-M0 中断优先级和 Coretex™-M0 电源管理。

2.4 特殊功能寄存器

2.4.1 寄存器列表

SYST 寄存器列表			
名称	偏移地址	类型	描述
SYST_CSR	0010_H	R/W	SysTick 控制和状态寄存器
SYST_RVR	0014_H	R/W	SysTick 重载值寄存器
SYST_CVR	0018_H	R/W	SysTick 当前值寄存器

NVIC 寄存器列表			
名称	偏移地址	类型	描述
NVIC_ISER	000H	R/W	NVIC IRQ 设置使能控制寄存器
NVIC_ICER	080H	R/W	NVIC IRQ 清除使能控制寄存器
NVIC_ISPR	100H	R/W	NVIC IRQ 设置挂起的控制寄存器
NVIC_ICPR	180H	R/W	NVIC IRQ 清除挂起的控制寄存器
NVIC_IPR0	300H	R/W	NVIC IRQ0 - IRQ3 优先级控制寄存器
NVIC_IPR1	304H	R/W	NVIC IRQ4 - IRQ7 优先级控制寄存器
NVIC_IPR2	308H	R/W	NVIC IRQ8 - IRQ11 优先级控制寄存器
NVIC_IPR3	30CH	R/W	NVIC IRQ12 - IRQ15 优先级控制寄存器
NVIC_IPR4	310H	R/W	NVIC IRQ16 - IRQ19 优先级控制寄存器
NVIC_IPR5	314H	R/W	NVIC IRQ20 - IRQ23 优先级控制寄存器
NVIC_IPR6	318H	R/W	NVIC IRQ24 - IRQ27 优先级控制寄存器
NVIC_IPR7	31CH	R/W	NVIC IRQ28 - IRQ31 优先级控制寄存器

SYS 寄存器列表			
名称	偏移地址	类型	描述
SYS_CPUID	000H	R/W	CPU ID 寄存器
SYS_ICSR	004H	R/W	中断控制与状态寄存器
SYS_AIRCR	00CH	R/W	应用中断和复位控制寄存器
SYS_SCR	010H	R/W	系统控制寄存器
SYS_SHPR2	01CH	R/W	系统处理程序优先级寄存器 2
SYS_SHPR3	020H	R/W	系统处理程序优先级寄存器 3

2.4.2 寄存器描述

2.4.2.1 SysTick 控制和状态寄存器(SYST_CSR)

SysTick 控制和状态寄存器 (SYST_CSR)																													
偏移地址：0x10																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
															COUNT														CLKSRC	TICKIE	ENABLE

—	Bits 31-17	—	—
COUNT	Bit 16	R	**计数标示** 0: 自上次读取该位以来，SysTick 定时器没有计算到 0。 1: 自上次读取该位以来，SysTick 定时器已计算为 0。 COUNT 在读取或写入当前值寄存器时被清除
—	Bits 15-3	—	—
CLKSRC	Bit 2	R/W	**System Tick 时钟源选择** 0: 时钟源是(任意的)外部参考时钟。 1: 核心时钟用于 SysTick.
TICKIE	Bit 1	R/W	**System Tick 中断使能** 0: 倒数定时到 0 时产生 SysTick 异常请求. 软件可以使用COUNTFLAG 来确定是否发生了 0 的计数。 1: 倒数定时到 0 时不会产生 SysTick 异常请求。通过写入软件清除 SysTick 当前值寄存器将不会产生 SysTick 异常请求
ENABLE	Bit 0	R/W	**System 计数器使能** 0: 计数器已禁用 1: 计数器以多种方式执行

2. 4. 2. 2 SysTick 重载值寄存器 (SYST_RVR)

SysTick 重载值寄存器 (SYST_RVR)																															
偏移地址：0x14																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								RELOAD<23:0>																							

—	Bits 31-24	—	—
RELOAD	Bits 23-0	R/W	**重载值** 当计数器达到 0 时，加载到 SysTick 当前值寄存器(SYST_CVR)寄存器中。

2. 4. 2. 3 SysTick 当前值寄存器 (SYST_CVR)

SysTick 当前值寄存器 (SYST_CVR)																															
偏移地址：0x18																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								CURRENT <23:0>																							

—	Bits 31-24	—	—
CURRENT	Bits 23-0	R/W	**System Tick 当前计数值** 当前计数器值，是计数器在采样时的值。计数器不提供读修改写保护。寄存器是写清楚的。任何值的软件写入都会将寄存器清除为 0。

2. 4. 2. 4 NVIC IRQ 设置使能控制寄存器 (NVIC_ISER)

NVIC IRQ 设置使能控制寄存器 (NVIC_ISER)																															
偏移地址：0x00																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SETENA<31:0>																															

SETENA	Bits 31-0	R/W	**中断使能** 启用一个或多个中断。每个位代表从 IRQ0 到 IRQ31 中断号码 0: 在读取时，指示中断被禁用；在写入时，没有影响 1: 在读取时，指示中断已启用；在写入时，启用中断

2. 4. 2. 5 NVIC IRQ 清除使能控制寄存器 (NVIC_ICER)

NVIC IRQ 清除使能控制寄存器 (NVIC_ICER)																															
偏移地址：0x80																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLRENA<31:0>																															

CLRENA	Bits 31-0	R/W	**中断禁用** 禁用一个或多个中断。每个位代表从 IRQ0 到 IRQ31 中断号码 0: 在读取时，指示中断被禁用；在写入时，没有影响 1: 在读取时，指示中断已启用；在写入时，禁用中断

2. 4. 2. 6 NVIC IRQ 设置挂起控制寄存器 (NVIC_ISPR)

NVIC IRQ 设置挂起控制寄存器 (NVIC_ISPR)																															
偏移地址：0x100																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SETPEND<31:0>																															

SETPEND	Bits 31-0	R/W	**设置中断挂起** 禁用一个或多个中断。每个位代表从 IRQ0 到 IRQ31 中断号码 0: 在读取时，指示中断不被停止；在写入时，没有影响。 1: 在读取时，指示中断被停止；在写入时，相应的中断被设置为停止，即使它被禁用。

2. 4. 2. 7 NVIC IRQ 清除挂起控制寄存器 (NVIC_ICPR)

NVIC IRQ 清除挂起控制寄存器 (NVIC_ICPR)																															
偏移地址：0x180																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLRPEND<31:0>																															

CLRPEND	Bits 31-0	R/W	**设置中断挂起** 禁用一个或多个中断。每个位代表从 IRQ0 到 IRQ31 中断号码 0: 在读取时，指示中断不被停止；在写入时，没有影响。 1: 在读取时，指示中断被停止；在写入时，写入 1 以清除停止状态，以便相应的中断不再停止。

2. 4. 2. 8 NVIC IRQ0 - IRQ3 优先级控制寄存器 (NVIC_IPR0)

NVIC IRQ0 - IRQ3 优先级控制寄存器 (NVIC_IPR0)

偏移地址：0x300

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRI3<1:0>								PRI2<1:0>								PRI1<1:0>								PRI0<1:0>							
rw	rw	—	—	—	—	—	—	rw	rw	—	—	—	—	—	—	rw	rw	—	—	—	—	—	—	rw	rw	—	—	—	—	—	—

PRI3	Bits 31-30	R/W	**IRQ3** 优先级
—	Bits 29-24	—	—
PRI2	Bits 23-22	R/W	**IRQ2** 优先级
—	Bits 21-16	—	—
PRI1	Bits 15-14	R/W	**IRQ1** 优先级
—	Bits 13-8	—	—
PRI0	Bits 7-6	R/W	**IRQ0** 优先级
—	Bits 5-0	—	—

2. 4. 2. 9 NVIC IRQ4 – IRQ7 优先级控制寄存器 (NVIC_IPR1)

NVIC IRQ4 – IRQ7 优先级控制寄存器 (NVIC_IPR1)

偏移地址：0x304

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRI7<1:0>								PRI6<1:0>								PRI5<1:0>								PRI4<1:0>							
rw	rw	—	—	—	—	—	—	rw	rw	—	—	—	—	—	—	rw	rw	—	—	—	—	—	—	rw	rw	—	—	—	—	—	—

PRI7	Bits 31-30	R/W	**IRQ7** 优先级
—	Bits 29-24	—	—
PRI6	Bits 23-22	R/W	**IRQ6** 优先级
—	Bits 21-16	—	—
PRI5	Bits 15-14	R/W	**IRQ5** 优先级
—	Bits 13-8	—	—
PRI4	Bits 7-6	R/W	**IRQ4** 优先级
—	Bits 5-0	—	—

2. 4. 2. 10 NVIC IRQ8 – IRQ11 优先级控制寄存器 (NVIC_IPR2)

NVIC IRQ8 – IRQ11 优先级控制寄存器 (NVIC_IPR2)																													
偏移地址：0x308H																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRI11<1:0>								PRI10<1:0>								PRI9<1:0>								PRI8<1:0>							

PRI11	Bits 31-30	R/W	**IRQ11** 优先级
—	Bits 29-24	—	—
PRI10	Bits 23-22	R/W	**IRQ10** 优先级
—	Bits 21-16	—	—
PRI9	Bits 15-14	R/W	**IRQ9** 优先级
—	Bits 13-8	—	—
PRI8	Bits 7-6	R/W	**IRQ8** 优先级
—	Bits 5-0	—	—

2. 4. 2. 11 NVIC IRQ12 – IRQ15 优先级控制寄存器 (NVIC_IPR3)

NVIC IRQ12 – IRQ15 优先级控制寄存器 (NVIC_IPR3)																													
偏移地址：0x30C																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRI15<1:0>								PRI14<1:0>								PRI13<1:0>								PRI12<1:0>							

PRI15	Bits 31-30	R/W	**IRQ15** 优先级
—	Bits 29-24	—	—
PRI14	Bits 23-22	R/W	**IRQ14** 优先级
—	Bits 21-16	—	—
PRI13	Bits 15-14	R/W	**IRQ13** 优先级
—	Bits 13-8	—	—
PRI12	Bits 7-6	R/W	**IRQ12** 优先级
—	Bits 5-0	—	—

2. 4. 2. 12 NVIC IRQ16 – IRQ19 优先级控制寄存器 (NVIC_IPR4)

NVIC IRQ16 – IRQ19 优先级控制寄存器 (NVIC_IPR4)																													
偏移地址：0x310																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRI19<1:0>								PRI18<1:0>								PRI7<1:0>								PRI6<1:0>							

PRI19	Bits 31-30	R/W	**IRQ19** 优先级
—	Bits 29-24	—	—
PRI18	Bits 23-22	R/W	**IRQ18** 优先级
—	Bits 21-16	—	—
PRI17	Bits 15-14	R/W	**IRQ17** 优先级
—	Bits 13-8	—	—
PRI16	Bits 7-6	R/W	**IRQ16** 优先级
—	Bits 5-0	—	—

2. 4. 2. 13 NVIC IRQ20 – IRQ23 优先级控制寄存器 (NVIC_IPR5)

NVIC IRQ20 – IRQ23 优先级控制寄存器 (NVIC_IPR3)																													
偏移地址：0x314																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRI23<1:0>								PRI22<1:0>								PRI21<1:0>								PRI20<1:0>							

PRI23	Bits 31-30	R/W	**IRQ23** 优先级
—	Bits 29-24	—	—
PRI22	Bits 23-22	R/W	**IRQ22** 优先级
—	Bits 21-16	—	—
PRI21	Bits 15-14	R/W	**IRQ21** 优先级
—	Bits 13-8	—	—
PRI20	Bits 7-6	R/W	**IRQ20** 优先级
—	Bits 5-0	—	—

2. 4. 2. 14 NVIC IRQ24 – IRQ27 优先级控制寄存器 (NVIC_IPR6)

NVIC IRQ24 – IRQ27 优先级控制寄存器 (NVIC_IPR6)																													
偏移地址：0x318																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRI27<1:0>		—	—	—	—	—	—	PRI26<1:0>		—	—	—	—	—	—	PRI25<1:0>		—	—	—	—	—	—	PRI24<1:0>		—	—	—	—	—	—

PRI27	Bits 31-30	R/W	**IRQ27** 优先级
—	Bits 29-24	—	—
PRI26	Bits 23-22	R/W	**IRQ26** 优先级
—	Bits 21-16	—	—
PRI25	Bits 15-14	R/W	**IRQ25** 优先级
—	Bits 13-8	—	—
PRI24	Bits 7-6	R/W	**IRQ24** 优先级
—	Bits 5-0	—	—

2. 4. 2. 15 NVIC IRQ28 – IRQ31 优先级控制寄存器 (NVIC_IPR7)

NVIC IRQ20 – IRQ23 优先级控制寄存器(NVIC_IPR3)																													
偏移地址：0x31C																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRI31<1:0>		—	—	—	—	—	—	PRI30<1:0>		—	—	—	—	—	—	PRI29<1:0>		—	—	—	—	—	—	PRI28<1:0>		—	—	—	—	—	—

PRI31	Bits 31-30	R/W	**IRQ31** 优先级
—	Bits 29-24	—	—
PRI30	Bits 23-22	R/W	**IRQ30** 优先级
—	Bits 21-16	—	—
PRI29	Bits 15-14	R/W	**IRQ29** 优先级
—	Bits 13-8	—	—
PRI28	Bits 7-6	R/W	**IRQ28** 优先级
—	Bits 5-0	—	—

2. 4. 2. 16 CPU ID 寄存器 (SYS_CPUID)

CPU ID 寄存器 (SYS_CPUID)																															
偏移地址：0x00																															
复位值：0x410C C200																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IMPC<7:0>								—	—	—	—	PART<3:0>				PARTNO<11:0>												REV<3:0>			

IMPC	Bits 31-24	R	**ARM 分配的实现代码** ARM = 0x41
—	Bits 23-20	—	—
PART	Bits 19-16	R/W	**处理器的结构**
PARTNO	Bits 15-4	R	**处理器的零件号**
REV	Bits 3-0	R/W	**修订号**

2. 4. 2. 17 中断控制与状态寄存器 (SYS_ICSR)

中断控制与状态寄存器 (SYS_ICSR)																															
偏移地址：0x04																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NMISP	—	—	PENDSV	PENDSVC	PENDST	PENDSTC	—	ISRPRE	SRPEND	—	—	—	—	VTPEND<5:0>						—	—	—	—	—	—	VTACT<5:0>					

NMISP	Bit 31	R/W	**NMI (非可屏蔽中断) 挂起位** 0: 在读取时，指示 NMI 异常未挂起。在写入时，没有影响。 1: 在读取时，指示 NMI 异常挂起。在写入时，将 NMI 异常状态更改为挂起状态。 因为 NMI 是最高优先级的异常，所以处理器通常在检测到 1 对这个位的写时立即进入 NMI 异常处理程序。进入处理程序然后将此位清除为 0。这意味着，只有当处理器正在执行 NMI 异常处理程序时，NMI 信号被重新置入，NMI 异常处理程序才读取该位，返回 1。

—	Bits 30-29	—	—
PENDSV	Bit 28	R/W	**PendSV 挂起位** 0: 在读取时，指示 PendSV 异常未挂起。在写入时，没有影响。 1: 在读取时，指示 PendSV 异常挂起。 在写入时，将 PendSV 异常状态更改为挂起状态。 只有通过写一个“1”到这个位，才能将 PendSV 异常状态设置为挂起状态。
PENDSVC	Bit 27	W	**PendSV 清除挂起位** 0: 没有影响。 1: 从 PendSV 异常中移除挂起状态。
PENDST	Bit 26	R/W	**SysTick 异常挂起位** 0: 在读取时，指示一个 SysTick 异常未挂起。在写入时，没有效果。 1: 在读取时，指示一个 SysTick 异常挂起。在写入时，将 PendSV 异常状态更改为挂起状态。
PENDSTC	Bit 25	W	**SysTick 异常清除挂起位** 0: 没有影响。 1: 从 SysTick 异常移除挂起状态。
—	Bit 24	—	—
ISRPRE	Bit 23	R	**调试中断处理** 0: 停止退出不中断 1: 在调试停止状态退出时，挂起异常将会执行。
SRPEND	Bit 22	R	**中断挂起标志，不包括 NMI 和故障** 0: 中断未挂起 1: 中断挂起
—	Bits 21-18	—	—
VTPEND	Bits 17-12	R/W	**中断挂起向量数** 0: 没有挂起的异常。 其它: 最高优先级挂起启用异常的异常数目。
—	Bits 11-6	—	—
VTACT	Bits 5-0	R/W	**活动异常数** 此字段包含活动异常数。 0: 线程模式。 其它: 当前活动异常的异常数目。

2. 4. 2. 18 应用中断和复位控制寄存器 (SYS_AIRCR)

应用中断和复位控制寄存器 (SYS_AIRCR)																															
偏移地址：0x0C																															
复位值：0xFA05 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VTKEY<15:0>																													SYSRERQ	VTACTC	

VTKEY	Bits 31-16	R/W	**寄存器访问密钥** 当写入此寄存器时，需要将 VTKEY 字段设置为 0x05FA，否则将忽略写入操作。 VTKEY 用于防止对该寄存器的意外写入重置系统或清除异常状态。
—	Bits 15-3	—	—
SYSRERQ	Bit 2	R/W	**系统重置请求** 0: 不请求支持 1: 请求支持
VTACTC	Bit 1	R/W	**清除活动 NMI /故障** 保留用于调试使用。当写入寄存器时，使用者必须向该位写入 0，否则反应是不可预测的。
—	Bit 0	—	—

2. 4. 2. 19 系统控制寄存器 (SYS_SCR)

系统控制寄存器 (SYS_SCR)																														
偏移地址：0x10																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																											EVONPEND		SLPDEEP	SLPONE	

—	Bits 31-5	—	—
EVONPEND	Bit 4	R/W	**在挂起位上发送事件** 0: 只有使能的中断或事件才能唤醒处理器。(不包括禁用的中断) 1: 所有使能的中断、事件和禁用中断都可以唤醒处理器。 当事件或中断进入挂起状态时，事件信号从 WFE 唤醒处理器。如果处理器不等待事件，则事件被记录并影响下一个 WFE。 处理器还唤醒 SEV 指令或外部事件的执行。
—	Bit 3	—	—
SLPDEEP	Bit 2	R/W	**深度睡眠与睡眠模式选择** 控制处理器是否使用睡眠或深度睡眠作为其低功耗模式: 0: 睡眠模式。 1: 深度睡眠模式。
SLPONE	Bit 1	R/W	**退出启用睡眠** 0: 返回线程模式时不要睡觉。 1: 当从 ISR 返回到线程模式时，进入睡眠或深度睡眠。 将此位设置为 1 使得中断驱动的应用程序避免返回空的主应用程序。
—	Bit 0	—	—

2. 4. 2. 20 系统处理程序优先级寄存器 2 (SYST_SHPR2)

系统处理程序优先级寄存器 2 (SYST_SHPR2)																														
偏移地址：0x1C																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRISH11<1:0>																															

PRISH11	Bits 31-30	R/W	**系统处理程序 11 优先级 - SVCall** “0”表示最高优先级，“3”表示最低优先级。
—	Bits 29-0	—	—

2. 4. 2. 21 系统处理程序优先级寄存器 3 (SYST_SHPR3)

系统处理程序优先级寄存器 3 (SYST_SHPR3)																														
偏移地址：0x20																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRISH15<1:0>								PRISH14<1:0>																							

PRISH15	Bits 31-30	R/W	**系统处理程序 15 优先级 - SVCall** “0”表示最高优先级，“3”表示最低优先级。
—	Bits 29-24	—	—
PRISH14	Bits 23-22	R/W	**系统处理程序 14 优先级- SVCall** “0”表示最高优先级，“3”表示最低优先级。
—	Bits 21-0	—	—

第3章 系统配置控制器 (SYSCFG)

3.1 概述

系统配置控制器主要针对系统级的应用与电源管理进行说明，使用者可通过阅读此章节了解如何配置电源电压侦测，同时也可了解如何开启低功耗模式来降低芯片的功率消耗，让使用外部电源的使用者能够延长装置使用的时间。

3.2 特性

- 支持可编程欠压复位(BOR)。
- 支持可编程低电压检测(LVD)用于检测系统电源。
- 支持 4 组 32 位的备份寄存器。
- 支持 4 种低功耗模式。
- 支持调试模式(Debug Mode)下让独立看门狗(IWDT)与窗口看门狗(WWDT)暂停计数。
- 支持调试模式(Debug Mode)下让定时器(Timer)暂停计数。
- 支持调试模式(Debug Mode)下让 I2C(SMBus)暂停计数。
- 支持系统电源掉电、HOSC 发生故障或是 CPU 发生 Hard fault 时，让定时器(Timer)暂停计数。
- 支持红外线模块(IR)控制信号组合配置。
- 支持配置 CMP 与 ADC 内部电阻分压电源的来源。

3.3 功能描述

3.3.1 电源

此芯片的电源为外部电压源提供，支持 2.2 伏至 5.5 伏的电压操作范围。系统内部依据工作电压的不同共可分为 2 个电压域，分为使用外部供电的系统电源域(VDDH Domain)与备份域(Backup Domain)，以及使用稳压器的核心电源域(VDD Domain)。

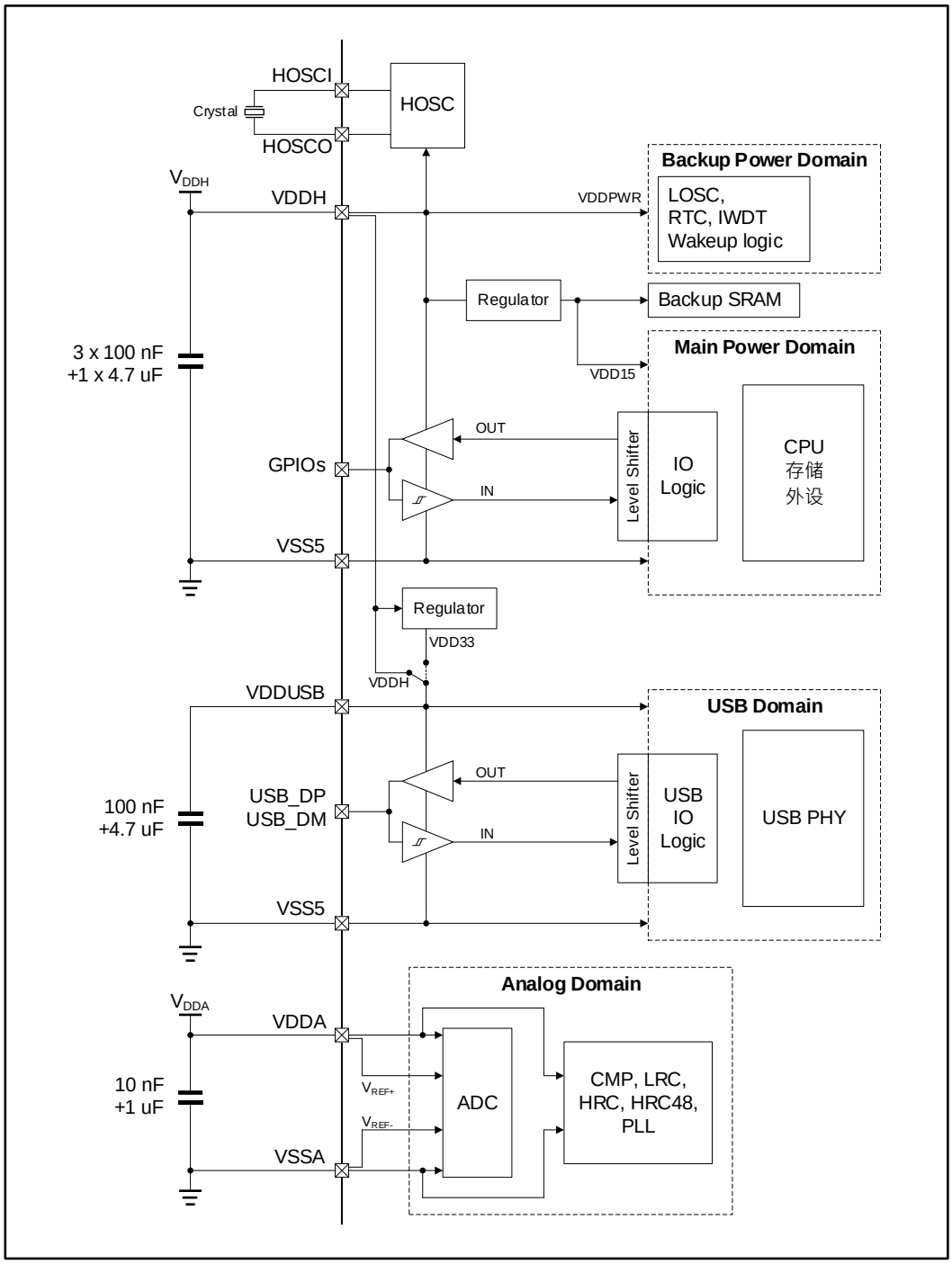


图 3-1 电源架构

3. 3. 1. 1 备份域 (Backup Domain)

备份域主要由操作在 VDDH 电源域的备份寄存器、低功耗控制单元、IWDT 与 RTC 组成，此区的电源仅受外部电源电压影响，因此当系统进入低功耗模式时仍会保留此区的电源。

- 备份寄存器的大小为 4 组 32 位的寄存器，分别为 **SYSCFG_BKREG0** 、**SYSCFG_BKREG1** 、**SYSCFG_BKREG2** 与 **SYSCFG_BKREG3** ，当系统进入低功耗模式前可将需要备份的信息存放进备份寄存器内，当系统从低功耗模式唤醒后再从备份寄存器中读出暂存信息。
- 低功耗控制单元共有 3 组寄存器，分别为 **SYSCFG_PWRCON** 、**SYSCFG_WKUP** 与 **SYSCFG_WKSR** ，这 3 组寄存器可控制系统电源侦测与低功耗模式。

此电源域的寄存器仅支持以 32 位为单位进行读写操作，由于牵涉到跨电源域的读写操作，因此读写备份寄存器时会有一段延迟时间，在完成读写此电源域的寄存器前 CPU 会进行等待，使用者在操作此电源域的寄存器时须特别注意。

3. 3. 1. 2 稳压器 (Voltage Regulator)

芯片共有 2 个稳压器，功能分别如下：

- 核心稳压器：稳压器可提供稳定的电压，确保 VDD 电源域内的 CPU、SRAM、闪存、AHB 外设以及 APB 外设能够稳定运作。由于稳压器使用的是 VDDH 电源，因此芯片刚上电时为确保电源稳定会让稳压器为关闭状态，系统会在开机流程内等待电源稳定后才开启稳压器，避免影响到 VDD 电源域内的逻辑。

  由于稳压器主要提供电源给 VDD 电源域，因此当用户需要让系统长时间待机时，可让系统进入低功耗模式下的 STANDBY0 模式、STANDBY1 模式与 SHUTDOWN 模式。在进入这 3 种低功耗模式时皆会关闭核心稳压器，此时 VDD 电源域内的逻辑皆会被关闭。
- USB 稳压器：此稳压器依据 VDDH 电压提供稳定的 VDDUSB 电压供 USB 逻辑使用。在使用 USB 前，用户需配置 **SYSCFG_PWR** 内的 LDOUSBEN 为 1 开启 USB 稳压器，若配置 LDOUSBEN 为 0，则此稳压器会固定输出 VDDH 的电压。

3. 3. 1. 3 电源侦测

- 上电/掉电复位(Power On/Down Reset)

  当系统电源从 0 伏上升至超过 V_{POR} 时 POR 逻辑会再等待约 3.5 毫秒(3.5ms)后会拉高 POR 标志位，此时系统便会离开复位模式并开始执行开机流程。当系统电源从 VDDH 降至低于 V_{PDR} 时会拉低 POR 标志位，此时系统会进入复位状态。 POR 检测上电/掉电复位发生时的电压为固定值，并不支持用户自行配置，此电压值仅受温度与芯片制程影响。系统在上电的过程中产生的 POR 复位标志位会记录于 RCU 逻辑内，用户可于程序内加入检查复位标志位的流程。

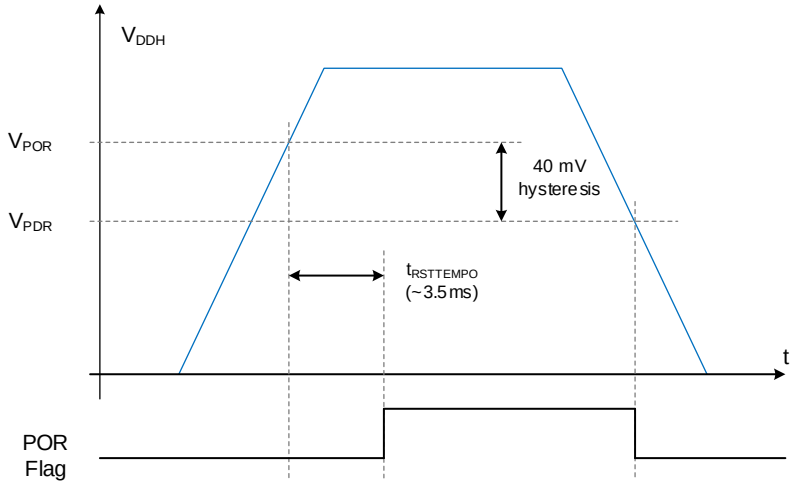


图 3-2 POR/PDR 复位

◆ 可编程欠压复位(Brownout Reset)

用户可藉由配置 **SYSCFG_PWRCON** 内的 BORLS(位 8 至位 10)决定发生欠电复位的电压值 V_R 与 V_F，再配置 BOREN(位 11)为 1 开启此功能。当系统电压从 VDDH 降至低于用户配置的电压 V_R 时便会触发系统复位，直到 VDDH 电压上升超过 V_F 时才会离开复位状态。系统复位发生时会清除 VDD 电源域的数据与 VDDH 电源伏域内的备份寄存器，并产生欠压复位标志位供用户检测。

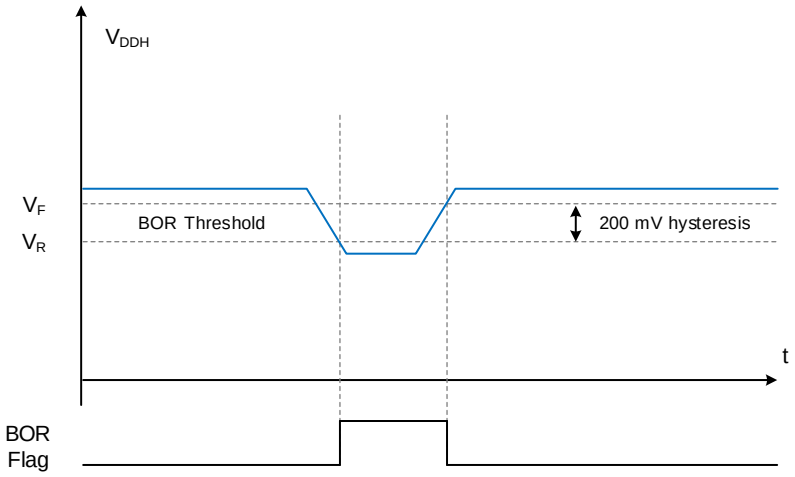


图 3-3 BOR 复位

◆ 可编程低电压检测(Low Voltage Detector)

用户可配置 **SYSCFG_PWRCON** 内的 LVDLS(位 0 至位 3)决定要检测的电压值 V_R 与 V_F，再配置 LVDEN(位 4)为 1 开启电压检测此能。当系统电源从 VDDH 降至低于用户配置的电压 V_R 时，便会发出低电压标志位通知位于 APB 内的 EXTI 逻辑，若使用者有开启 EXTI 的中断功能则会在低电压标志位产生时触发中断，让使用者能够提前在在掉电复位发生前将重要信息进行保留。由于 EXTI 逻辑支持使用者检测低电压标志位的上升沿发生点与下降沿发生点，因此当电源上升至超过 V_F 时，低电压标志位会因为被拉低而再一次产生中断告知使用者。此外低电压检测标志位也可当作外部触发信号唤醒处在 STOP 模式、STANDBY0 模式或 STANDBY1 模式的系统。

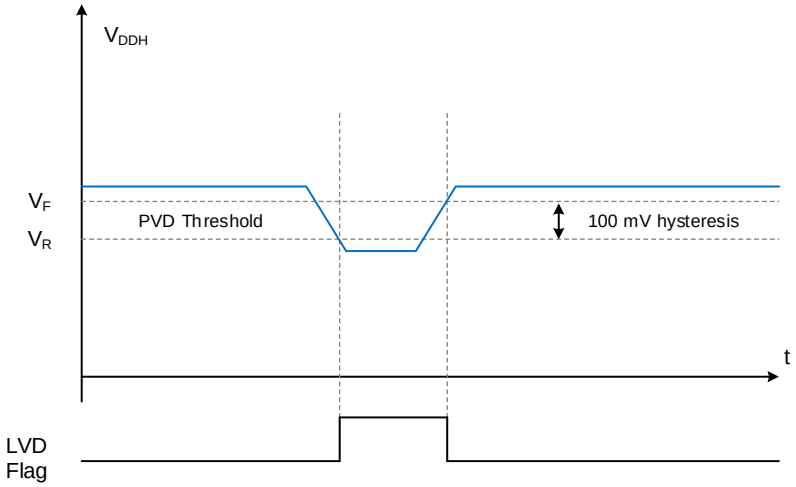


图 3-4 LVD 复位

3. 3. 2 低功耗模式 (Low Power Mode)

当用户需要让程序长时间进行待机或是等待外部信号触发时，可让系统进入低功耗模式进行等待，藉此降低系统功率消耗。若使用者希望在系统持续运行的情况下降低功率消耗，可藉由降低系统时钟频率以及关闭不使用的外设时钟来达成。

模式	进入条件	唤醒条件	VDD 域 时钟源	VDDH 电源域 时钟源	LDO/ BandGap	唤醒 时间
SLEEP 模式	WFI/WFE	任意中断	关闭 CPU 时钟与未被选择的外设时钟	IWDT、RTC 功能或用户决定配置 LRC/LOSC 开/关	LDO ON & BandGap ON	<4us
STOP 模式	LPLS bits & SLPDEEP bit & WFI/WFE	WKUP0 ~ WKUP7, IWDT, NRST, LVD, RTC, USB DP/DM	VDD 域时钟源全部关闭			
STANDBY0 模式		WKUP0 ~ WKUP7, IWDT, NRST, LVD, RTC			SRAM1 Retention & LDO OFF & BandGap ON	~1ms
STANDBY1 模式					LDO OFF & BandGap ON	~2ms
SHUTDOWN 模式		WKUP0 ~ WKUP7, IWDT, NRST, RTC			LDO OFF & BandGap OFF	~4ms

表 3-1 低功耗模式

3. 3. 2. 1 低速执行(Low Speed)

芯片支持用户配置系统运行在低速，当程序需要长时间等待触发信号时，可通过对系统时钟预分频来降低运行速度，支持时钟设定 2、4、8、16、64、128、256 与 512 的分频比，同时也可暂时关闭不会使用的时钟源与外设时钟，藉此降低系统的功率消耗。当系统收到唤醒信号以后，再重新进行系统时钟配置，恢复系统正常运行。

3. 3. 2. 2 SLEEP 模式

进入 SLEEP 模式后会暂时关闭 CPU 时钟与外设时钟但并不会关闭 VDD 电源域的电源，因此外设的配置与 SRAM 内的数据依然会保存。系统进入 SLEEP 模式时可额外配置 RCU 逻辑内位的 **RCU_AHBSL** 、 **RCU_APB1SL** 与 **RCU_APB2SL** ，让被开启的外设在系统进入 SLEEP 模式后依然能够继续运行。

- ◆ 让 CPU 进入 SLEEP 模式

  配置 CPU 系统控制寄存器(System Control Register)内的 SLEEPDEEP(位 2)为 0 后即可搭配 WFI 让 CPU 进入 SLEEP 模式。在此模式下默认关闭 CPU 时钟与外设时钟，使用者若有需要让外设持续运行的需求时，可配置 RCU 逻辑内的 **RCU_AHBSL** 、 **RCU_APB1SL** 与 **RCU_APB2SL** 寄存器来开启外设时钟。
- ◆ 从 SLEEP 模式唤醒

  当系统进入 SLEEP 模式时,可选择使用外设中断或是拉低外部 NRST 引脚来唤醒 CPU。
  - ◇ 外设中断唤醒：

    使用外设中断唤醒时需在系统进入 SLEEP 模式前配置 RCU 逻辑内 **RCU_AHBSL** 、 **RCU_APB1SL** 与 **RCU_APB2SL** 的 SLEEP 模式外设时钟使能寄存器开启外设时

钟，让外设在 SLEEP 模式也能继续运行。使用中断唤醒 CPU 时并不会产生低功耗复位标志位，同时 CPU 会在唤醒后继续往下执行使用者代码。

◇ 低电压检测标志位唤醒(LVD)：

当用户开启低电压检测功能时，会在 VDDH 电压降至用户选定的电压时产生 LVD 标志位，当 LVD 标志位发生时可触发 EXTI 中断唤醒 CPU。

◇ NRST 引脚唤醒：

当使用者拉低外部 NRST 引脚时会重置系统并产生 NRST 复位标志位，使用者可于系统重启后检查 RCU 逻辑内的 NRST 复位标志位。

当 CPU 被唤醒后，会继续往下执行用户程序，CPU 可于被唤醒后检查中断来判断又由哪一个外设中断事件唤醒。

3. 3. 2. 3 低功耗 STOP 模式

进入低功耗 STOP 模式后，会关闭所有时钟源，此时不再支持用户使用外设中断唤醒，仅能藉由 EXTI 的唤醒中断将 CPU 唤醒。EXTI 的唤醒中断可藉由唤醒引脚(WKUPx)、RTC 唤醒事件、IWDT 事件、USB DP/DM 引脚、低电压检测(LVD)或是拉低外部 NRST 引脚来触发，同时建议在进入低功耗 STOP 模式前，将系统时钟切换至 HRC，并于唤醒后再重新配置系统时钟。当 CPU 被唤醒后，可藉由读取 **SYSCFG_WKSR** 内的 FG(位 0 至位 15)判断是由哪一个唤醒事件唤醒，并配置 **SYSCFG_WKSR** 内的 WKCLR (位 31)为 1 来清除唤醒标志位，若未清除标志位则系统无法再次进入低功耗模式。

此外，在进入 STOP 模式前，用户也可配置 **FC_CTL** 内的 FCSLEEP 为 1，开启闪存的 STOP 模式。当系统进入 STOP 模式后，闪存也会一并进入闪存停止模式，可再额外降低电流消耗。若用户需要使用此功能时，务必同时依照当前系统频率配置 **RCU_CFG2** 内的 SYSFREQ，确保闪存有足够的时间可以离开闪存停止模式。

◆ 让 CPU 进入深度睡眠模式

当用户配置 **SYSCFG_WKSR** 内的 LPLS(位 28 至位 29)为 0，并配置 CPU 内系统控制寄存器(System Control Register)内的 SLEEPDEEP(位 2)为 1 后即可搭配 WFI 让 CPU 进入深度睡眠模式。

◆ 从 STOP 模式唤醒

◇ WKUPx 唤醒：

最大支持用户使用 8 个唤醒引脚(WKUPx)唤醒，用户需配置 **SYSCFG_WKUP** 内 WKEN 的位 0 至位 7 为 1 开启外部唤醒引脚，并配置 WKEG(位 16 至位 23)决定要在唤醒信号的上升沿或是下降沿发生时产生唤醒标志位。

◇ USB DP/DM 引脚唤醒：

用户可以选择使用 USB 的 DP/DM 引脚当作外部唤醒引脚使用。用户需配置 **SYSCFG_WKUP** 内 WKEN 的位 14 至位 15 为 1 开启 USB DP/DM 引脚唤醒功能。由于 USB DP/DM 引脚唤醒不支持用户配置选择侦测上升沿或是下降沿发生时唤醒，因此用户毋须再配置 WKEG。需注意，若要使用 USB 的 DP/DM 引脚进行唤醒时，

须确保 USB 模块保持在开启的状态。

◇ RTC 唤醒：

用户可配置 RTC 的唤醒定时器，并于计数完毕以后唤醒系统。用户可配置 **SYSCFG_WKUP** 内 WKEN 的位 11 为 1 开启 RTC 唤醒功能。由于 RTC 唤醒功能不支持用户配置选择侦测上升沿或是下降沿发生时唤醒，因此用户毋须再配置 WKEG。

◇ IWDT 唤醒：

用户可配置 IWDT，并于 IWDT 发生复位时唤醒系统。当用户开启 IWDT 后，**SYSCFG_WKUP** 内 WKEN 的位 10 会自动设定为 1 并开启 IWDT 唤醒功能。由于 IWDT 唤醒功能不支持用户配置选择侦测上升沿或是下降沿发生时唤醒，因此用户毋须再配置 WKEG。

◇ 低电压检测标志位唤醒(LVD)：

当用户开启低电压检测功能时，会在 VDDH 电压降至用户选定的电压时产生 LVD 标志位，并唤醒系统。当用户开启检测功能时， **SYSCFG_WKUP** 内 WKEN 的位 9 会自动设定为 1 并开启 LVD 标志位唤醒功能。由于 LVD 标志位唤醒功能不支持用户配置选择侦测上升沿或是下降沿发生时唤醒，因此用户毋须再配置 WKEG。

◇ NRST 引脚唤醒：

当用户拉低外部 NRST 引脚时会产生 NRST 唤醒事件，并且在清除唤醒标志位前不会产生 NRST 复位。由于 NRST 唤醒功能不支持用户配置选择侦测上升沿或是下降沿发生时唤醒，因此用户毋须再配置 WKEG。

当 CPU 被唤醒后，会继续往下执行用户程序，CPU 可于被唤醒后检查 **SYSCFG_WKSR** 内的 FG 判断是由哪一个唤醒事件唤醒，并配置 **SYSCFG_WKSR** 内的 WKCLR 为 1 来清除唤醒标志位，若未清除标志位则系统无法再次进入低功耗模式。

3. 3. 2. 4 低功耗 STANDBY0 模式

进入低功耗 STANDBY0 模式后，会关闭 VDD 电源域的电源，但仍会保留第一颗 SRAM 的电源，因此 SRAM1 内的数据会被保存，其余外设相关配置都会被清除。当系统从此低功耗模式唤醒时，会重启系统并重新开始执行闪存内的用户程序，建议用户于程序内加入检查 **RCU_RSTF** 内的复位标志位与 **SYSCFG_WKSR** 内的 FG 来检查唤醒事件，并配置 **SYSCFG_WKSR** 内的 WKCLR 为 1 来清除唤醒标志位，若未清除标志位则系统无法再次进入低功耗模式。

◆ 让 CPU 进入深度睡眠模式

当用户配置 **SYSCFG_WKSR** 内的 LPLS(位 28 至位 29)为 1，并配置 CPU 内系统控制寄存器(System Control Register)内的 SLEEPDEEP(位 2)为 1 后即可搭配 WFI 让 CPU 进入深度睡眠模式。

◆ 从 STANDBY0 模式唤醒

◇ WKUPx 唤醒：

最大支持用户使用 8 个唤醒引脚(WKUPx)唤醒，用户需配置 **SYSCFG_WKUP** 内

WKEN 的位 0 至位 7 为 1 开启外部唤醒引脚，并配置 WKEG(位 16 至位 23)决定要在唤醒信号的上升沿或是下降沿发生时产生唤醒标志位。

◇ RTC 唤醒：

用户可配置 RTC 的唤醒定时器，并于计数完毕以后唤醒系统。用户可配置 **SYSCFG_WKUP** 内 WKEN 的位 11 为 1 开启 RTC 唤醒功能。由于 RTC 唤醒功能不支持用户配置选择侦测上升沿或是下降沿发生时唤醒，因此用户毋须再配置 WKEG。

◇ IWDT 唤醒：

用户可配置 IWDT，并于 IWDT 发生复位时唤醒系统。当用户开启 IWDT 后，**SYSCFG_WKUP** 内 WKEN 的位 10 会自动设定为 1 并开启 IWDT 唤醒功能。由于 IWDT 唤醒功能不支持用户配置选择侦测上升沿或是下降沿发生时唤醒，因此用户毋须再配置 WKEG。

◇ 低电压检测标志位唤醒(LVD)：

当用户开启低电压检测功能时，会在 VDDH 电压降至用户选定的电压时产生 LVD 标志位，并唤醒系统。当用户开启检测功能时， **SYSCFG_WKUP** 内 WKEN 的位 9 会自动设定为 1 并开启 LVD 标志位唤醒功能。由于 LVD 标志位唤醒功能不支持用户配置选择侦测上升沿或是下降沿发生时唤醒，因此用户毋须再配置 WKEG。

◇ NRST 引脚唤醒：

当用户拉低外部 NRST 引脚时会产生 NRST 唤醒事件，并且在清除唤醒标志位前不会产生 NRST 复位。由于 NRST 唤醒功能不支持用户配置选择侦测上升沿或是下降沿发生时唤醒，因此用户毋须再配置 WKEG。

当系统从此低功耗模式唤醒时，会重启系统并重新开始执行闪存内的用户程序，建议用户于程序内加入检查 **RCU_RSTF** 内的复位标志位与 **SYSCFG_WKSR** 内的 FG 来检查唤醒事件，并配置 **SYSCFG_WKSR** 内的 WKCLR 为 1 来清除唤醒标志位，若未清除标志位则系统无法再次进入低功耗模式。

3. 3. 2. 5 低功耗 STANDBY1 模式

STANDBY1 模式会关闭 VDD 电源域内所有的电源，因此当系统从此低功耗模式唤醒以后，储存在第一颗系统 SRAM 内的数据也会一并被清除。当系统从此低功耗模式唤醒时，会重启系统并重新开始执行闪存内的用户程序，建议用户于程序内加入检查 **RCU_RSTF** 内的复位标志位与 **SYSCFG_WKSR** 内的 FG 来检查唤醒事件，并配置 **SYSCFG_WKSR** 内的 WKCLR 为 1 来清除唤醒标志位，若未清除标志位则系统无法再次进入低功耗模式。

◆ 让 CPU 进入深度睡眠模式

当用户配置 **SYSCFG_WKSR** 内的 LPLS(位 28 至位 29)为 2，并配置 CPU 内系统控制寄存器(System Control Register)内的 SLEEPDEEP(位 2)为 1 后即可搭配 WFI 让 CPU 进入深度睡眠模式。

◆ 从 STANDBY1 模式唤醒

◇ WKUPx 唤醒：

最大支持用户使用 8 个唤醒引脚(WKUPx)唤醒，用户需配置 **SYSCFG_WKUP** 内 WKEN 的位 0 至位 7 为 1 开启外部唤醒引脚，并配置 WKEG(位 16 至位 23)决定要在唤醒信号的上升沿或是下降沿发生时产生唤醒标志位。

◇ RTC 唤醒：

用户可配置 RTC 的唤醒定时器，并于计数完毕以后唤醒系统。用户可配置 **SYSCFG_WKUP** 内 WKEN 的位 11 为 1 开启 RTC 唤醒功能。由于 RTC 唤醒功能不支持用户配置选择侦测上升沿或是下降沿发生时唤醒，因此用户毋须再配置 WKEG。

◇ IWDT 唤醒：

用户可配置 IWDT，并于 IWDT 发生复位时唤醒系统。当用户开启 IWDT 后，**SYSCFG_WKUP** 内 WKEN 的位 10 会自动设定为 1 并开启 IWDT 唤醒功能。由于 IWDT 唤醒功能不支持用户配置选择侦测上升沿或是下降沿发生时唤醒，因此用户毋须再配置 WKEG。

◇ 低电压检测标志位唤醒(LVD)：

当用户开启低电压检测功能时，会在 VDDH 电压降至用户选定的电压时产生 LVD 标志位，并唤醒系统。当用户开启检测功能时，**SYSCFG_WKUP** 内 WKEN 的位 9 会自动设定为 1 并开启 LVD 标志位唤醒功能。由于 LVD 标志位唤醒功能不支持用户配置选择侦测上升沿或是下降沿发生时唤醒，因此用户毋须再配置 WKEG。

◇ NRST 引脚唤醒：

当用户拉低外部 NRST 引脚时会产生 NRST 唤醒事件，并且在清除唤醒标志位前不会产生 NRST 复位。由于 NRST 唤醒功能不支持用户配置选择侦测上升沿或是下降沿发生时唤醒，因此用户毋须再配置 WKEG。

当系统从此低功耗模式唤醒时，会重启系统并重新开始执行闪存内的用户程序，建议用户于程序内加入检查 **RCU_RSTF** 内的复位标志位与 **SYSCFG_WKSR** 内的 FG 来检查唤醒事件，并配置 **SYSCFG_WKSR** 内的 WKCLR 为 1 来清除唤醒标志位，若未清除标志位则系统无法再次进入低功耗模式。

3. 3. 2. 6 低功耗 SHUTDOWN 模式

进入此模式后系统会关闭 VDD 电源电压调节器与 BandGap，因此能提供最佳的省电效果。由于 BandGap 电路被关闭，因此无法再使用 LVD 标志位来唤醒系统，同时从此低功耗模式唤醒所需的时间也较其他低功耗模式长。当系统被唤醒后，会重新执行闪存程序区内的程序。

◆ 让 CPU 进入深度睡眠模式

当用户配置 **SYSCFG_WKSR** 内的 LPLS(位 28 至位 29)为 3，并配置 CPU 内系统控制寄存器(System Control Register)内的 SLEEPDEEP(位 2)为 1 后即可搭配 WFI 让 CPU 进入深度睡眠模式。

◆ 从 SHUTDOWN 模式唤醒

◇ WKUPx 唤醒：

最大支持用户使用 8 个唤醒引脚(WKUPx)唤醒，用户需配置 **SYSCFG_WKUP** 内 WKEN 的位 0 至位 7 为 1 开启外部唤醒引脚，并配置 WKEG(位 16 至位 23)决定要在唤醒信号的上升沿或是下降沿发生时产生唤醒标志位。

◇ RTC 唤醒：

用户可配置 RTC 的唤醒定时器，并于计数完毕以后唤醒系统。用户可配置 **SYSCFG_WKUP** 内 WKEN 的位 11 为 1 开启 RTC 唤醒功能。由于 RTC 唤醒功能不支持用户配置选择侦测上升沿或是下降沿发生时唤醒，因此用户毋须再配置 WKEG。

◇ IWDT 唤醒：

用户可配置 IWDT，并于 IWDT 发生复位时唤醒系统。当用户开启 IWDT 后，**SYSCFG_WKUP** 内 WKEN 的位 10 会自动设定为 1 并开启 IWDT 唤醒功能。由于 IWDT 唤醒功能不支持用户配置选择侦测上升沿或是下降沿发生时唤醒，因此用户毋须再配置 WKEG。

◇ NRS T 引脚唤醒：

当用户拉低外部 NRST 引脚时会产生 NRST 唤醒事件，并且在清除唤醒标志位前不会产生 NRST 复位。由于 NRST 唤醒功能不支持用户配置选择侦测上升沿或是下降沿发生时唤醒，因此用户毋须再配置 WKEG。

当系统从此低功耗模式唤醒时，会重启系统并重新开始执行闪存内的用户程序，建议用户于程序内加入检查 **RCU_RSTF** 内的复位标志位与 **SYSCFG_WKSR** 内的 FG 来检查唤醒事件，并配置 **SYSCFG_WKSR** 内的 WKCLR 为 1 来清除唤醒标志位，若未清除标志位则系统无法再次进入低功耗模式。

3. 3. 3 系统重映射(Remap)

此芯片的存储区共分为 2 个区块，分别为闪存(Flash)以及嵌入式只读内存(Maskrom)。闪存可供使用者存放代码，而 Maskrom 主要存放芯片下载程序(Bootrom)，其主要功能为协助用户将代码下载至闪存内。当系统开机完毕后默认会从 Maskrom 开始执行芯片下载程序，若用户未与芯片下载程序进行同步沟通，则下载程序在等待约 20ms 后会自动映射至闪存开始执行使用者代码。

◆ 硬件重映射(Hardware Remap) 硬件重映射的主要功能为当用户不再需要使用 Bootrom 时，可于系统开机完毕后直接从闪存开始执行使用者的代码，达到快速开机的效果。硬件映射可由使用者决定是否开启，若决定开启此功能时用户需自行配置位于闪存信息区页 2 内的用户配置字。有关用户配置字的说明请参阅闪存控制器章节内的描述。

◆ 软件重映射(Software Remap) 软件重映射支持使用者重新选择要执行闪存的程序或是执行位于嵌入式只读存储器内的芯片下载程序，如当系统运行在闪存时可藉由软件重映射的功能重新映射回嵌入式只读存储器执行芯片下载程序。当用户在使用软件重映射的功能时，需配置 **SYSCFG_REMAP** 内的 MEMMOD(位 2 至位 3)来决定后续程序要映射至哪一个存储区继续执行，并配置 REMAP(位 0)为 1 开启重映射流程。开启重映射流程以后系统

并不会立即进行映射，使用者需使用 NVIC_SystemReset()复位函数重置 CPU 后，系统才会真正完成重映射程序。当系统完成映射流程以后，可读取 **SYSCFG_REMAP** 内的 REALMOD(位 11 至位 10)，检查当前主存储器映射状态是否与配置的结果相符。

- 闪存重映射(Flash Remap) 当使用者使用软件重映射将系统映射至闪存执行时，可进一步设定闪存的内部映射。内部映射是以 8 个页(4K Byte)为基准进行映射，用户可在配置 **SYSCFG_REMAP** 内的 MEMMOD(位 2 至位 3)时再额外配置 EFBASE(位 4 至位 8)来决定要映射至闪存的哪一个 4K Byte 区块开始执行。闪存的内部映射只有在读取闪存的数据时才会进行映射，当使用者对闪存进行编程与擦除时并不会受到内部映射影响。此外若用户使用闪存的实体位置来读取数据时，同样不会受到内部映射的影响。

3. 3. 4 停止外设计数

芯片支持定时器(Timer)、看门狗与 I2C 在调试模式下能够暂时停止计数。用户可藉由配置 **SYSCFG_CFG** 的 DBGHEN(位 16 至位 31)决定是否开启相对映外设的功能。当开启看门狗在调试模式停止计数的功能后，可避免用户在调试模式时因为没有重置看门狗而触发系统复位。而定时器则支持在调试模式下停止输出无法控制的 PWM 信号。除了调试模式以外，用户也可配置 **SYSCFG_CFG** 内的 LVD_LCK(位 14)、CSS_LCK(位 13)与 CPU_LCK(位 12)让系统发生低电压检测标志位(LVD)、系统时钟安全标志位(CSS)或是 CPU 发生锁定时让定时器暂时停止计数。

3. 3. 5 红外线(IR)控制信号

芯片支持使用者使用定时器(Timer)搭配串口(UART)输出红外线(IR)的控制信号，藉此实现远程遥控的功能。在使用上需配置 **SYSCFG_IRSEL** 内的 SEL1(位 0 至位 3)与 SEL2(位 4 至位 7)决定要如何搭配出 PWM 控制信号，此芯片目前仅支持使用者从 GP16C2T2 与 GP16C2T3 中挑选其中一个通道输出 PWM 信号去与 GP16C2T4、UART2 Tx 与 URAT4 Tx 的其中一个信号进行逻辑 AND 运算，并配置 PLR(位 8)决定 IR 输出信号的极性。当 PLR 数值为 1 时代表 IR Out 正向输出运算结果信号，反之若 PLR 数值为 0 则代表 IR Out 反向输出运算结果信号。有关定时器与串口的配置方式请参阅相关章节的说明。

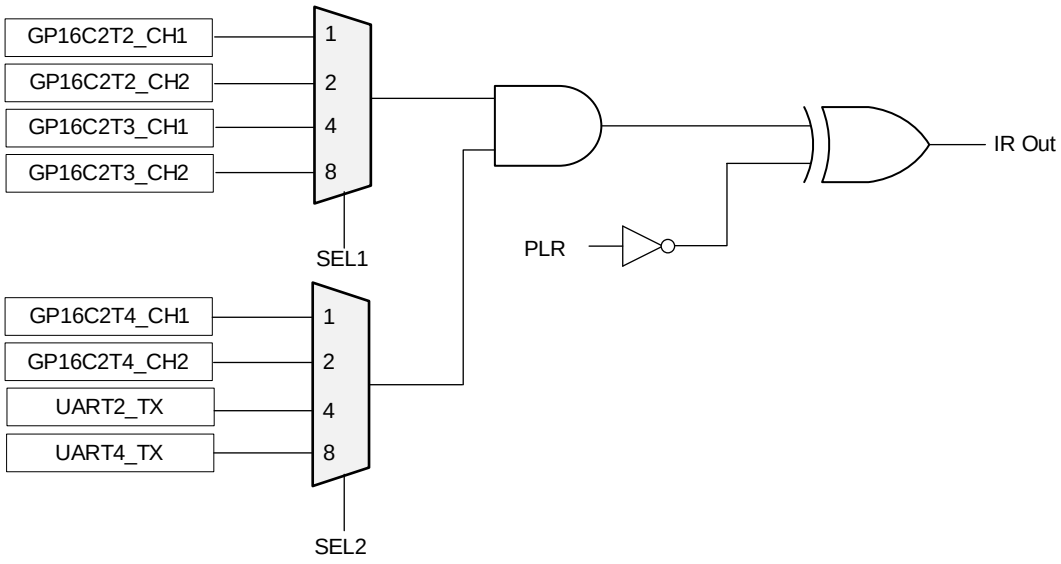


图 3-5 红外线控制信号组合

3. 3. 6 内部电阻分压电源

藉由配置 **SYSCFG_PWR** 的 RESEN(位 0)与 RESSRC(位 1)来开启内部电阻分压电路的电源。此电源 V_{RES} 分别接至 CMP 与 ADC 的输入通道，同时支持内部电阻分压功能。CMP 与 ADC 的分压为独立的配置，不会互相影响，相关分压配置请参阅 CMP 与 ADC 章节内容。

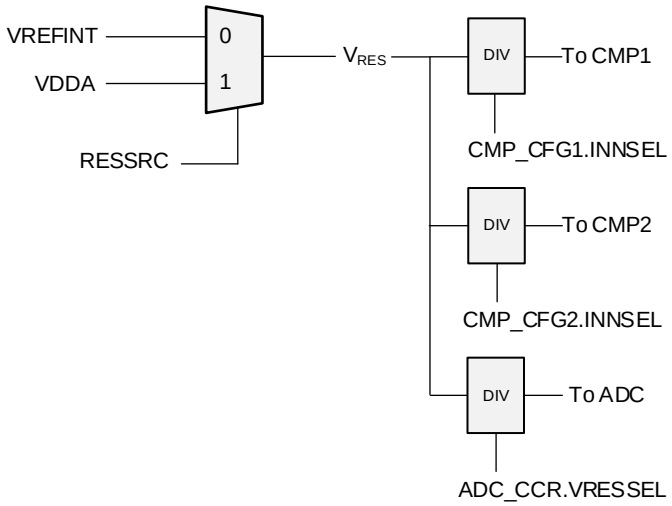


图 3-6 内部电阻分压电源

3.4 特殊功能寄存器

3.4.1 寄存器列表

SYSCFG 寄存器列表			
名称	偏移地址	类型	描述
SYSCFG_REMAP	0000_H	R/W	系统启动内存重映射寄存器
SYSCFG_PWR	0008_H	R/W	电源配置寄存器
SYSCFG_IRSEL	$000C_H$	R/W	红外线控制输出寄存器
SYSCFG_SYSTRIM	0010_H	R	系统校准寄存器
SYSCFG_CLKTRIM	0014_H	R	系统时钟校准寄存器
SYSCFG_OSCTRIM	0018_H	R	外部晶振校准寄存器
SYSCFG_IPTRIM	$001C_H$	R	周边模块校准寄存器
SYSCFG_AHBIPEN	0020_H	R	AHB 外设有效列表寄存器
SYSCFG_APB1IPEN	0024_H	R	APB1 外设有效列表寄存器
SYSCFG_APB2IPEN	0028_H	R	APB2 外设有效列表寄存器
SYSCFG_MEMMOD	$002C_H$	R	内存模式寄存器
SYSCFG_ADCVREF	0030_H	R	ADC 参考电压量测数值寄存器
SYSCFG_ADCTEMP	0034_H	R	ADC 温度传感器电压量测数值寄存器
SYSCFG_SYSSET	0038_H	R	系统周边设定寄存器
SYSCFG_CFG	$003C_H$	R/W	系统配置寄存器
SYSCFG_PWRCON	0040_H	R/W	系统电源检测控制寄存器
SYSCFG_WKTRIM	0044_H	R	备份域校准状态寄存器
SYSCFG_WKUP	0048_H	R/W	唤醒控制寄存器
SYSCFG_WKSR	$004C_H$	R	低功耗模式(Low Power Mode)与唤醒状态寄存器
SYSCFG_BKREG0	0050_H	R/W	备份寄存器 0
SYSCFG_BKREG1	0054_H	R/W	备份寄存器 1
SYSCFG_BKREG2	0058_H	R/W	备份寄存器 2
SYSCFG_BKREG3	$005C_H$	R/W	备份寄存器 3

3.4.2 寄存器描述

3.4.2.1 系统启动内存重映射寄存器 (SYSCFG_REMAP)

系统启动内存重映射寄存器 (SYSCFG_REMAP)																															
偏移地址：0x00																															
复位值：0x0000 0404																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
															REALBASE <4:0>					REALMOD<1:0>			EFBASE<3:0>				MEMMOD<1:0>			REMAP

—	Bit 31-17	—	—
REALBASE	Bit 16-12	R	**当前闪存起始地址状态** 这些位表示当前闪存映射至主存储器时，是以哪一个 4KB 为单位配置闪存起始位置。 举例来说，当 REALBASE 数值为 1 时，代表当前闪存第二个 4KB 的位置会映射至主存储器 0x0000 0000 的位置。
REALMOD	Bit 11-10	R	**当前主存储器映射状态** 这些位表示当前主存储器的映射状态，可藉由配置 MEMMOD 与 REMAP 开启软件重映射流程，来改变主存储器映射状态。 0x0: 闪存映射至主存储器。 0x1: Bootrom 映射至主存储器。 0x2: SRAM 映射至主存储器。 0x3: 保留。
—	Bit 9	—	—
EFBASE	Bit 8-4	R/W	**重映射闪存起始地址选择** 闪存映射至主存储器时，可以 4KB 为单位配置闪存起始位置。 举例来说，当 SEFBASE 数值为 1 时，闪存第二个 4KB 的位置会映射至主存储器 0x0000 0000 的位置。
MEMMOD	Bit 3-2	R/W	**主存储器映射选择** 主存储器映射流程依据此寄存器的配置内容，将相对应的内存位置映射至主存储器。 0x0: 闪存映射至主存储器。 0x1: Bootrom 映射至主存储器.

			0x2: SRAM 映射至主存储器。 0x3: 保留。
—	Bit 1	—	—
REMAP	Bit 0	W1	**主存储器重映射启动** 配置此位为高时启动主存储器重映射流程，待映射流程结束后自动拉低此位。 0: 主存储器重映射流程已结束。 1: 启动主存储器重映射流程。

3. 4. 2. 2 电源配置寄存器 (SYSCFG_PWR)

电源配置寄存器 (SYSCFG_PWR)

偏移地址：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																										LDOUSBSBY	LDOUSBEN			RESSRC	RESEN

—	Bit 31-6	—	—
LDOUSBSBY	Bit 5	R/W	**LDOUSB 稳压器电流模式** 当 LDOUSBEN=1 时允许配置。 0: 关闭 LDOUSB 低功号模式，一般模式。 1: 开启 LDOUSB 低功号模式，降低 VDDUSB 输出电流。
LDOUSBEN	Bit 4	R/W	**LDOUSB 稳压器操作模式** 当 VDDH 大于 3.3V，才允许开启 LDOUSB。 0: 关闭 LDOUSB， 等同于 VDDH Bypass 模式，VDDUSB=VDDH。 1: 开启 LDOUSB，VDDUSB 输出电压 3.3V。
—	Bit 3-2	—-	—
RESSRC	Bit 1	R/W	**V_{RES} 分压电源选择** 配置此位决定 CMP 与 ADC 内部电阻分压电源 V_{RES} 的来源。当 RESEN 配置为 1 后，不可再修改 RESSRC 的数值。 0: V_{RES} 电源选择 VREFINT 1: V_{RES} 电源选择 VDDA
RESEN	Bit 0	R/W	**V_{RES} 分压电路开关**

			配置此位开启 CMP 与 ADC 内部电阻分压电源 V_{RES}。在开启电源前，请先设定好 RESSRC 选择分压电源，预设使用 VREFINT 当作分压电源。 0: 关闭 V_{RES} 电源 1: 开启 V_{RES} 电源

3. 4. 2. 3 红外线控制输出寄存器 (SYSCFG_IRSEL)

红外线控制输出寄存器 (SYSCFG_IRSEL)

偏移地址：0x0C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																							PLR	SEL2 <3:0>				SEL1 <3:0>			

—	Bits 31-9	—	—
PLR	Bit 8	R/W	**红外线控制输出极性** 配置此位可将红外线输出的控制信号进行反相。 0：开启输出控制信号反相，控制信号可表示为~(SEL1 & SEL2)。 1：关闭输出控制信号反相，控制信号可表示为(SEL1 & SEL2)。
SEL2	Bits 7-4	R/W	**红外线控制输出选择 2** 配置此位决定红外线输出控制信号 SEL2 的来源。 0000：关闭控制输出。 0001：控制输出来源选择 GP16C2T4_CH1。 0010：控制输出来源选择 GP16C2T4_CH2。 0100：控制输出来源选择 UART2_Tx。 1000：控制输出来源选择 UART4_Tx。
SEL1	Bits 3-0	R/W	**红外线控制输出选择 1** 配置此位决定红外线输出控制信号 SEL1 的来源。 0000：关闭控制输出。 0001：控制输出来源选择 GP16C2T2_CH1。

			0010：控制输出来源选择 GP16C2T2_CH2。 0100：控制输出来源选择 GP16C2T3_CH1。 1000：控制输出来源选择 GP16C2T3_CH2。

3. 4. 2. 4 系统校准寄存器 (SYSCFG_SYSTRIM)

系统校准寄存器 (SYSCFG_SYSTRIM)

偏移地址：0x10

复位值：0x0004 0208 (数值依据芯片出厂校准而定)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	USBLDOTRIM <2:0>			—	—	—	—	—	—	LVDTRIM <1:0>		—	—	—	—	BGTRIM <3:0>			

—	Bit 31-19	—	—
USBLDOTRIM	Bit 18-16	R	**USB LDO 校准值** USBLDOTRIM 存放 USB LDO 的校准数值，此数值在芯片出厂前已针对芯片特性进行调整，仅开放读取。
—	Bit 15-10	—	—
LVDTRIM	Bit 9-8	R	**可编程低电压检测校准值** LVDTRIM 存放可编程低电压检器的校准数值，此数值在芯片出厂前已针对芯片特性进行调整，仅开放读取。
—	Bit 7-4	—	—
BGTRIM	Bit 3-0	R	**BandGap 基准电压校准值** BGTRIM 存放 BandGap 的校准数值，此数值在芯片出厂前已针对芯片特性进行调整，仅开放读取。

3. 4. 2. 5 系统时钟校准寄存器 (SYSCFG_CLKTRIM)

系统时钟校准寄存器 (SYSCFG_CLKTRIM)																													
偏移地址：0x14																													
复位值：0x3100 5080 (数值依据芯片出厂校准而定)																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	PLLFNS <1:0>		—	—	—	HRC48TRIM <8:0>									—	LRCTRIM <6:0>							HRCTRIM <7:0>							

—	Bit 31-30	—	—
PLLFNS	Bit 29-28	R	**PLL FNS 控制** PLLFNS 存放 PLL 时钟的校准数值，此数值在芯片出厂前已针对芯片特性进行调整，仅开放读取。
—	Bit 27-25	—	—
HRC48TRIM	Bit 24-16	R	**HRC 48MHz 时钟校准值** HRC48TRIM 存放 HRC 48MHz 时钟的校准数值，此数值在芯片出厂前已针对芯片特性进行调整，仅开放读取。
—	Bit 15	—	—
LRCTRIM	Bit 14-8	R	**LRC 时钟校准值** LRCTRIM 存放 LRC 时钟的校准数值，此数值在芯片出厂前已针对芯片特性进行调整，仅开放读取。
HRCTRIM	Bit 7-0	R	**HRC 时钟校准值** HRCTRIM 存放 HRC 时钟的校准数值，此数值在芯片出厂前已针对芯片特性进行调整，仅开放读取。

3. 4. 2. 6 外部晶振校准寄存器 (SYSCFG_OSCTRIM)

外部晶振校准寄存器 (SYSCFG_OSCTRIM)

偏移地址：0x18

复位值：0x0000 3420 (数值依据芯片出厂校准而定)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																		LOSCRCNT <1:0>			LOSCCURSEL <2:0>					HOSCRCNT <1:0>				HOSCCURSEL <1:0>	

—	Bit 31-14	—	—
LOSCRCNT	Bit 13-12	R	**LOSC 时钟稳定计数值** LOSCRDYCNT 数值代表开启 LOSC 时钟后到 LOSC Ready 标志位拉高所需计数的 LOSC 时钟周期数。此数值在芯片出厂前已针对芯片特性进行调整，仅开放读取。 0x0: LOSC 计数 2048 个周期后拉高 Ready 标志位。 0x1: LOSC 计数 4096 个周期后拉高 Ready 标志位。 0x2: LOSC 计数 8192 个周期后拉高 Ready 标志位。 0x3: LOSC 计数 16384 个周期后拉高 Ready 标志位。(默认值)
—	Bit 11	—	—
LOSCCURSEL	Bit 10-8	R	**LOSC 电流选择** 此数值在芯片出厂前已针对芯片特性进行调整，并于系统开机后自动从闪存内读出。
—	Bit 7-6	—	—
HOSCRCNT	Bit 5-4	R	**HOSC 时钟稳定计数值** HOSCRDYCNT 数值代表开启 HOSC 时钟后到 HOSC Ready 标志位拉高所需计数的 HOSC 时钟周期数。此数值在芯片出厂前已针对芯片特性进行调整，仅开放读取。 0x0: HOSC 计数 256 个周期后拉高 Ready 标志位。 0x1: HOSC 计数 1024 个周期后拉高 Ready 标志位。

			0x2: HOSC 计数 4096 个周期后拉高 Ready 标志位。(默认值) 0x3: HOSC 计数 16384 个周期后拉高 Ready 标志位。
—	Bit 3-2	—	—
HOSCCURSEL	Bit 1-0	R	**HOSC 电流选择** 此数值在芯片出厂前已针对芯片特性进行调整，并于系统开机后自动从闪存内读出。

3. 4. 2. 7 周边模块校准寄存器 (SYSCFG_IPTRIM)

周边模块校准寄存器 (SYSCFG_IPTRIM)

偏移地址：0x1C

复位值：0x0000 7878 (数值依据芯片出厂校准而定)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																CMP2TRIM <7:0>								CMP1TRIM <7:0>							

—	Bit 31-16	—	—
CMP2TRIM	Bit 15-8	R	**比较器 2 校准数值** CMP2TRIM 存放比较器 2(CMP2)的校准数值，此数值在芯片出厂前已针对芯片特性进行调整，仅开放读取。
CMP1TRIM	Bit 7-0	R	**比较器 1 校准数值** CMP1TRIM 存放比较器 1(CMP1)的校准数值，此数值在芯片出厂前已针对芯片特性进行调整，仅开放读取。

3. 4. 2. 8 AHB 外设有效列表寄存器 (SYSCFG_AHBIPEN)

AHB 外设有效列表寄存器 (SYSCFG_AHBIPEN)																													
偏移地址：0x20																													
复位值：0xFFFF FFFF (数值依据芯片出厂校准而定)																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	GPDEN	GPCEN	GPBEN	GPAEN	CALCEN	USBEN	AESEN	CRCEN	—	CSUEN	—	—	KBCUEN	RTCEN	—	—	—	—	—	DMA1EN

—	Bit 31-20	—	—
GPDEN	Bit 19	R	**GPIO D 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 AHB 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
GPCEN	Bit 18	R	**GPIO C 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 AHB 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
GPBEN	Bit 17	R	**GPIO B 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 AHB 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
GPAEN	Bit 16	R	**GPIO A 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 AHB 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
CALCEN	Bit 15	R	**CALC 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯

			片是否含有此 AHB 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
USBEN	Bit 14	R	**USB 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 AHB 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
AESEN	Bit 13	R	**AES 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 AHB 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
CRCEN	Bit 12	R	**CRC 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 AHB 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
—	Bit 11	—	—
CSUEN	Bit 10	R	**CSU 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 AHB 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
—	Bit 9-8	—	—
KBCUEN	Bit 7	R	**KBCU 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 AHB 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
RTCEN	Bit 6	R	**RTC 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯

			片是否含有此 AHB 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
—	Bit 5-1	—	—
DMA1EN	Bit 0	R	**DMA1 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 AHB 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。

3. 4. 2. 9 APB1 外设有效列表寄存器 (SYSCFG_APB1IPEN)

APB1 外设有效列表寄存器 (SYSCFG_APB1IPEN)

偏移地址：0x24

复位值：0xFFFF FFFF (数值依据芯片出厂校准而定)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	I2C2EN	I2C1EN	—	UART4EN	UART3EN	UART2EN	—	SPI3EN	SPI2EN	—	IWDTEN	WWDTEN	—	—	—	—	—	—	BS16T1EN	GP16C4T3EN	GP16C4T2EN	GP16C4T1EN	GP32C4T1EN

—	Bit 31-23	—	—
I2C2EN	Bit 22	R	**I2C2 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 APB1 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
I2C1EN	Bit 21	R	**I2C1 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 APB1 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
—	Bit 20	—	—
UART4EN	Bit 19	R	**UART4 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯

			片是否含有此 APB1 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
UART3EN	Bit 18	R	**UART3 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 APB1 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
UART2EN	Bit 17	R	**UART2 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 APB1 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
—	Bit 16	—	—
SPI3EN	Bit 15	R	**SPI3 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 APB1 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
SPI2EN	Bit 14	R	**SPI2 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 APB1 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
—	Bit 13	—	—
IWDTEN	Bit 12	R	**IWDT 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 APB1 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
WWDTEN	Bit 11	R	**WWDT 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯

			片是否含有此 APB1 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
—	Bit 10-5	—	—
BS16T1EN	Bit 4	R	**BS16T1 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 APB1 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
GP16C4T3EN	Bit 3	R	**GP16C4T3 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 APB1 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
GP16C4T2EN	Bit 2	R	**GP16C4T2 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 APB1 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
GP16C4T1EN	Bit 1	R	**GP16C4T1 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 APB1 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
GP32C4T1EN	Bit 0	R	**GP32C4T1 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 APB1 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。

3. 4. 2. 10 APB2 外设有效列表寄存器 (SYSCFG_APB2IPEN)

APB2 外设有效列表寄存器 (SYSCFG_APB2IPEN)																												
偏移地址：0x28																												
复位值：0xFFFF FFFF (数值依据芯片出厂校准而定)																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	CMPEN	—	—	—	GP16C2T4EN	GP16C2T3EN	GP16C2T2EN	GP16C2T1EN	—	UART1EN	—	SPI1EN	AD16C4T1EN	—	ADCEN	—	—	—	—	—	—	—	—	—

—	Bit 31-24	—	—
CMPEN	Bit 23	R	**CMP 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 APB2 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
—	Bit 22-20	—	—
GP16C2T4EN	Bit 19	R	**GP16C2T4 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 APB2 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
GP16C2T3EN	Bit 18	R	**GP16C2T3 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 APB2 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
GP16C2T2EN	Bit 17	R	**GP16C2T2 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 APB2 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
GP16C2T1EN	Bit 16	R	**GP16C2T1 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号

			而定，使用者可从此寄存器的数值判，确认芯片是否含有此 APB2 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
—	Bit 15	—	—
UART1EN	Bit 14	R	**UART1 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 APB2 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
—	Bit 13	—	—
SPI1EN	Bit 12	R	**SPI1 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 APB2 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
AD16C4T1EN	Bit 11	R	**AD16C4T1 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 APB2 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
—	Bit 10	—	保留
ADCEN	Bit 9	R	**ADC 外设有效状态** 芯片是否含有此外设功能主要依据芯片型号而定，使用者可从此寄存器的数值判，确认芯片是否含有此 APB2 外设功能。 0：芯片内不含此外设功能。 1：芯片内含有此外设功能。
—	Bit 8-0	—	—

3. 4. 2. 11 内存模式寄存器 (SYSCFG_MEMMOD)

内存模式寄存器 (SYSCFG_MEMMOD)																													
偏移地址：0x2C																													
复位值：0x0000 0F7F (数值依据芯片出厂校准而定)																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																SMOD <7:0>								FMOD <7:0>							

—	Bit 31-16	—	—
SMOD	Bit 15-8	R	**内存大小** 内存的大小依据芯片型号而有所不同，使用者可读取 SMOD 的数值判断此芯片型号的内存大小。此数值在芯片出厂前已针对芯片特性进行调整，仅开放读取。 0x1F：内存大小为 32KB。 0x0F：内存大小为 16KB。 0x07：内存大小为 8KB。 0x03：内存大小为 4KB。 0x01：内存大小为 2KB。
FMOD	Bit 7-0	R	**闪存大小** 闪存的大小依据芯片型号而有所不同，使用者可读取 FMOD 的数值判断此芯片型号的闪存大小。此数值在芯片出厂前已针对芯片特性进行调整，仅开放读取。 0xFF：闪存大小为 256KB。 0x7F：闪存大小为 128KB。 0x3F：闪存大小为 64KB。 0x1F：闪存大小为 32KB。 0x0F：闪存大小为 16KB。

3. 4. 2. 12 ADC 参考电压量测数值寄存器 (SYSCFG_ADCVREF)

ADC 参考电压量测数值寄存器 (SYSCFG_ADCVREF)																													
偏移地址：0x30																													
复位值：0x0000 03E7 (数值依据芯片出厂校准而定)																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																				ADCVREF <11:0>											

—	Bit 31-12	—	—
ADCVREF	Bit 11-0	R	**ADC 参考电压量测数值** ADCVREF 所记录的数值为 ADC 在 5V 供电的情况下，量测 VREFINT 的数值。ADCVREF 的数值可当作 ADC 校准时的参考依据。

3. 4. 2. 13 ADC 温度传感器电压量测数值寄存器 (SYSCFG_ADCTEMP)

ADC 温度传感器电压量测数值寄存器 (SYSCFG_ADCTEMP)																													
偏移地址：0x34																													
复位值：0x041B 037A (数值依据芯片出厂校准而定)																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				ADCTEMPH <11:0>																ADCTEMPL <11:0>											

—	Bit 31-28	—	—
ADCTEMPH	Bit 27-16	R	**ADC 温度传感器高温量测数值** ADCTEMPH 所记录的数值为 ADC 在 5V 供电且温度为 110° C 的情况下，量测温度传感器的数值。ADCTEMPH 的数值可作为量测温度传感器时的校准参考依据。
—	Bit 15-12	—	—
ADCTEMPL	Bit 11-0	R	**ADC 温度传感器低温量测数值** ADCTEMPL 所记录的数值为 ADC 在 5V 供电且温度为 30° C 的情况下，量测温度传感器的数值。ADCTEMPL 的数值可作为量测温度传感器时的校准参考依据。

3. 4. 2. 14 系统周边设定寄存器 (SYSCFG_SYSSET)

系统周边设定寄存器 (SYSCFG_SYSSET)																													
偏移地址：0x38																													
复位值：0xFFFF FFFF (数值依据芯片出厂校准而定)																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	SYS_IWDTEN <7:0>								SYS_BOREN <7:0>								—	—	—	—	—	SYS_BORLS <2:0>		

—	Bit 31-24	—	—
SYS_IWDTEN	Bit 23-16	R	**用户配置字 IWDT 开关** 反映用户配置字内的 IWDT 开关设定数值。当 SYS_IWDTEN 数值为 0xA5 时代表系统默认开启 IWDT。
SYS_BOREN	Bit 15-8	R	**用户配置字 BOR 开关** 反映用户配置字内的 BOR 开关设定数值。当 SYS_BOREN 数值为 0xA5 时代表系统默认开启 BOR。
—	Bit 7-3	—	—
SYS_BORLS	Bit 2-0	R	**用户配置字 BOR 电压阀值选择** 反映用户配置字内所设定的 BOR 侦测电压阀值。 000 : BOR level 0 001 : BOR level 1 010 : BOR level 2 011 : BOR level 3 100 : BOR level 4 101 : BOR level 5 110 : BOR level 6 111 : BOR level 7

3. 4. 2. 15 系统配置寄存器 (SYSCFG_CFG)

系统配置寄存器 (SYSCFG_CFG)																												
偏移地址：0x3C																												
复位值：0x0000 0001																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBGHEN<15:0>																	LVDLCK	CSSLCK	CPULCK												BKREADY

DBGHEN	Bit 31-16	R/W	**调试模式外设停止开关** 配置 DBGHEN 让外设在 CPU 进入调试模式后，能够停止计数。DBGHEN[X]配置为 1 代表开启调试模式下停止计数的功能；配置为 0 时，外设在 CPU 进入调试模式后仍会继续计数。 DBGHEN[15]：保留。 DBGHEN[14]：保留。 DBGHEN[13]：IWDT。 DBGHEN[12]：WWDT。 DBGHEN[11]：I2C2。 DBGHEN[10]：I2C1。 DBGHEN[9]：BS16T1。 DBGHEN[8]：GP16C4T3。 DBGHEN[7]：GP16C4T2。 DBGHEN[6]：GP16C4T1。 DBGHEN[5]：GP32C4T1。 DBGHEN[4]：GP16C2T4。 DBGHEN[3]：GP16C2T3。 DBGHEN[2]：GP16C2T2。 DBGHEN[1]：GP16C2T1。 DBGHEN[0]：AD16C4T1。
—	Bit 15	—	—
LVDLCK	Bit 14	R/W	**低电压检测(LVD)事件输入开关** LVD 事件可从 AD16C4T 与 GP16C2T1 ~ GP16C2T4 的断路输入(Break Input)引脚输入，有关断路输入的说明请参阅 Timer 章节内的描述。

			0：关闭 LVD 事件输入至 Timer。 1：开启 LVD 事件输入至 Timer。
CSSLCK	Bit 13	R/W	**时钟安全事件(CSS)输入开关** CSS 事件可从 AD16C4T 与 GP16C2T1 ~ GP16C2T4 的断路输入(Break Input)引脚输入，有关断路输入的说明请参阅 Timer 章节内的描述。 0：关闭 CSS 事件输入至 Timer。 1：开启 CSS 事件输入至 Timer。
CPULCK	Bit 12	R/W	**CPU Lockup 事件输入开关** CPU Lockup(Hard Fault)事件可从 AD16C4T 与 GP16C2T1 ~ GP16C2T4 的断路输入(Break Input)引脚输入，有关断路输入的说明请参阅 Timer 章节内的描述。 0：关闭 CPU Lockup 事件输入至 Timer。 1：开启 CPU Lockup 事件输入至 Timer。
—	Bit 11-1	—	—
BKREADY	Bit 0	R	**备份寄存器总线空闲标志位** 在对备份寄存器进行读取/写入操作时，需先确认 BKREADY 为 1 后才可进行操作。 0：备份寄存器总线处于忙碌状态。 1：备份寄存器总线处于空闲状态。

3. 4. 2. 16 系统电源检测控制寄存器 (SYSCFG_PWRCON)

此寄存器只允许 32 位存取

系统电源检测控制寄存器 (SYSCFG_PWRCON)

偏移地址：0x40

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																IWDTEN				BOREN	BORLS <2:0>						LVDEN	LVDLS <3:0>			

—	Bit 31-16	—	—
IWDTEN	Bit 15	R	**IWDT 开启状态** 0：IWDT 未被开启。 1：IWDT 已被开启。

—	Bit 14-12	—	—
BOREN	Bit 11	R/W	**低电压复位开关** 配置 BOREN 为 1 可开启低电压复位功能，当 VDDH 电压低于 BORLS 所选定的电压区间时，便会触发 BOR 复位，藉此确保芯片永远工作在高于选定的电压范围以上。 0：关闭低电压复位。 1：开启低电压复位。
BORLS	Bit 10-8	R/W	**低电压复位电压区间选择** 配置 BORLS 选择触发 BOR 复位的电压区间。详细电压区间请参阅 Datasheet 内的数据。 000 : BOR level 0 001 : BOR level 1 010 : BOR level 2 011 : BOR level 3 100 : BOR level 4 101 : BOR level 5 110 : BOR level 6 111 : BOR level 7
—	Bit 7-5	—	—
LVDEN	Bit 4	R/W	**低电压检测开关** 配置 LVDEN 为 1 可开启低电压检测器，此检测器用于检查 VDDH 电压值，当 VDDH 电压低于选 LVDLS 所选择的电压区间时，检测器会拉高 LVD 标志位，直到 VDDH 电压高于选择的电压区间时才会将标志位拉低。此标志位可当作低功耗模式的唤醒事件、触发 CPU 中断事件或是让 Timer 停止计数。 0：关闭低电压检测器。 1：开启低电压检测器。
LVDLS	Bit 3-0	R/W	**低电压检测电压区间选择** 配置 LVDLS 选择低电压检测器所需要检测的电压区间.当 VDDH 电压降至选则的区间时，低电压检测器会拉高 LVD 标志位。 0000：标志位拉高电压为 1.9V，标志位拉低电压为 2.0V。 0001：标志位拉高电压为 2.1V，标志位拉低

			电压为 2.2V。 0010：标志位拉高电压为 2.3V，标志位拉低电压为 2.4V。 0011：标志位拉高电压为 2.5V，标志位拉低电压为 2.6V。 0100：标志位拉高电压为 2.7V，标志位拉低电压为 2.8V。 0101：标志位拉高电压为 2.9V，标志位拉低电压为 3.0V。 0110：标志位拉高电压为 3.1V，标志位拉低电压为 3.2V。 0111：标志位拉高电压为 3.3V，标志位拉低电压为 3.4V。 1000：标志位拉高电压为 3.5V，标志位拉低电压为 3.6V。 1001：标志位拉高电压为 3.7V，标志位拉低电压为 3.8V。 1010：标志位拉高电压为 3.9V，标志位拉低电压为 4.0V。 1011：标志位拉高电压为 4.1V，标志位拉低电压为 4.2V。 1100：标志位拉高电压为 4.3V，标志位拉低电压为 4.4V。 1101：标志位拉高电压为 4.5V，标志位拉低电压为 4.6V。 1110：标志位拉高电压为 4.7V，标志位拉低电压为 4.8V。 1111：标志位拉高电压为 4.9V，标志位拉低电压为 5.0V。

3. 4. 2. 17 备份域校准状态寄存器 (SYSCFG_WKTRIM)

此寄存器只允许 32 位存取

备份域校准状态寄存器 (SYSCFG_WKTRIM)																															
偏移地址：0x44																															
复位值：0x3400 2850																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		LOSCRCNT <1:0>			LOSCCURSEL <2:0>													LVDTRIM <1:0>		BGTRIM <3:0>					LRCTRIM <6:0>							

—	Bit 31-30	—	—
LOSCRCNT	Bit 29-28	R/W	**外部低速时钟振荡器，时钟稳定时间计数器** 00: LOSC 计数 2048 个周期后拉高 Ready 标志位。 01: LOSC 计数 4096 个周期后拉高 Ready 标志位。 10: LOSC 计数 8192 个周期后拉高 Ready 标志位。 11: LOSC 计数 16384 个周期后拉高 Ready 标志位。(默认值)
—	Bit 27	—	—
LOSCCURSEL	Bit 26-24	R/W	**外部低速时钟振荡器，起振电流配置** 000: 起振电流选择 120nA。 001: 起振电流选择 200nA。 010: 起振电流选择 280nA。 011: 起振电流选择 360nA。 100: 起振电流选择 440nA。 101: 起振电流选择 520nA。 110: 起振电流选择 600nA。 111: 起振电流选择 680nA。
—	Bit 23-14	—	—
LVDTRIM	Bit 13-12	R	**低电压检测(LVD)校准值** LVDTRIM 存放低电压检测器的校准数值，此数值在芯片出厂前已针对芯片特性进行调整，仅开放读取。
BGTRIM	Bit 11-8	R	**BandGap 校准值** BGTRIM 存放 BandGap 的校准数值，此数值

			在芯片出厂前已针对芯片特性进行调整，仅开放读取。
—	Bit 7	—	—
LRCTRIM	Bit 6-0	R	**LRC 时钟校准值** LRCTRIM 存放 LRC 时钟的校准数值，此数值在芯片出厂前已针对芯片特性进行调整，仅开放读取。

3. 4. 2. 18 唤醒控制寄存器 (SYSCFG_WKUP)

此寄存器只允许 32 位存取

唤醒控制寄存器 (SYSCFG_WKUP)																													
偏移地址：0x48																													
复位值：0x1500 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WKEG <15:0>																WKEN<15:0>														

WKEG	Bit 31-16	R/W	**唤醒事件上升沿或下降沿模式** 此寄存器决定唤醒引脚或事件，由上升沿或下降沿触发唤醒。 0: 下降沿发生时，触发唤醒系统。 1: 上升沿发生时，触发唤醒系统。 除了IWDT唤醒寄数器与LVD标志位预设检测事件上升沿发生时唤醒系统外，其余唤醒引脚与唤醒事件预设检测事件下降沿发生时唤醒系统。 WKEG[0] : WKUP0引脚上升沿/下降沿事件。 WKEG[1] : WKUP1引脚上升沿/下降沿事件。 WKEG[2] : WKUP2引脚上升沿/下降沿事件。 WKEG[3] : WKUP3引脚上升沿/下降沿事件。 WKEG[4] : WKUP4引脚上升沿/下降沿事件。 WKEG[5] : WKUP5引脚上升沿/下降沿事件。 WKEG[6] : WKUP6引脚上升沿/下降沿事件。 WKEG[7] : WKUP7引脚上升沿/下降沿事件。 WKEG[8] : NRST引脚上升沿唤醒，固定为1。(Read Only) WKEG[9] : LVD标志位上升沿唤醒，固定为1。

			(Read Only) WKEG[10]：IWDT计数重置下降沿唤醒，固定为0。(Read Only) WKEG[11]：RTC计数标志位上升沿唤醒，固定为1。(Read Only) WKEG[12]：保留 WKEG[13]：保留 WKEG[14]：USBDM引脚上升沿唤醒，固定为1。 WKEG[15]：USBDP引脚下降沿唤醒，固定为0。
WKEN	Bit 15-0	R/W	**唤醒引脚或唤醒事件开关** 当系统进入低功耗模式后，通过以下配置触发唤醒。 0: 关闭唤醒功能。 1: 开启唤醒功能。 WKEN[0]：开启/关闭 WKUP0 引脚唤醒功能。 WKEN[1]：开启/关闭 WKUP1 引脚唤醒功能。 WKEN[2]：开启/关闭 WKUP2 引脚唤醒功能。 WKEN[3]：开启/关闭 WKUP3 引脚唤醒功能。 WKEN[4]：开启/关闭 WKUP4 引脚唤醒功能。 WKEN[5]：开启/关闭 WKUP5 引脚唤醒功能。 WKEN[6]：开启/关闭 WKUP6 引脚唤醒功能。 WKEN[7]：开启/关闭 WKUP7 引脚唤醒功能。 WKEN[8]：NRST 引脚唤醒功能，固定开启。(Read Only) WKEN[9]：LVD 标志位唤醒功能，依据 LVDEN 配置状态而定。(Read Only) WKEN[10]：IWDT 计数重置唤醒功能，依据 IWDT 开启状态而定。(Read Only) WKEN[11]：RTC 计数唤醒功能，依据 RTCEN 配置状态而定。(Read Only) WKEG[12]：保留 WKEG[13]：保留 WKEG[14]：开启/关闭 USBDM 引脚唤醒功能。 WKEG[15]：开启/关闭 USBDP 引脚唤醒功能。

BOR 标志位会触发 PDR 复位，无法当作唤醒标志位将系统唤醒。

当系统进入 SHUTDOWN 模式后，会关闭 BandGap，此时仅能通过唤醒引脚(WKUPx)唤醒。

3. 4. 2. 19 低功耗模式(Low Power Mode)与唤醒状态寄存器 (SYSCFG_WKSR)

此寄存器只允许 32 位存取

低功耗模式(Low Power Mode)与唤醒状态寄存器(SYSCFG_WKSR)

偏移地址：0x4C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WKCLR	—	LPLS <1:0>		—	—	—	—	—	—	—	—	—	—	—	FLAG	FG <11:0>															

WKCLR	Bit 31	R/C_W1	**清除唤醒标志位** 设定 WKCLR 为 1 清除唤醒标志位，并结束低功耗流程。WKCLR 会在低功后流程结束后自动清除为 0。若使用唤醒引脚或唤醒事件将系统从低功耗模式唤醒时，务必设定 WKCLR 清除唤醒标志位，否则系统无法再次进入低功耗流程。
—	Bit 30	—	—
LPLS	Bit 29-28	R/W	**低功耗模式选择** 配置 LPLS 决定系统要进入哪一种低功耗模式。有关各种低功耗模式的说明与唤醒方式，请参阅低功耗模式(Low Power Mode)内的描述。 0 : STOP 模式。 1 : STANDBY0 模式。 2 : STANDBY1 模式。 3 : SHUTDOWN 模式。
—	Bit 27-17	—	—
FLAG	Bit 16	R	**唤醒标志位** 使用唤醒引脚或是唤醒事件将系统从低功耗模式下唤醒时，FLAG 会被拉高，告知系统被唤醒引脚或是唤醒事件所唤醒。可藉由设定 WKCLR 为 1 来清除标志位。 0： 无唤醒标志位。 1： 系统由唤醒引脚或是唤醒事件唤醒。

FG	Bit 15-0	R	**低功耗模式唤醒标志位** 使用唤醒引脚或是唤醒事件将系统从低功耗模式中唤醒时，此寄存器记录系统唤醒是由那些唤醒引脚或事件。可藉由设定 WKCLR 位源来清除标志位。 FG[0]：由 WKUP0 引脚上升沿/下降沿唤醒。 FG[1]：由 WKUP1 引脚上升沿/下降沿唤醒。 FG[2]：由 WKUP2 引脚上升沿/下降沿唤醒。 FG[3]：由 WKUP3 引脚上升沿/下降沿唤醒。 FG[4]：由 WKUP4 引脚上升沿/下降沿唤醒。 FG[5]：由 WKUP5 引脚上升沿/下降沿唤醒。 FG[6]：由 WKUP6 引脚上升沿/下降沿唤醒。 FG[7]：由 WKUP7 引脚上升沿/下降沿唤醒。 FG[8]：由 NRST 引脚上升沿唤醒。 FG[9]：由 LVD 标志位上升沿唤醒。 FG[10]：由 IWDT 计数重置下降沿唤醒。 FG[11]：由 RTC 闹钟标志位上升沿事件唤醒。 FG[12]：无 FG[13]：无 FG[14]：由 USBDM 引脚上升沿事件唤醒。 FG[15]：由 USBDP 引脚下降沿事件唤醒。

3. 4. 2. 20 备份寄存器 0 (SYSCFG_BKREG0)

此寄存器只允许 32 位存取

备份寄存器 0 (SYSCFG_BKREG0)

偏移地址：0x50

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BKREG0 <31:0>																															

BKREG0	Bits 31-0	R/W	**备份寄存器0** 此寄存器的内容不受NRST复位影响，仅有在系统电源掉电并触发PDR时才会被清除。

3. 4. 2. 21 备份寄存器 1 (SYSCFG_BKREG1)

此寄存器只允许 32 位存取

备份寄存器 1 (SYSCFG_BKREG1)																															
偏移地址：0x54																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BKREG1 <31:0>																															

BKREG1	Bits 31-0	R/W	**备份寄存器1** 此寄存器的内容不受NRST复位影响，仅有在系统电源掉电并触发PDR时才会被清除。

3. 4. 2. 22 备份寄存器 2 (SYSCFG_BKREG2)

此寄存器只允许 32 位存取

备份寄存器 2 (SYSCFG_BKREG2)																															
偏移地址：0x58																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BKREG2 <31:0>																															

BKREG2	Bits 31-0	R/W	**备份寄存器2** 此寄存器的内容不受NRST复位影响，仅有在系统电源掉电并触发PDR时才会被清除。

3. 4. 2. 23 备份寄存器 3 (SYSCFG_BKREG3)

此寄存器只允许 32 位存取

备份寄存器 3 (SYSCFG_BKREG3)																															
偏移地址：0x5C																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BKREG3 <31:0>																															

BKREG3	Bits 31-0	R/W	**备份寄存器3** 此寄存器的内容不受NRST复位影响，仅有在系统电源掉电并触发PDR时才会被清除。

第4章 复位和时钟控制 (RCU)

4.1 概述

此章节内容包含系统时钟架构、时钟相关配置与外设复位设定，使用者通过阅读此章节可以了解如何配置系统时钟以及如何使用外设复位。

4.2 特性

- 支持 4 种时钟源可当作系统时钟。
- 支持 AHB 时钟(HLCK)分频，可以根据系统时钟(SYSCLK)设定 2、4、8、16、64、128、256 与 512 的除数。
- 支持 APB 时钟(PCLK)分频，可以根据 AHB 时钟设定 2、4、8 与 16 的除数。
- 支持微控制器时钟输出(MCO)。
- 支持微控制器时钟输出分频，可以设定 2、4、8、16、32、64 与 128 的除数。
- 支持 SLEEP 模式下开启外设时钟。
- 支持时钟安全系统(CSS)。
- 提供复位标志位确认系统状态。

4.3 功能描述

4.3.1 复位

此芯片的复位包含上电/掉电复位、低功耗复位与系统复位，每一种复位都有相对应的标志位于 **RCU_RSTF** 供使用者检视。

4.3.1.1 电源复位

当下列事件发生时，会产生电源复位，相关信息请参阅系统配置控制器章节内的电源章节。

- 上电/掉电复位(POR/PDR)

  上电复位是指当系统电源 VDDH 从 0 伏上升并且超过 VPOR 时，POR 模块会等待约 3.5 毫秒(3.5ms)才拉高 POR 标志位，此时系统便会离开复位状态并开始执行开机流程。 掉电复位是指当系统电源 VDDH 下降并且低于 VPDR 时，POR 模块会拉低 POR 标志位并进入复位状态，以确保所有模块不会因为电源不稳定，而产生非预期的行为。 当掉电复位发生时所有寄存器包含备份寄存器都会被清除。

- 欠压复位(BOR)

  当用户希望工作电压下降至一定程度后，提早发生系统复位，可藉由欠压复位提早让芯片进入复位状态，欠压复位的电压可由用户自行配置，发生复位后系统会产生复位标志位，供使用者于下一次开机时进行判断。当欠压复位发生时所有寄存器包含备份寄存器都会被清除。

4.3.1.2 低功耗复位

当系统从 STANDBY0 模式、STANDBY1 模式与 SHUTDOWN 模式时唤醒时，会触发低功耗复位，让 CPU 重新执行程序。相关信息请参阅系统配置控制器章节内的低功耗模式章节。 当发生低功耗复位时，除了备份寄存器，所有寄存器都将被清除。

4.3.1.3 系统复位

当系统复位发生时，除了备份寄存器，所有寄存器都将被清除。触发系统复位的原因如下，每一种复位发生后皆会产生相对应的复位标志位。

- 软件复位

  用户可以通过软件使用复位函式 NVIC_SystemReset()来重新启动系统。

- 配置字重载复位

  当使用者开启闪存保护设定时，需藉由配置字重载功能来重载保护设定，此时会触发系统复位并让系统重新执行程序。相关信息请参阅闪存控制器章节内的配置字重载章节。

- 看门狗复位

  看门狗分为独立看门狗与窗口看门狗，这两种看门狗都可以定时触发系统复位，避免系统因软件错误或故障导致死机。相关信息请参阅独立看门狗章节与窗口看门狗章节。

- 外部复位

  当用户将 NRST 引脚的信号拉低一段时间(超过 100ns)后，即触发系统复位。

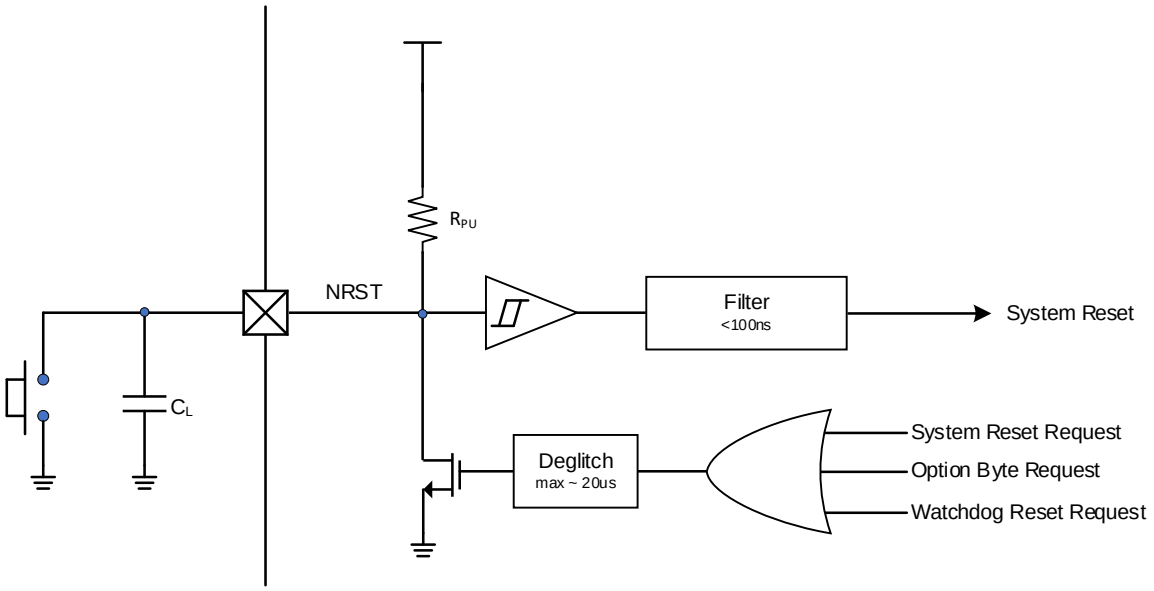


图 4-1 系统复位

4. 3. 1. 4 复位标志位

当复位发生时系统会记录触发复位的原因，使用者可以读取复位标志位寄存器 **RCU_RSTF** 来了解何种因素导致系统被复位。由于系统在启动过程中，一定会触发上电复位，因 POR/PDR 复位标志位 PORRSTF 初始值为 1。当使用者检查完复位标志位后，可以设置 CLRFLG 清除复位标志位，此位会在清除完复位标志位后自动清零。须注意的是当发生上电/掉电复位时，复位标志位寄存器会被复位，仅保留 POR/PDR 复位标志位。

4. 3. 1. 5 AHB/APB 外设复位

AHB/APB 外设初始状态处于复位状态，当用户配置 AHB 外设时钟控制寄存器 **RCU_AHBEN**、APB1 外设时钟控制寄存器 **RCU_APB1EN** 与 APB2 外设时钟控制寄存器 **RCU_APB2EN**，需要等待 3 个外设时钟后，外设才会离开复位状态。用户可藉由配置 AHB 外设复位控制寄存器 **RCU_AHBRST**、APB1 外设复位控制寄存器 **RCU_APB1RST** 与 APB2 外设复位控制寄存器 **RCU_APB2RST** 来复位外设，当这三组寄存器被设定为 1 时，外设会处于复位状态，例如配置 **RCU_AHBEN**.GPAEN 为 1，即可让 GPIOA 外设进入复位状态；用户需要自行再将寄存器清除为 0，使外设离开复位状态。须注意释放外设复位后，需要等待 3 个外设时钟才会离开复位状态，在这段期间内，无法对外设的寄存器进行读写操作。由于 AHB 时钟与 APB 时钟的频率最多可能差 16 倍，因此用户在使用此功能时，须特别注意程序上的配置，不建议用户将复位控制寄存器清除后，立即访问外设的寄存器。

4. 3. 2 时钟

系统时钟(SYSCLK)可选择的时钟源如下：

- HRC - 内部高速 4 MHz RC 振荡器
- HOSC - 外部高速振荡器
- PLL - 锁相环
- HRC48 - 内部高速 48 MHz RC 振荡器

此外，有两个额外的时钟源如下：

- LRC - 内部低速 32 kHz RC 振荡器，提供独立看门狗(IWDT)与实时时钟(RTC)使用
- LOSC - 外部低速 32.768 kHz 时钟振荡器，提供实时时钟(RTC)与时钟同步单元(CSU)使用

每种时钟源不使用时，皆可独立设置开启或关闭，进而优化系统功率消耗。并提供分频电路，让用户依据应用场景与功耗需求，配置 AHB 与 APB 操作频率。

所有周边外设时钟状态，都依据所属的总线(Bus)时钟而定，如 AHB 总线时钟为 HCLK，APB 总线时钟为 PCLK。除了下列几个特殊区块各别说明：

- I2S 时钟(I2SCLK)可以选择以下三种时钟源其中之一：
  - PLL
  - HRC48
  - HOSC
- USB 时钟(USBCLK)可以选择以下两种时钟源其中之一：
  - PLL
  - HRC48
- RTC 时钟(RTCCLK)可以选择以下两种时钟源其中之一：
  - LRC
  - LOSC
- ADC 时钟(ADCCLK)只允许使用 APB 总线时钟
- IWDT 时钟(IWDTCLK)只允许使用 LRC 时钟
- 系统节拍器(System Tick)时钟(STCLK)，可选择由 AHB 总线 HCLK 时钟或分频 8 倍后提供，通过 SysTick 控制寄存器可配置选择

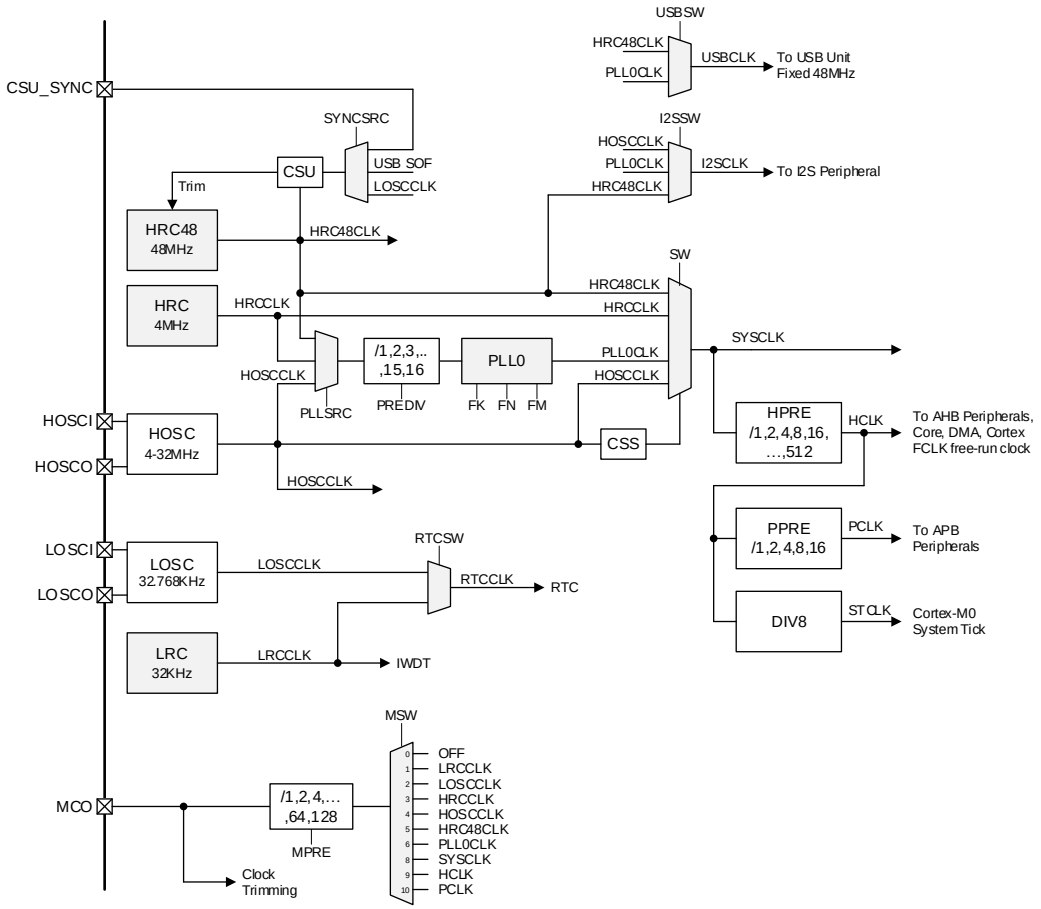


图 4-2 时钟架构图

4. 3. 2. 1 外部高速振荡器时钟 (HOSCCLK)

高速外部时钟信号 HOSC，可通过以下两种来源提供：

- 外部石英晶体振荡器(Crystal Osillator)
- 外部时钟源(External Clock Source)

当使用石英晶体振荡器时，为了减少输出失真与缩短启动稳定时间，必须尽可能将振荡器组件与负载电容 C_{L1}/C_{L2} 靠近 HOSC 引脚。另外在负载电容值选择上，需匹配所选择振荡器。

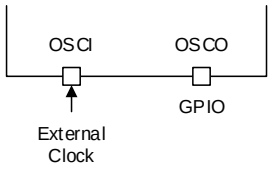
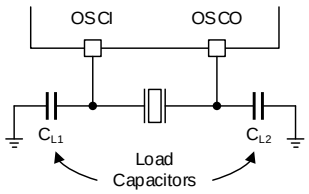
	外部电路配置状态
外部时钟源	
石英振荡器	

图 4-3 HOSC/LOSC 时钟源

外部时钟源(HOSC Bypass)

此模式必须由外部提供有效的时钟源，并且通过设定寄存器 **RCU_CON**.HOSCBYP 与 HOSCON 两个位启用 HOSC。外部时钟信号源(方波、弦波或三角波)可由 HOSCI 引脚输入，输入时钟工作周期(Duty Cycle)须介于 40~60%，相关信息请参阅电器特性章节。此外，HOSCO 引脚可设定为 GPIO 功能引脚，如图 4-3 所示。

外部石英晶体振荡器(HOSC Crystal)

使用石英晶体振荡器的优点是可以提供准确的时钟源。硬件电路配置如图 4-3 所示，其余细节请参阅电器特性章节。 配置 **RCU_CON**.HOSCON 位控制 HOSC 开启与关闭。HOSC 时钟状态可藉由 HOSCRDY 标志位确认，当 HOSC 时钟稳定时 标志位将被硬件自动配置为高电位，也可以设定 **RCU_IER**.HOSCRDY 位开启 HOSC 时钟稳定中断。

注：开启 HOSC 后，硬件将计数 4096 个 HOSC 时钟周期，即使没有连接石英晶体振荡器，也可能因为 HOSCI 引脚上噪声导致 HOSC 错误地启动。关闭 HOSC 后，需经过 5 个 HOSC 时钟周期，才能完成关闭的流程。不论任何原因导致 HOSCI 引脚的时钟消失，都将造成 HOSC 无法被关闭，而产生不必要的功率消耗。因此强烈建议开启时钟安全系统(CSS)功能，即使在这种情况也能关闭 HOSC。

4. 3. 2. 2 内部高速 RC 振荡器时钟 (HRCCLK)

HRC 时钟信号是由内部高速 4 MHz RC 振荡器产生，HRC RC 振荡器的优点是提供低成本的时钟源(无外部组件)。时钟信号启动时间相较于 HOSC 来得快速，但即使频率经过校准，精准度仍不如外部晶体振荡器。通过 **RCU_CON**.HRCON 位控制 HRC 开启与关闭；HRC 时钟状态可由 HRCRDY 标志位确认，当 HRC 时钟稳定时，标志位将被硬件自动配置为高电位，也可以设定 **RCU_IER**.HRCRDY 位开启 HRC 时钟稳定中断。假如 HOSC 受到任何外在因素造成无法产生时钟信号时，HRC 时钟亦可作为 HOSC 的辅助时钟，需开启时钟安全系统功能，相关信息请参阅时钟安全系统 (CSS)章节。

4. 3. 2. 3 PLL 时钟 (PLL0CLK)

芯片提供一组锁相回路(Phase-Locked Loop，PLL)，此 PLL 为一个非整数锁相回路(Fractional-N PLL)，其输入时钟频率应介于 3~16 MHz，通过 **RCU_CFG**.PLLSRC 选择 HRC、HOSC 或 HRC48 作为输入时钟源，再搭配 PREDIV 预分频将频率除到范围内，建议 PLL 输入时钟频率维持在 4 MHz 左右；输出时钟频率范围介于 4~72 MHz，输出时钟频率是压控振荡器(Voltage Controlled Oscillator，VCO)频率除以一个可变的倍率 **RCU_PLL0**.FM，FM 根据输出时钟频率区间调整分别是 8、16、32 或是 64，而压控振荡器的频率为输入时钟频率乘以一个可变的倍率，该倍率可以是整数也可是非整数，由 FN 与 FK 控制，FN 表示整数的倍率，FK 表示小数的倍率，其公式如下。

$$f_{VCO} = f_{PLL0IN} \times \left(FN + \frac{FK}{2^{19}}\right), 256MHz \le f_{VCO} \le 576MHz$$

$$f_{PLL0} = \frac{f_{VCO}}{FM}, FM = 8, 16, 32, 64$$

通过 **RCU_CON**.PLL0ON 位控制 PLL0 开启与关闭；PLL0 时钟状态可由 PLL0RDY 标志位确认，当 PLL0 时钟稳定时，标志位将被硬件自动配置为高电位，也可以设定 **RCU_IER**.PLL0RDY 位开启 PLL0 时钟稳定中断。有关 PLL 特性请参阅电器特性章节。

PLL 的配置(包括输入时钟源的选择、预分频和倍率设定)必须在 PLL 开启之前完成，开启 PLL 后便无法修改配置，必须先关闭 PLL 才可以重新配置。修改 PLL 配置的流程如下:

- 关闭 PLL0，设定 **RCU_CON**.PLLON=0
- 确认 **RCU_CON**.PLL0RDY 后，PLL0 才完成关闭的流程
- 根据需求重新配置
- 再次开启 PLL0，设定 **RCU_CON**.PLLON=1
- 等待 **RCU_CON**.PLL0RDY=1，等待 PLL0 输出时钟稳定

PLL 的配置广泛，下表列出一些范例，范例一假设输入时钟源为 HRC 且不分频(PLLSRC=00 且 PREDIV=0x0)，范例二假设输入时钟源为 HOSC 30 MHz 且预分频 7 倍(PLLSRC=01 且 PREDIV=0x6)，PLL 输出频率目标为 22.579、24.576、48 或 72 MHz 的配置。

f_{PLL0IN}(MHz)	f_{VCO}(MHz)	FM	FN	FK	f_{PLL0}(MHz)
4 输入时钟源 ：HRC 4 MHz 预分频 ： 不分频	361.264	1	90	165675	22.579
	393.216	1	98	159383	24.576
	384	0	96	0	48
	576	0	144	0	72
4.285714 输入时钟源 ：HOSC 30 MHz 预分频 ：7 倍	361.264	1	84	154632	22.579
	393.216	1	91	393428	24.576
	384	0	89	314575	48
	576	0	134	209719	72

表 4-1 PLL 配置范例

注：RCU 没有针对 PLL 的输入时钟源做硬件检查，因此用户在开启 PLL 之前，需确保选择的输入时钟源已经开启且稳定。

4. 3. 2. 4 内部高速 48 MHz RC 振荡器时钟 (HRC48CLK)

HRC48 时钟信号是由内部高速 48 MHz RC 振荡器产生，可以直接用于 USB 或 I2S。内部 48 MHz RC 振荡器主要是通过时钟同步单元(CSU)提供 USB 外设高精准度的时钟，CSU 使用 USB 的 SOF 封包、LOSC 或是外部信号自动地调整振荡器频率，有关时钟同步单元的详细数据请参阅时钟同步单元章节。通过 **RCU_CON**.HRC48ON 位控制 HRC48 开启与关闭；HRC48 时钟状态可由寄存器 **RCU_CON**.HRC48RDY 标志位确认，当 HRC48 时钟稳定时，标志位将被硬件自动配置为高电位，也可以设定 **RCU_IER**.HRC48RDY 位开启 HRC48 时钟稳定中断。

4. 3. 2. 5 外部低速振荡器时钟 (LOSCCLK)

LOSC 时钟是由外部 32.768kHz 石英晶体振荡器或一个稳定低速时钟源提供，它的优点在于提供一个低功耗且精准的时钟给外设实时时钟(RTC)计数时间与日历使用。配置 **RCU_LCON**.LOSCON 位控制 LOSC 开启与关闭。LOSC 时钟状态可藉由 LOSCRDY 标志位确认，当 LOSC 时钟稳定时 标志位将被硬件自动配置为高电位，也可以设定 **RCU_IER**.LOSCRDY 位开启 LOSC 时钟稳定中断。

外部时钟来源 (LOSC Bypass)

此模式必须由外部提供有效的时钟源，并且通过设定寄存器 **RCU_LCON**.LOSCBYP 与 LOSCON 两个位启用 LOSC。外部时钟信号源(方波、弦波或三角波)可由 LOSCI 引脚输入，输入时钟工作周期(Duty Cycle)须介于 40~60%，相关信息请参阅电器特性章节。此外，LOSCO 引脚可设定为 GPIO 功能引脚，如图 4-3 所示。

4. 3. 2. 6 LRC 时钟 (LRCCLK)

内部低速 RC 振荡器 LRC 是一个低功耗时钟源，并可以在低功耗模式下让外设独立看门狗(IWDT)和实时时钟(RTC)持续运行；时钟频率大约为 32kHz，相关信息请参阅电器特性章节。配置 **RCU_LCON**.LRCON 位控制 LRC 开启与关闭。LRC 时钟状态可藉由 LRCRDY 标志位确认，当 LRC 时钟稳定时 标志位将被硬件自动配置为高电位，也可以设定 **RCU_IER**.LRCRDY 位开启 LRC 时钟稳定中断。

4. 3. 2. 7 系统时钟 (SYSCLK)

系统时钟(SYSCLK)可选择的时钟源，如下：

- HRC
- HOSC
- PLL
- HRC48

系统复位后，默认选择 HRC 作为系统时钟。当时钟源作为系统时钟时，该时钟源无法通过寄存器 **RCU_CON** 关闭。修改 **RCU_CFG**.SW 可以将系统时钟切换成其它时钟源，只有在目标时钟源开启且稳定时，才可以将系统时钟切换至目标时钟源，读取 **RCU_CFG**.SWS 可以确认当前系统时钟源。

4. 3. 2. 8 时钟安全系统 (CSS)

时钟安全系统(Clock Security System，CSS)是为了避免当系统时钟使用到 HOSC 时，HOSC 因任何外在因素发生故障，进而导致系统死机。可以通过 **RCU_CON**.CSSON 开启或关闭时钟安全系统，只有当 HOSC 时钟开启且信号稳定才能开启时钟安全系统，并且在侦测到 HOSC 停止时关闭。当开启时钟安全系统时，HRC 与时钟侦测器将自动开启。

当侦测到 HOSC 故障时

- 自动关闭 HOSC
- 系统时钟自动切换成 HRC
- 时钟故障事件将被送到高级控制定时器(AD16C4T1)、通用定时器 16 位 2 通道(GP16C2T1/2/3/4)
- 产生时钟安全系统中断(CSSHOSC)

注：当启用时钟安全系统时且 HOSC 发生故障，则会产生时钟安全系统中断(CSSHOSC)，此中断与不可屏蔽中断(NMI)异常状态连接，因此，除非通过 RCU_ICR.CSSHOSC 清除时钟安全系统中断状态，否则 NMI 将无止尽地执行。

无论 HOSC 是直接或是间接作为系统时钟(间接是指 HOSC 作为 PLL 输入时钟，而且 PLL 作为系统时钟)，当侦测到 HOSC 故障时，系统时钟将自动切换成 HRC，并且关闭 HOSC，若 PLL0 输入时钟源为 HOSC，也会关闭 PLL0。

4. 3. 2. 9 ADC 时钟（ADCCLK）

ADC 时钟只能由 APB 总线时钟(PCLK)提供，可以通过 **ADC_SMPT1**.CKDIV 配置预分频 2、4、6、8 倍。

4. 3. 2. 10 RTC 时钟（RTCCLK）

RTC 时钟源可选择 LRC 或 LOSC，通过 **RTC_CTRL**.CKSEL 选择，当 RTC 启动后，无法更改时钟来源；如果想重新配置时钟来源，必须先关闭 RTC。

4. 3. 2. 11 I2S 时钟（I2SCLK）

I2S 时钟来源可选择 HOSC、PLL0 或 HRC48，通过 **RCU_CFG2**.I2SSW 选择。

4. 3. 2. 12 USB 时钟（USBCLK）

USB 时钟需固定为 48MHz，时钟来源可选择 HRC48 或 PLL0，通过 **RCU_CFG2**.USBSW 选择。

4. 3. 2. 13 IWDT 时钟（IWDTCLK）

IWDT 时钟只能由 LRC 提供，无论通过配置字或软件方式启动独立看门狗(IWDT)，都会强制打开 LRC 且无法关闭。

4. 3. 2. 14 微控制器输出时钟（MCOCLK）

微控制器时钟输出功能允许将时钟信号输出到 MCO 引脚，除了提供检查以外也可当作其他装置或模块的输入时钟源。通过配置 **RCU_CFG**.MSW 选择要输出哪个时钟，根据需求可以配置 MPRE 将微控制器时钟输出进行分频，可以分频 2、4、8、16、32、64 或 128 倍。可以选择以下时钟输出：

- LRC 时钟
- LOSC 时钟
- HRC 时钟
- HOSC 时钟
- HRC48 时钟
- PLL0 时钟
- 系统时钟
- AHB 时钟
- APB 时钟

4. 3. 3 时钟校准

4. 3. 3. 1 HRC 与 HRC48 时钟校准

- 手动校准流程如下
  - 校准 HRC 时钟配置 RCU_CKTRIM.HRCSEL 为 1，调整 HRC 校准值 HRCTRIM；校准 HRC48 时钟则配置 HRC48SEL 为 1。调整 HRC48 校准值 HRC48TRIM，需增加配置 HRC48UE 为 1。
  - 校准 HRC 时钟配置 RCU_CFG.MSW 为 3(HRC 时钟)；校准 HRC48 时钟配置为 5(HRC48 时钟)。
  - 配置 GPIOA 08 或是 GPIOA 09 为复用功能 7 模式，量测时钟是否为目标频率。
  - 重复上述步骤直到目标频率

4.4 特殊功能寄存器

4.4.1 寄存器列表

RCU 寄存器列表			
名称	偏移地址	类型	描述
RCU_CON	0000_H	R/W	时钟控制寄存器
RCU_CFG	0004_H	R/W	时钟配置寄存器
RCU_PLL0	0008_H	R/W	PLL0 非整数倍锁相环配置寄存器
RCU_CFG2	$000C_H$	R/W	时钟配置寄存器 2
RCU_IER	0010_H	W	RCU 中断开启寄存器
RCU_IDR	0014_H	W	RCU 中断关闭寄存器
RCU_IVS	0018_H	R	RCU 中断功能有效状态寄存器
RCU_RIF	$001C_H$	R	RCU 原始中断状态寄存器
RCU_IFM	0020_H	R	RCU 中断标志位状态寄存器
RCU_ICR	0024_H	W	RCU 中断清除寄存器
RCU_AHBRST	0030_H	R/W	AHB 外设复位控制寄存器
RCU_APB1RST	0034_H	R/W	APB1 外设复位控制寄存器
RCU_APB2RST	0038_H	R/W	APB2 外设复位控制寄存器
RCU_AHBEN	$003C_H$	R/W	AHB 外设时钟控制寄存器
RCU_APB1EN	0040_H	R/W	APB1 外设时钟控制寄存器
RCU_APB2EN	0044_H	R/W	APB2 外设时钟控制寄存器
RCU_AHBSL	0048_H	R/W	SLEEP 模式 AHB 外设时钟控制寄存器
RCU_APB1SL	$004C_H$	R/W	SLEEP 模式 APB1 外设时钟控制寄存器
RCU_APB2SL	0050_H	R/W	SLEEP 模式 APB2 外设时钟控制寄存器
RCU_LCON	0060_H	R/W	低速时钟控制寄存器
RCU_RSTF	0064_H	R/W	复位标志寄存器
RCU_CKTRIM	0090_H	R/W	RCU 时钟校准值寄存器

4.4.2 寄存器描述

4.4.2.1 时钟控制寄存器 (RCU_CON)

时钟控制寄存器 (RCU_CON)																												
偏移地址：0x00																												
复位值：0x0000 0003																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							CSSON			PLL0RDY	PLL0ON			HRC48RDY	HRC48ON										HOSCBYP	HOSCRDY	HOSCON			HRCRDY	HRCON

—	Bit 31-25	—	—
CSSON	Bit 24	R/W	**时钟安全系统使能(CSS)** 当 HOSC 时钟信号稳定就绪时(HOSCRDY=1)，可软件控制开启安全保护功能；相反的当 HOSC 时钟信号尚未稳定(HOSCRDY=0)，此位无法被开启，或硬件侦测到 HOSC 时钟失效时，硬件自动关闭此功能。 0: 关闭时钟安全系统(关闭时钟侦测). 1: 开启时钟安全系统(开启时钟侦测，必须 HOSCRDY=1).
—	Bit 23-22	—	—
PLL0RDY	Bit 21	R	**PLL0CLK 时钟源，稳定状态标志** 此位由硬件设置，其表示时钟源稳定状态 0: PLL0 时钟信号，尚未稳定 1: PLL0 时钟信号，已准备就绪
PLL0ON	Bit 20	R/W	**锁相环 PLL，PLL0CLK 时钟源使能** 0: 关闭 PLL0 1: 开启 PLL0"
—	Bit 19-18	—	—
HRC48RDY	Bit 17	R	**HRC48CLK 时钟源，稳定状态标志** 此位由硬件设置，其表示时钟源稳定状态 0: HRC48 时钟信号，尚未稳定 1: HRC48 时钟信号，已准备就绪
HRC48ON	Bit 16	R/W	**内部高速 RC 48MHz 振荡器，HRC48CLK 时钟源使能** 0: 关闭 HRC48

			1: 开启 HRC48
—	Bit 15-7	—	—
HOSCBYP	Bit 6	R/W	**外部高速时钟振荡器，旁路模式使能** 此位只能在 HOSC 关闭时(HOSCON=0)，允许写入 0: 关闭 HOSC 旁路模式(振荡器模式) 1: 开启 HOSC 旁路模式(使用外部输入时钟源，通过 HOSCIN 引脚)
HOSCRDY	Bit 5	R	**HOSCCLK 时钟源，稳定状态标志** 此位由硬件设置，其表示时钟源稳定状态 0: HOSC 时钟信号，尚未稳定 1: HOSC 时钟信号，已准备就绪
HOSCON	Bit 4	R/W	**外部高速时钟振荡器，HOSCCLK 时钟源使能** 0: 关闭 HOSC 1: 开启 HOSC
—	Bit 3-2	—	—
HRCRDY	Bit 1	R	**HRCCLK 时钟源，稳定状态标志** 此位由硬件设置，其表示时钟源稳定状态 0: HRC 时钟信号，尚未稳定 1: HRC 时钟信号，已准备就绪
HRCON	Bit 0	R/W	**内部高速 RC 振荡器，HRCCLK 时钟源使能** 0: 关闭 HRC 1: 开启 HRC

4. 4. 2. 2 时钟配置寄存器 (RCU_CFG)

时钟配置寄存器 (RCU_CFG)																													
偏移地址：0x04																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	MPRE <2:0>			MSW <3:0>				—	—	PLLSRC <1:0>		PREDIV <3:0>				—	PPRE <2:0>			HPRE <3:0>				—	—	SWS <2:0>			SW <2:0>		

—	Bit 31	—	—
MPRE	Bit 30-28	R/W	**MCO 微控制器时钟输出分频** 000 : MCO 不分频 001 : MCO 2 倍分频 010 : MCO 4 倍分频 011 : MCO 8 倍分频 100 : MCO 16 倍分频 101 : MCO 32 倍分频 110 : MCO 64 倍分频 111 : MCO 128 倍分频信号
MSW	Bit 27-24	R/W	**MCO 微控制器时钟输出选择** 0000： 关闭 MCO 时钟输出，MCO 引脚没有时钟输出 0001： 选择输出 LRC 时钟(LRCCLK) 0010： 选择输出 LOSC 时钟(LOSCCLK) 0011： 选择输出 HRC 时钟(HRCCLK) 0100： 选择输出 HOSC 时钟(HOSCCLK) 0101： 选择输出 HRC48 时钟(HRC48CLK) 0110： 选择输出 PLL0 时钟(PLL0CLK) 0111： 保留。 1000： 选择输出系统时钟(SYSCLK) 1001： 选择输出 AHB 时钟(HCLK) 1010： 选择输出 APB 时钟(PCLK) 1011： 保留。 1100： 保留。 1101： 保留。 1110： 保留。 1111： 保留。

—	Bit 23-22	—	—
PLLSRC	Bit 21-20	R/W	**选择 PLL 输入时钟来源** 当 PLL0 关闭(PLL0ON=0)时，允许改变设置。 00：选择 HRC/PREDIV 为 PLL 输入时钟源 01：选择 HOSC/PREDIV 为 PLL 输入时钟源 10：选择 HRC48/PREDIV 为 PLL 输入时钟源 11：保留
PREDIV	Bit 19-16	R/W	**PLL 输入时钟预分频** 当 PLL0 关闭(PLL0ON=0)时，允许改变分频设置。 PLL 输入时钟来源由 PLLSRC 选择，需将 PLL 输入频率配置为 4MHz 0000 : PLL 输入时钟 不分频 0001 : PLL 输入时钟 2 倍分频 0010 : PLL 输入时钟 3 倍分频 0011 : PLL 输入时钟 4 倍分频 0100 : PLL 输入时钟 5 倍分频 0101 : PLL 输入时钟 6 倍分频 0110 : PLL 输入时钟 7 倍分频 0111 : PLL 输入时钟 8 倍分频 1000 : PLL 输入时钟 9 倍分频 1001 : PLL 输入时钟 10 倍分频 1010 : PLL 输入时钟 11 倍分频 1011 : PLL 输入时钟 12 倍分频 1100 : PLL 输入时钟 13 倍分频 1101 : PLL 输入时钟 14 倍分频 1110 : PLL 输入时钟 15 倍分频 1111 : PLL 输入时钟 16 倍分频
—	Bit 15	—	—
PPRE	Bit 14-12	R/W	**APB 时钟(PCLK)预分频** 0xx : HCLK 不分频 100 : HCLK 2 倍分频 101 : HCLK 4 倍分频 110 : HCLK 8 倍分频 111 : HCLK 16 倍分频
HPRE	Bit 11-8	R/W	**AHB 时钟(HCLK)预分频** 0xxx : SYSCLK 不分频

			1000 : SYSCLK 2 倍分频 1001 : SYSCLK 4 倍分频 1010 : SYSCLK 8 倍分频 1011 : SYSCLK 16 倍分频 1100 : SYSCLK 64 倍分频 1101 : SYSCLK 128 倍分频 1110 : SYSCLK 256 倍分频 1111 : SYSCLK 512 倍分频
—	Bit 7-6	—	—
SWS	Bit 5-3	R	**系统时钟选择状态** 此位状态由硬件控制，显示当前系统使用那种时钟来源 000： 系统时钟为 HRCCLK 001： 系统时钟为 HOSCCLK 010： 系统时钟为 PLL0CLK 011： 系统时钟为 HRC48CLK 1xx： 保留
SW	Bit 2-0	R/W	**选择系统时钟(SYSCLK)来源** 000： 选择 HRCCLK 作为系统时钟 001： 选择 HOSCCLK 作为系统时钟 010： 选择 PLL0CLK 作为系统时钟 011： 选择 HRC48CLK 作为系统时钟 1xx： 保留 (等同于选择 HRCCLK 作为系统时钟)

4. 4. 2. 3 PLL0 非整数倍锁相环配置寄存器 (RCU_PLL0)

PLL0 非整数倍锁相环配置寄存器 (RCU_PLL0)																												
偏移地址：0x08																												
复位值：0x0000 0100																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	FK <18:0>																			FN <7:0>								—	—	FM <1:0>	

—	Bit 31	—	—
FK	Bit 30-12	R/W	**PLL0 VCO 频率小数倍率值(Fractional)** 当 PLL0 关闭(PLL0ON=0)时，允许改变设置。此数值设定 PLL0 f_{VCO} 频率输出为 PLL0 输入频率乘上 FN+FK/2^{19} 倍的小数值。 请参考以下 NOTE 说明。
FN	Bit 11-4	R/W	**PLL0 VCO 频率整数倍率值(Integer)** 当 PLL0 关闭(PLL0ON=0)时，允许改变设置。此数值设定 PLL0 f_{VCO} 频率输出为 PLL0 输入频率乘上 FN 倍的整数值，FN 最小为 16 倍。因此 FN 数值不可以设定低于 16，当设定值低于 16 倍时，硬件固定为 16。 请参考以下 NOTE 说明。
—	Bit 3-2	—	—
FM	Bit 1-0	R/W	**PLL0 时钟输出分频倍率** 当 PLL0 关闭(PLL0ON=0)时，允许改变设置。此数值 PLL0 时钟输出频率为，f_{VCO} 频率除以 FM 倍。 00: 除 8 倍, f_{PLL0}≥32MHz 01: 除 16 倍, f_{PLL0}≥16MHz 10: 除 32 倍, f_{PLL0}≥8MHz 11: 除 64 倍, f_{PLL0}<8MHz 请参考以下 NOTE 说明。

注: PLL0 输入时钟频率(f_{PLL0IN})，经由 RCU_CFG.PLLSRC 设定，选择 PLL0 输入时钟来源(HRC/HOSC/HRC48)；再经由预分频 RCU_CFG.PREDIV，确保 f_{PLL0IN} 维持 4MHz 频率输入。 PLL0 输出时钟频率(f_{PLL0})，是 PLL0 VCO 频率(f_{VCO})除以 FM 倍，而 VCO 频率则由 FN 与 FK 倍率设定，VCO 频率必须控制在 256MHz~576MHz 频率范围内。频率计算公式与条件如下:

- $f_{VCO} = f_{PLL0IN} * (FN+FK/2^{19})$, 256 MHz < f_{VCO} <576 MHz

- $f_{PLL0} = f_{VCO}/FM$, FM=8,16,32,64

4. 4. 2. 4 时钟配置寄存器 2 (RCU_CFG2)

时钟配置寄存器 2 (RCU_CFG)																													
偏移地址：0x0C																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																SYSFREQ <7:0>										USBSW <1:0>				I2SSW <1:0>	

—	Bit 31-6	—	—
SYSFREQ	Bit 15-8	R/W	**当前系统时钟频率** 用于纪录当前系统时钟的频率数值，初始数值为 4，且不得填入小于 4 的数值，若填入的入值小于 4，则 SYSFREQ 的数值自动带入初始数值 4。当系统频率改为 8Mhz，需修改 SYSFREQ 的数值为 8，其余频率依此类推。
—	Bit 7-6	—	—
USBSW	Bit 5-4	R/W	**选择 USB 时钟(USBCLK)来源** 000：选择 HRC48CLK 作为 USB 时钟 001：保留 010：选择 PLL0CLK 作为 USB 时钟 011：保留
—	Bit 3-2	—	—
I2SSW	Bit 1-0	R/W	**选择 I2S 时钟(I2SCLK)来源** 000：选择 HRC48CLK 作为 I2S 时钟 001：选择 HOSCCLK 作为 I2S 时钟 010：选择 PLL0CLK 作为 I2S 时钟 011：保留

4. 4. 2. 5 RCU 中断开启寄存器 (RCU_IER)

RCU 中断开启寄存器 (RCU_IER)																														
偏移地址：0x10																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																							CSSHOSC			PLL0RDY	HRC48RDY	HOSCRDY	HRCRDY	LOSCRDY	LRCRDY

—	Bit 31-9	—	—
CSSHOSC	Bit 8	W1	**开启时钟安全系统中断功能** 此位设置时，开启中断功能，当时钟检测功能开启，而 HOSC 失效时发生中断
—	Bit 7-6	—	—
PLL0RDY	Bit 5	W1	**开启 PLL0 时钟源稳定中断功能** 此位设置时，开启中断功能，当 PLL0 时钟稳定后发生中断
HRC48RDY	Bit 4	W1	**开启 HRC48 时钟源稳定中断功能** 此位设置时，开启中断功能，当 HRC48 时钟稳定后发生中断
HOSCRDY	Bit 3	W1	**开启 HOSC 时钟源稳定中断功能** 此位设置时，开启中断功能，当 HOSC 时钟稳定后发生中断
HRCRDY	Bit 2	W1	**开启 HRC 时钟源稳定中断功能** 此位设置时，开启中断功能，当 HRC 时钟稳定后发生中断
LOSCRDY	Bit 1	W1	**开启 LOSC 时钟源稳定中断功能** 此位设置时，开启中断功能，当 LOSC 时钟稳定后发生中断
LRCRDY	Bit 0	W1	**开启 LRC 时钟源稳定中断功能** 此位设置时，开启中断功能，当 LRC 时钟稳定后发生中断

4. 4. 2. 6 RCU 中断关闭寄存器 (RCU_IDR)

RCU 中断关闭寄存器 (RCU_IDR)																														
偏移地址：0x14																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CSSHOSC	—	—	PLL0RDY	HRC48RDY	HOSCRDY	HRCRDY	LOSCRDY	LRCRDY

—	Bit 31-9	—	—
CSSHOSC	Bit 8	W1	**关闭时钟安全系统中断功能** 此位设置时，关闭时钟安全系统中断功能
—	Bit 7-6	—	—
PLL0RDY	Bit 5	W1	**关闭 PLL0 时钟源稳定中断功能** 此位设置时，关闭 PLL0 时钟稳定中断功能
HRC48RDY	Bit 4	W1	**关闭 HRC48 时钟源稳定中断功能** 此位设置时，关闭 HRC48 时钟稳定中断功能
HOSCRDY	Bit 3	W1	**关闭 HOSC 时钟源稳定中断功能** 此位设置时，关闭 HOSC 时钟稳定中断功能
HRCRDY	Bit 2	W1	**关闭 HRC 时钟源稳定中断功能** 此位设置时，关闭 HRC 时钟稳定中断功能
LOSCRDY	Bit 1	W1	**关闭 LOSC 时钟源稳定中断功能** 此位设置时，关闭 LOSC 时钟稳定中断功能
LRCRDY	Bit 0	W1	**关闭 LRC 时钟源稳定中断功能** 此位设置时，关闭 LRC 时钟稳定中断功能

4. 4. 2. 7 RCU 中断功能有效状态寄存器 (RCU_IVS)

RCU 中断功能有效状态寄存器 (RCU_IVS)																														
偏移地址：0x18																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																							CSSHOSC			PLL0RDY	HRC48RDY	HOSCRDY	HRCRDY	LOSCRDY	LRCRDY

—	Bit 31-9	—	—
CSSHOSC	Bit 8	R	**时钟安全系统中断功能开启/关闭状态** 0：中断功能处于关闭状态 1：中断功能处于开启状态
—	Bit 7-6	—	—
PLL0RDY	Bit 5	R	**PLL0 时钟源稳定中断功能开启/关闭状态** 0：中断功能处于关闭状态 1：中断功能处于开启状态
HRC48RDY	Bit 4	R	**HRC48 时钟源稳定中断功能开启/关闭状态** 0：中断功能处于关闭状态 1：中断功能处于开启状态
HOSCRDY	Bit 3	R	**HOSC 时钟源稳定中断功能开启/关闭状态** 0：中断功能处于关闭状态 1：中断功能处于开启状态
HRCRDY	Bit 2	R	**HRC 时钟源稳定中断功能开启/关闭状态** 0：中断功能处于关闭状态 1：中断功能处于开启状态
LOSCRDY	Bit 1	R	**LOSC 时钟源稳定中断功能开启/关闭状态** 0：中断功能处于关闭状态 1：中断功能处于开启状态
LRCRDY	Bit 0	R	**LRC 时钟源稳定中断功能开启/关闭状态** 0：中断功能处于关闭状态 1：中断功能处于开启状态

RCU_IVS 寄存器，是实时反映系统配置 RCU_IER 与 RCU_IDR 的中断开启状态。 此寄存器状态是将 RCU_IER 与 RCU_IDR 进行硬件运算，公式如下：

RCU_IVS = RCU_IER & ~RCU_IDR

4. 4. 2. 8 RCU 原始中断状态寄存器 (RCU_RIF)

RCU 原始中断状态寄存器 (RCU_RIF)																														
偏移地址：0x1C																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																							CSSHOSC			PLL0RDY	HRC48RDY	HOSCRDY	HRCRDY	LOSCRDY	LRCRDY

—	Bit 31-9	—	—
CSSHOSC	Bit 8	R	**时钟安全系统，原始中断状态** 0：无发生中断 1：已发生中断
—	Bit 7-6	—	—
PLL0RDY	Bit 5	R	**PLL0 时钟源稳定时，原始中断状态** 0：无发生中断 1：已发生中断
HRC48RDY	Bit 4	R	**HRC48 时钟源稳定时，原始中断状态** 0：无发生中断 1：已发生中断
HOSCRDY	Bit 3	R	**HOSC 时钟源稳定时，原始中断状态** 0：无发生中断 1：已发生中断
HRCRDY	Bit 2	R	**HRC 时钟源稳定时，原始中断状态** 0：无发生中断 1：已发生中断
LOSCRDY	Bit 1	R	**LOSC 时钟源稳定时，原始中断状态** 0：无发生中断 1：已发生中断
LRCRDY	Bit 0	R	**LRC 时钟源稳定时，原始中断状态** 0：无发生中断 1：已发生中断

4. 4. 2. 9 RCU 中断标志位状态寄存器 (RCU_IFM)

RCU 中断标志位状态寄存器 (RCU_IFM)																														
偏移地址：0x20																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CSSHOSC	—	—	PLL0RDY	HRC48RDY	HOSCRDY	HRCRDY	LOSCRDY	LRCRDY

—	Bit 31-9	—	—
CSSHOSC	Bit 8	R	**时钟安全系统，标志位中断状态** 0：无发生中断 1：已发生中断
—	Bit 7-6	—	—
PLL0RDY	Bit 5	R	**PLL0 时钟源稳定时，标志位中断状态** 0：无发生中断 1：已发生中断
HRC48RDY	Bit 4	R	**HRC48 时钟源稳定时，标志位中断状态** 0：无发生中断 1：已发生中断
HOSCRDY	Bit 3	R	**HOSC 时钟源稳定时，标志位中断状态** 0：无发生中断 1：已发生中断
HRCRDY	Bit 2	R	**HRC 时钟源稳定时，标志位中断状态** 0：无发生中断 1：已发生中断
LOSCRDY	Bit 1	R	**LOSC 时钟源稳定时，标志位中断状态** 0：无发生中断 1：已发生中断
LRCRDY	Bit 0	R	**LRC 时钟源稳定时，标志位中断状态** 0：无发生中断 1：已发生中断

RCU_IFM 寄存器，是滤除已关闭中断功能的中断事件，只关注开启中断功能的事件• 此寄存器状态是将 RCU_RIF 与 RCU_IVS 进行硬件运算，公式如下：

RCU_IFM = RCU_RIF & RCU_IVS

4. 4. 2. 10 RCU 中断清除寄存器 (RCU_ICR)

RCU 中断清除寄存器 (RCU_ICR)																														
偏移地址：0x24																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CSSHOSC	—	—	PLL0RDY	HRC48RDY	HOSCRDY	HRCRDY	LOSCRDY	LRCRDY

—	Bit 31-9	—	—
CSSHOSC	Bit 8	C_W1	**清除时钟安全系统中断状态** 此位设置时，清除中断状态(RCU_RIF 与 RCU_IFM)
—	Bit 7-6	—	—
PLL0RDY	Bit 5	C_W1	**清除 PLL0 时钟源稳定后中断状态** 此位设置时，清除中断状态(RCU_RIF 与 RCU_IFM)
HRC48RDY	Bit 4	C_W1	**清除 HRC48 时钟源稳定后中断状态** 此位设置时，清除中断状态(RCU_RIF 与 RCU_IFM)
HOSCRDY	Bit 3	C_W1	**清除 HOSC 时钟源稳定后中断状态** 此位设置时，清除中断状态(RCU_RIF 与 RCU_IFM)
HRCRDY	Bit 2	C_W1	**清除 HRC 时钟源稳定后中断状态** 此位设置时，清除中断状态(RCU_RIF 与 RCU_IFM)
LOSCRDY	Bit 1	C_W1	**清除 LOSC 时钟源稳定后中断状态** 此位设置时，清除中断状态(RCU_RIF 与 RCU_IFM)
LRCRDY	Bit 0	C_W1	**清除 LRC 时钟源稳定后中断状态** 此位设置时，清除中断状态(RCU_RIF 与 RCU_IFM)

RCU_ICR 寄存器设置时，将清除 RCU_RIF 与 RCU_IFM 中断标志位状态；此设置不影响中断 RCU_IER、RCU_IDR 与 RCU_IVS 寄存器，只清除标志状态 RCU_RIF 与 RCU_IFM。 此寄存器通过硬件清除中断，公式如下：

RCU_RIF = RCU_RIF & ~RCU_ICR

4. 4. 2. 11 AHB 外设复位控制寄存器 (RCU_AHBRST)

AHB 外设复位控制寄存器 (RCU_AHBRST)

偏移地址：0x30

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	GPDEN	GPCEN	GPBEN	GPAEN	CALCEN	USBEN	AESEN	CRCEN	—	CSUEN	—	—	KBCUEN	RTCEN	—	—	—	—	—	DMA1EN

—	Bit 31-20	—	—
GPDEN	Bit 19	R/W	**GPIOD 复位需求** 0：取消复位需求 1：提交复位需求
GPCEN	Bit 18	R/W	**GPIOC 复位需求** 0：取消复位需求 1：提交复位需求
GPBEN	Bit 17	R/W	**GPIOB 复位需求** 0：取消复位需求 1：提交复位需求
GPAEN	Bit 16	R/W	**GPIOA 复位需求** 0：取消复位需求 1：提交复位需求
CALCEN	Bit 15	R/W	**CALC 复位需求** 0：取消复位需求 1：提交复位需求
USBEN	Bit 14	R/W	**USB 复位需求** 0：取消复位需求 1：提交复位需求
AESEN	Bit 13	R/W	**AES 复位需求** 0：取消复位需求 1：提交复位需求
CRCEN	Bit 12	R/W	**CRC 复位需求** 0：取消复位需求 1：提交复位需求
—	Bit 11	—	—
CSUEN	Bit 10	R/W	**CSU 复位需求** 0：取消复位需求

			1：提交复位需求
—	Bit 9-8	—	—
KBCUEN	Bit 7	R/W	**KBCU 复位需求** 0：取消复位需求 1：提交复位需求
RTCEN	Bit 6	R/W	**RTC 复位需求** 0：取消复位需求 1：提交复位需求
—	Bit 5-1	—	—
DMA1EN	Bit 0	R/W	**DMA1 复位需求** 0：取消复位需求 1：提交复位需求

4. 4. 2. 12 APB1 外设复位控制寄存器 (RCU_APB1RST)

APB1 外设复位控制寄存器 (RCU_APB1RST)

偏移地址：0x34

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	I2C2EN	I2C1EN	—	UART4EN	UART3EN	UART2EN	—	SPI3EN	SPI2EN	—	—	WWDTEN	—	—	—	—	—	—	BS16T1EN	GP16C4T3EN	GP16C4T2EN	GP16C4T1EN	GP32C4T1EN

—	Bit 31-23	—	—
I2C2EN	Bit 22	R/W	**I2C2 复位需求** 0：取消复位需求 1：提交复位需求
I2C1EN	Bit 21	R/W	**I2C1 复位需求** 0：取消复位需求 1：提交复位需求
—	Bit 20	—	—
UART4EN	Bit 19	R/W	**UART4 复位需求** 0：取消复位需求 1：提交复位需求
UART3EN	Bit 18	R/W	**UART3 复位需求** 0：取消复位需求 1：提交复位需求
UART2EN	Bit 17	R/W	**UART2 复位需求**

			0：取消复位需求 1：提交复位需求
—	Bit 16	—	—
SPI3EN	Bit 15	R/W	**SPI3 复位需求** 0：取消复位需求 1：提交复位需求
SPI2EN	Bit 14	R/W	**SPI2 复位需求** 0：取消复位需求 1：提交复位需求
—	Bit 13-12	—	—
WWDTEN	Bit 11	R/W	**WWDT 复位需求** 0：取消复位需求 1：提交复位需求
—	Bit 10-5	—	—
BS16T1EN	Bit 4	R/W	**BS16T1 复位需求** 0：取消复位需求 1：提交复位需求
GP16C4T3EN	Bit 3	R/W	**GP16C4T3 复位需求** 0：取消复位需求 1：提交复位需求
GP16C4T2EN	Bit 2	R/W	**GP16C4T2 复位需求** 0：取消复位需求 1：提交复位需求
GP16C4T1EN	Bit 1	R/W	**GP16C4T1 复位需求** 0：取消复位需求 1：提交复位需求
GP32C4T1EN	Bit 0	R/W	**GP32C4T1 复位需求** 0：取消复位需求 1：提交复位需求

4. 4. 2. 13 APB2 外设复位控制寄存器 (RCU_APB2RST)

APB2 外设复位控制寄存器 (RCU_APB2RST)																													
偏移地址：0x38																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	CMPEN	—	—	—	GP16C2T4EN	GP16C2T3EN	GP16C2T2EN	GP16C2T1EN	—	UART1EN	—	SPI1EN	AD16C4T1EN	—	ADCEN	—	—	—	—	—	—	—	—	—

—	Bit 31-24	—	—
CMPEN	Bit 23	R/W	**CMP 复位需求** 0：取消复位需求 1：提交复位需求
—	Bit 22-20	—	—
GP16C2T4EN	Bit 19	R/W	**GP16C2T4 复位需求** 0：取消复位需求 1：提交复位需求
GP16C2T3EN	Bit 18	R/W	**GP16C2T3 复位需求** 0：取消复位需求 1：提交复位需求
GP16C2T2EN	Bit 17	R/W	**GP16C2T2 复位需求** 0：取消复位需求 1：提交复位需求
GP16C2T1EN	Bit 16	R/W	**GP16C2T1 复位需求** 0：取消复位需求 1：提交复位需求
—	Bit 15	—	—
UART1EN	Bit 14	R/W	**UART1 复位需求** 0：取消复位需求 1：提交复位需求
—	Bit 13	—	—
SPI1EN	Bit 12	R/W	**SPI1 复位需求** 0：取消复位需求 1：提交复位需求
AD16C4T1EN	Bit 11	R/W	**AD16C4T1 复位需求** 0：取消复位需求 1：提交复位需求

—	Bit 10	—	—
ADCEN	Bit 9	R/W	**ADC 复位需求** 0：取消复位需求 1：提交复位需求
—	Bit 8-0	—	—

4. 4. 2. 14 AHB 外设时钟控制寄存器 (RCU_AHBEN)

AHB 外设时钟控制寄存器 (RCU_AHBEN)

偏移地址：0x3C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												GPDEN	GPCEN	GPBEN	GPAEN	CALCEN	USBEN	AESEN	CRCEN		CSUEN			KBCUEN	RTCEN						DMA1EN

—	Bit 31-20	—	—
GPDEN	Bit 19	R/W	**GPIOD 时钟开关** 0：关闭时钟 1：开启时钟
GPCEN	Bit 18	R/W	**GPIOC 时钟开关** 0：关闭时钟 1：开启时钟
GPBEN	Bit 17	R/W	**GPIOB 时钟开关** 0：关闭时钟 1：开启时钟
GPAEN	Bit 16	R/W	**GPIOA 时钟开关** 0：关闭时钟 1：开启时钟
CALCEN	Bit 15	R/W	**CALC 时钟开关** 0：关闭时钟 1：开启时钟
USBEN	Bit 14	R/W	**USB 时钟开关** 0：关闭时钟 1：开启时钟
AESEN	Bit 13	R/W	**AES 时钟开关** 0：关闭时钟 1：开启时钟

CRCEN	Bit 12	R/W	**CRC 时钟开关** 0：关闭时钟 1：开启时钟
—	Bit 11	—	—
CSUEN	Bit 10	R/W	**CSU 时钟开关** 0：关闭时钟 1：开启时钟
—	Bit 9-8	—	—
KBCUEN	Bit 7	R/W	**KBCU 时钟开关** 0：关闭时钟 1：开启时钟
RTCEN	Bit 6	R/W	**RTC 时钟开关** 0：关闭时钟 1：开启时钟
—	Bit 5-1	—	—
DMA1EN	Bit 0	R/W	**DMA1 时钟开关** 0：关闭时钟 1：开启时钟

4. 4. 2. 15 APB1 外设时钟控制寄存器 (RCU_APB1EN)

APB1 外设时钟控制寄存器 (RCU_APB1EN)

偏移地址：0x40

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	I2C2EN	I2C1EN	—	UART4EN	UART3EN	UART2EN	—	SPI3EN	SPI2EN	—	—	WWDTEN	—	—	—	—	—	—	BS16T1EN	GP16C4T3EN	GP16C4T2EN	GP16C4T1EN	GP32C4T1EN

—	Bit 31-23	—	—
I2C2EN	Bit 22	R/W	**I2C2 时钟开关** 0：关闭时钟 1：开启时钟
I2C1EN	Bit 21	R/W	**I2C1 时钟开关** 0：关闭时钟 1：开启时钟
—	Bit 20	—	—
UART4EN	Bit 19	R/W	**UART4 时钟开关**

			0：关闭时钟 1：开启时钟
UART3EN	Bit 18	R/W	**UART3 时钟开关** 0：关闭时钟 1：开启时钟
UART2EN	Bit 17	R/W	**UART2 时钟开关** 0：关闭时钟 1：开启时钟
—	Bit 16	—	—
SPI3EN	Bit 15	R/W	**SPI3 时钟开关** 0：关闭时钟 1：开启时钟
SPI2EN	Bit 14	R/W	**SPI2 时钟开关** 0：关闭时钟 1：开启时钟
—	Bit 13-12	—	—
WWDTEN	Bit 11	R/W	**WWDT 时钟开关** 0：关闭时钟 1：开启时钟
—	Bit 10-5	—	—
BS16T1EN	Bit 4	R/W	**BS16T1 时钟开关** 0：关闭时钟 1：开启时钟
GP16C4T3EN	Bit 3	R/W	**GP16C4T3 时钟开关** 0：关闭时钟 1：开启时钟
GP16C4T2EN	Bit 2	R/W	**GP16C4T2 时钟开关** 0：关闭时钟 1：开启时钟
GP16C4T1EN	Bit 1	R/W	**GP16C4T1 时钟开关** 0：关闭时钟 1：开启时钟
GP32C4T1EN	Bit 0	R/W	**GP32C4T1 时钟开关** 0：关闭时钟 1：开启时钟

4. 4. 2. 16 APB2 外设时钟控制寄存器 (RCU_APB2EN)

APB2 外设时钟控制寄存器 (RCU_APB2EN)																													
偏移地址：0x44																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	CMPEN	—	—	—	GP16C2T4EN	GP16C2T3EN	GP16C2T2EN	GP16C2T1EN	—	UART1EN	—	SPI1EN	AD16C4T1EN	—	ADCEN	—	—	—	—	—	—	—	—	—

—	Bit 31-24	—	—
CMPEN	Bit 23	R/W	**CMP 时钟开关** 0：关闭时钟 1：开启时钟
—	Bit 22-20	—	—
GP16C2T4EN	Bit 19	R/W	**GP16C2T4 时钟开关** 0：关闭时钟 1：开启时钟
GP16C2T3EN	Bit 18	R/W	**GP16C2T3 时钟开关** 0：关闭时钟 1：开启时钟
GP16C2T2EN	Bit 17	R/W	**GP16C2T2 时钟开关** 0：关闭时钟 1：开启时钟
GP16C2T1EN	Bit 16	R/W	**GP16C2T1 时钟开关** 0：关闭时钟 1：开启时钟
—	Bit 15	—	—
UART1EN	Bit 14	R/W	**UART1 时钟开关** 0：关闭时钟 1：开启时钟
—	Bit 13	—	—
SPI1EN	Bit 12	R/W	**SPI1 时钟开关** 0：关闭时钟 1：开启时钟
AD16C4T1EN	Bit 11	R/W	**AD16C4T1 时钟开关** 0：关闭时钟 1：开启时钟

—	Bit 10	—	—
ADCEN	Bit 9	R/W	**ADC 时钟开关** 0：关闭时钟 1：开启时钟
—	Bit 8-0	—	—

4. 4. 2. 17 SLEEP 模式 AHB 外设时钟控制寄存器 (RCU_AHBSL)

SLEEP 模式 AHB 外设时钟控制寄存器 (RCU_AHBSL)

偏移地址：0x48

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	GPDEN	GPCEN	GPBEN	GPAEN	CALCEN	USBEN	AESEN	CRCEN	—	CSUEN	—	—	KBCUEN	RTCEN	—	—	—	—	—	DMA1EN

—	Bit 31-20	—	—
GPDEN	Bit 19	R/W	**SLEEP 模式时，GPIOD 时钟开关** 0：关闭时钟 1：开启时钟
GPCEN	Bit 18	R/W	**SLEEP 模式时，GPIOC 时钟开关** 0：关闭时钟 1：开启时钟
GPBEN	Bit 17	R/W	**SLEEP 模式时，GPIOB 时钟开关** 0：关闭时钟 1：开启时钟
GPAEN	Bit 16	R/W	**SLEEP 模式时，GPIOA 时钟开关** 0：关闭时钟 1：开启时钟
CALCEN	Bit 15	R/W	**SLEEP 模式时，CALC 时钟开关** 0：关闭时钟 1：开启时钟
USBEN	Bit 14	R/W	**SLEEP 模式时，USB 时钟开关** 0：关闭时钟 1：开启时钟
AESEN	Bit 13	R/W	**SLEEP 模式时，AES 时钟开关** 0：关闭时钟 1：开启时钟

CRCEN	Bit 12	R/W	**SLEEP 模式时，CRC 时钟开关** 0：关闭时钟 1：开启时钟
—	Bit 11	—	—
CSUEN	Bit 10	R/W	**SLEEP 模式时，CSU 时钟开关** 0：关闭时钟 1：开启时钟
—	Bit 9-8	—	—
KBCUEN	Bit 7	R/W	**SLEEP 模式时，KBCU 时钟开关** 0：关闭时钟 1：开启时钟
RTCEN	Bit 6	R/W	**SLEEP 模式时，RTC 时钟开关** 0：关闭时钟 1：开启时钟
—	Bit 5-1	—	—
DMA1EN	Bit 0	R/W	**SLEEP 模式时，DMA1 时钟开关** 0：关闭时钟 1：开启时钟

4. 4. 2. 18 SLEEP 模式 APB1 外设时钟控制寄存器 (RCU_APB1SL)

SLEEP 模式 APB1 外设时钟控制寄存器 (RCU_APB1SL)

偏移地址：0x4C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	I2C2EN	I2C1EN	—	UART4EN	UART3EN	UART2EN	—	SPI3EN	SPI2EN	—	—	WWDTEN	—	—	—	—	—	—	BS16T1EN	GP16C4T3EN	GP16C4T2EN	GP16C4T1EN	GP32C4T1EN

—	Bit 31-23	—	—
I2C2EN	Bit 22	R/W	**SLEEP 模式时，I2C2 时钟开关** 0：关闭时钟 1：开启时钟
I2C1EN	Bit 21	R/W	**SLEEP 模式时，I2C1 时钟开关** 0：关闭时钟 1：开启时钟
—	Bit 20	—	—
UART4EN	Bit 19	R/W	**SLEEP 模式时，UART4 时钟开关**

			0：关闭时钟 1：开启时钟
UART3EN	Bit 18	R/W	**SLEEP 模式时，UART3 时钟开关** 0：关闭时钟 1：开启时钟
UART2EN	Bit 17	R/W	**SLEEP 模式时，UART2 时钟开关** 0：关闭时钟 1：开启时钟
—	Bit 16	—	—
SPI3EN	Bit 15	R/W	**SLEEP 模式时，SPI3 时钟开关** 0：关闭时钟 1：开启时钟
SPI2EN	Bit 14	R/W	**SLEEP 模式时，SPI2 时钟开关** 0：关闭时钟 1：开启时钟
—	Bit 13-12	—	—
WWDTEN	Bit 11	R/W	**SLEEP 模式时，WWDT 时钟开关** 0：关闭时钟 1：开启时钟
—	Bit 10-5	—	保留
BS16T1EN	Bit 4	R/W	**SLEEP 模式时，BS16T1 时钟开关** 0：关闭时钟 1：开启时钟
GP16C4T3EN	Bit 3	R/W	**SLEEP 模式时，GP16C4T3 时钟开关** 0：关闭时钟 1：开启时钟
GP16C4T2EN	Bit 2	R/W	**SLEEP 模式时，GP16C4T2 时钟开关** 0：关闭时钟 1：开启时钟
GP16C4T1EN	Bit 1	R/W	**SLEEP 模式时，GP16C4T1 时钟开关** 0：关闭时钟 1：开启时钟
GP32C4T1EN	Bit 0	R/W	**SLEEP 模式时，GP32C4T1 时钟开关** 0：关闭时钟 1：开启时钟

4. 4. 2. 19 SLEEP 模式 APB2 外设时钟控制寄存器 (RCU_APB2SL)

SLEEP 模式 APB2 外设时钟控制寄存器 (RCU_APB2SL)																												
偏移地址：0x50																												
复位值：0x0000 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	CMPEN	—	—	—	GP16C2T4EN	GP16C2T3EN	GP16C2T2EN	GP16C2T1EN	—	UART1EN	—	SPI1EN	AD16C4T1EN	—	ADCEN	—	—	—	—	—	—	—	—	—

—	Bit 31-24	—	—
CMPEN	Bit 23	R/W	**SLEEP 模式时，CMP 时钟开关** 0：关闭时钟 1：开启时钟
—	Bit 22-20	—	—
GP16C2T4EN	Bit 19	R/W	**SLEEP 模式时，GP16C2T4 时钟开关** 0：关闭时钟 1：开启时钟
GP16C2T3EN	Bit 18	R/W	**SLEEP 模式时，GP16C2T3 时钟开关** 0：关闭时钟 1：开启时钟
GP16C2T2EN	Bit 17	R/W	**SLEEP 模式时，GP16C2T2 时钟开关** 0：关闭时钟 1：开启时钟
GP16C2T1EN	Bit 16	R/W	**SLEEP 模式时，GP16C2T1 时钟开关** 0：关闭时钟 1：开启时钟
—	Bit 15	—	—
UART1EN	Bit 14	R/W	**SLEEP 模式时，UART1 时钟开关** 0：关闭时钟 1：开启时钟
—	Bit 13	—	—
SPI1EN	Bit 12	R/W	**SLEEP 模式时，SPI1 时钟开关** 0：关闭时钟 1：开启时钟
AD16C4T1EN	Bit 11	R/W	**SLEEP 模式时，AD16C4T1 时钟开关** 0：关闭时钟 1：开启时钟

—	Bit 10	—	—
ADCEN	Bit 9	R/W	**SLEEP 模式时，ADC 时钟开关** 0：关闭时钟 1：开启时钟
—	Bit 8-0	—	—

4. 4. 2. 20 低速时钟控制寄存器 (RCU_LCON)

此寄存器只允许 32 位存取

低速时钟控制寄存器 (RCU_LCON)

偏移地址：0x60

复位值：0x0000 0000 (Power On Reset)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LOSCBYP	LOSCRDY	LOSCON	—	—	—	—	—	—	LRCRDY	LRCON

—	Bit 31-11	—	—
LOSCBYP	Bit 10	R/W	**外部低速时钟振荡器，旁路模式使能** 此位只能在 LOSC 关闭时(LOSCON=0)，允许写入 0: 关闭 LOSC 旁路模式(振荡器模式) 1: 开启 LOSC 旁路模式(使用外部输入时钟源，通过 LOSCIN 引脚)
LOSCRDY	Bit 9	R	**LOSCCLK 时钟源，稳定状态标志** 此位由硬件设置，其表示时钟源稳定状态 0: LOSC 时钟信号，尚未稳定 1: LOSC 时钟信号，已准备就绪
LOSCON	Bit 8	R/W	**外部低速时钟振荡器，LOSCCLK 时钟源使能** 0: 关闭 LOSC 1: 开启 LOSC
—	Bit 7-2	—	—
LRCRDY	Bit 1	R	**LRCCLK 时钟源，稳定状态标志** 此位由硬件设置，其表示时钟源稳定状态 0: LRC 时钟信号，尚未稳定 1: LRC 时钟信号，已准备就绪
LRCON	Bit 0	R/W	**内部低速 RC 振荡器，LRCCLK 时钟源使能** 0: 关闭 LRC

			1: 开启 LRC

4. 4. 2. 21 复位标志寄存器 (RCU_RSTF)

此寄存器只允许 32 位存取

复位标志寄存器 (RCU_RSTF)																												
偏移地址：0x64																												
复位值：0x0001 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	LPRSTF	WWDTRSTF	IWDTRSTF	SWRSTF	OBLRSTF	NRSTF	BORRSTF	PORRSTF	CLRFLG	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

—	Bit 31-24	—	—
LPRSTF	Bit 23	R	**低功耗复位标志** 此标志位表示，系统复位事件，由低功耗模式触发。从 STOP 模式唤醒会处发此标志位，但系统不会复位。
WWDTRSTF	Bit 22	R	**WWDT 复位标志** 此标志表示，系统复位事件，由 WWDT 计数触发
IWDTRSTF	Bit 21	R	**IWDT 复位标志** 此标志表示，系统复位事件，由 IWDT 计数触发
SWRSTF	Bit 20	R	**软件复位标志** 此标志表示，系统复位事件，由软件控制触发
OBLRSTF	Bit 19	R	**配置字重载复位标志** 此标志表示，系统复位事件，由配置字重载时触发
NRSTF	Bit 18	R	**NRST 外部引脚复位标志** 此标志表示，系统复位事件，由外部 NRST 引脚触发
BORRSTF	Bit 17	R	**BOR 复位标志** 此标志表示，系统复位事件，由电源下电达到 BOR 所设定的等级，触发复位
PORRSTF	Bit 16	R	**POR/PDR 复位标志** 此标志表示，系统复位事件，由电源系统上电或下电触发。此标志初始状态必定为 1，如系

			统进入低功耗模式前清除此标志，当由低功耗唤醒后，此标志应该为 0；因此可由此判别系统是否重新上电。
CLRFLG	Bit 15	C_W1	**清除复位标志** 此位设置时，清除所有复位标志位
—	Bit 14-0	—	—

4. 4. 2. 22 RCU 时钟校准值寄存器 (RCU_CKTRIM)

RCU 时钟校准值寄存器 (RCU_CKTRIM)

偏移地址：0x90

复位值：0x0100 8050

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HRC48UE	HRC48SEL	—	HRCSEL	—	—	—	HRC48TRIM<8:0>									HRCTRIM<7:0>								—	—	—	—	—	—	—	—

HRC48UE	Bit 31	T_W1	**HRC48 更新事件** 设定此位以产生 HRC48 更新事件，HRC 48MHz 振荡器将依据 HRC48 校准值输出频率
HRC48SEL	Bit 30	R/W	**HRC48 校准值选择** 此位选择 HRC 48MHz 振荡器使用的校准值 0: 使用 Option Byte 校准值 1: 使用 HRC48TRIM 校准值
—	Bit 29	—	—
HRCSEL	Bit 28	R/W	**HRC 校准值选择** 此位选择 HRC 4MHz 振荡器使用的校准值 0: 使用 Option Byte 校准值 1: 使用 HRCTRIM 校准值
—	Bit 27-25	—	—
HRC48TRIM	Bit 24-16	R/W	**HRC48 校准值** HRC48 的校准值，使用者可调整校准值以改变 HRC 48MHz 振荡器的输出频率
HRCTRIM	Bit 15-8	R/W	**HRC 校准值** HRC 的校准值，使用者可调整校准值以改变 HRC 4MHz 振荡器的输出频率
—	Bit 7-0	—	—

第5章 闪存控制器 (FLASH)

5.1 概述

嵌入式闪存依芯片型号不同，最多支持 128KB 供用户存放应用程序(Application Code)或是储存数据。闪存控制器允许使用者通过在线系统编程器(ISP)、SWD、Bootrom 或是闪存内的程序，修改已焊接于 PCB 版上芯片的数据数据。

5.2 特性

- 程序区大小依芯片型号而定，最大支持 128KB。
- 闪存操作最小单位
  - 以 32 Bit 为单位进行编程(Program)，每次编程耗时约 25us。
  - 以 512 Byte 为单为进行页擦除，每次擦除耗时约 2ms。
  - 以 2K Byte 为单为进行 Sector 擦除，每次擦除耗时约 2ms。
- 支持擦除(Erase)程序区内未受保护的区域。
- 支持配置 3 种程序区保护。
  - 以 Sector 为单位配置用户代码读出保护(UCRP)，最多支持 2 组区间保护。
  - 以整个程序区为单位配置读出保护(RP)。
  - 以 Sector 为单位配置写保护(WP)，支持最多 2 组不连续区间的配置。
- 支持最多配置 4 个读取等待周期。
  - 系统频率不超过 24MHz 时，配置 0 个等待周期。
  - 系统频率超过 24MHz，但不超过 48Mhz 时，配置 1 个等待周期。
  - 系统频率超过 48MHz，但不超过 72Mhz 时，配置 2 个等待周期。
  - 系统频率超过 72Mhz 时，配置 3 个等待周期。
- 支持以 4K Byte 为单位配置闪存内部重映射(Remap)。
- 支持在闪存读取等待周期不为 0 时，开启闪存预取功能，加速闪存读取速度。

5.3 闪存结构

闪存共分为 2 个区块，分别为程序区(Main Block)与信息区(Information Block)。

- 程序区：大小依芯片型号而定，最大支持 128KB。内存位置为 0x0800_0000 至 0x0801_FFFF。程序区内的最小单位为页(Page)，每一页大小为 512 Byte，最多支援 256 个页。
- 信息区：大小为 4KB，内存位置为 0x1FFF_E000 至 0x1FFF_EFFF。信息区内的最小单位为页(Page)，每一页大小为 512 Byte，最多支持 8 个页，在读取此区的数据时，需确认预取功能未被开启。信息区主要功能如下：
  - 用户配置字：位于信息区页 0 至页 3，此区主要存闪存保护设定与使用者校准信息 。此区的内容允许使用者读取与修改。
  - 系统配置字：位于信息区页 4 至页 7，此区主要存放芯片校准信息，所有校准信息皆会在芯片出厂时针对芯片的特性填入相对应的校准值，为确保芯片的稳定性与安全性，此区的内容仅开放读取。

名称	页码	实体位置
用户配置字	页 0	0x1FFF_E000 ~ 0x1FFF_E1FF
	页 1	0x1FFF_E200 ~ 0x1FFF_E3FF
	页 2	0x1FFF_E400 ~ 0x1FFF_E5FF
	页 3	0x1FFF_E600 ~ 0x1FFF_E7FF
系统配置字	页 4	0x1FFF_E800 ~ 0x1FFF_E9FF
	页 5	0x1FFF_EA00 ~ 0x1FFF_EBFF
	页 6	0x1FFF_EC00 ~ 0x1FFF_EDFF
	页 7	0x1FFF_EE00 ~ 0x1FFF_EFFF

5.4 功能描述

下列章节将针对闪存控制器的基本功能进行描述。

5.4.1 用户配置字

用户配置字包含信息区页 0 置页 3，此区支持用户程序自行配置与修改，每一页存放的内容如下列章节所示。

5.4.1.1 信息区页 0

此区主要存放闪存程序区用户代码读出保护(UCRP)，此保护设定共有 64 位，每一位对应一个 Sector(4 个页)，在设定保护时若将保护设定数值设定为 0，则代表相对应的 Sector 受到保护，反之则代表该 Sector 不受到保护。信息区页 0 无法藉由闪存的编程指令修改保护设定，仅能通过 UCRP 保护设定流程进行配置。有关用户代码读出保护的配置方式与功能请参阅程序区保护的描述。

配置字 UCRP 保护低位																															
偏移地址：0x000																															
复位值：0xFFFF FFFF																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UCRPL<31:0>																															

UCRPL	Bits 31-0	**UCRP 保护低 32 位** UCRP 保护页面第 0～第 31 Sector 的保护设定。当 Sector 被保护时，相对的 UCRPL 位会被设置为 0。

配置字 UCRP 保护高位																															
偏移地址：0x004																															
复位值：0xFFFF FFFF																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UCRPH<31:0>																															

UCRPH	Bits 31-0	**UCRP 保护高 32 位** UCRP 保护页面第 32～第 63 Sector 的保护设定。当 Sector 被保护时，相对的 UCRPH 位会被设置为 0。

5. 4. 1. 2 信息区页 1

此页主要存放读保护设定，读保护的主要功能为防止程序区被 ISP、Debug Port 与 Bootrom 读出与修改，共分为 3 个等级。芯片在经过 CP 测试后会将读保护设定填入 0xAAAA_AAAA，因此默认的读保护等级为 Lv0。若对信息区页 1 进行擦除或是设定非 0xCCCC_CCCC 或 0xAAAA_AAAA 的数值时，则读保护等级会提升至 Lv1 保护。此区无法藉由闪存的编程指令修改保护设定，需藉由读保护设定流程进行配置。有关读保护的配置方式与功能请参阅程序区保护章节的描述。

配置字读保护等级

偏移地址：0x200

复位值：0xAAAA AAAA

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RP<31:0>																															

RP	Bits 31-0	**读保护** 0xAAAA_AAAA: 读保护等级 0.(默认) 0xCCCC_CCCC: 读保护等级 2. 其他: 读保护等级 1.

5. 4. 1. 3 信息区页 2

此页主要存放写保护设定、硬件映射设定、系统欠压复位设定与 IWDT 设定。

写保护主要目的为防止程序区内的保护区被擦除或是覆盖。与 UCRP 保护一样支持以 Sector(4 个页)为单位进行配置。当对此页进行擦除时仅会擦除保护设定，程序区内的数据仍会被保留。此区无法藉由闪存的编程指令修改保护设定，需藉由写保护设定流程来进行配置。有关写保护的配置方式与功能请参阅程序区保护的描述。

配置字写保护低位

偏移地址：0x400

复位值：0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WPL<31:0>																															

WPL	Bits 31-0	**WP 保护低 32 位** WP 保护页面第 0～第 31 Sector 的保护设定。当 Sector 被保护时，相对的 WPL 位会被设置为 0。

配置字写保护高位

偏移地址：0x404

复位值：0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WPH<31:0>																															

WPH	Bits 31-0	**WP 保护高 32 位** WP 保护页面第 32～第 63 Sector 的保护设定。当 Sector 被保护时，相对的 WPH 位会被设置为 0。

当使用者不再需要使用 Bootrom 时，可对信息区页 2 位于 0x40A 的 BOOTBYP 编程 0xA5。当此位置被填入 0xA5 时，芯片会在开机时跳过 Bootrom 程序，直接映射至闪存程序区开始执行。若信息区 0x40A 的位置已被编程 0xA5 时，用户仅能藉由程序区的程序，或是使用 SWD 接口，对信息区页 2 进行擦除后，才有办法重新使用 Bootrom 更新程序区的程序，但在擦除的同时也会一并清除写保护设定。

配置字中的 SELECT 与 SEFBASE 主要为提供映射信息给 Bootrom 参考，当 Bootrom 流程结束时，会依据 SELECT 与 SEFBASE 的设定决定要映射至程序区的哪一个位置继续执行。SELECT 提供程序重新映射至程序区、Bootrom 或是 SRAM 内继续执行的信息，而 SEFBASE 则是提供程序区内任意 4KB 位置的重映射信息。用户可配置位于信息区 0x0409 的 SELECT 为 0x0，同时依据需求配置数值 0x0 到 0x1F 至信息区 0x0408 的 SEFBASE，如果设置 0x1 则意味着映射至程序区第二个 4K Byte(0x0000_1000)的位置开始执行，如果设置为 0x2 则意味着映射至程序区第三个 4K Byte(0x0000_2000)的位置开始执行，依此类推。若用户开启 Bootrom Bypass 功能时则 SELECT 与 SEFBASE 的设定会直接反映在硬件映射(Hardware Remap)上，亦即系统在开机完毕后会依照 SELECT 与 SEFBASE 的设定进行映射。

配置字硬件映射选项

偏移地址：0x408

复位值：0xFFA5 FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	BOOTBYP <7:0>								SELECT <7:0>								SEFBASE <7:0>							

—	Bit 31-24	—
BOOTBYP	Bit 23-16	**硬件重映射选项** 0xA5:开机时跳过 Bootrom，并映射到主闪存开始执行。 其他:开机时从 Bootrom 开始执行。
SELECT	Bit 15-8	**软件重映射选项** 0x0 :主闪存映射到 0x0000_0000。 0x1 :Bootrom 映射到 0x0000_0000。 0x2 :SRAM 映射到 0x0000_0000。 0x3 :保留。
SEFBASE	Bit 7-0	**主闪存重映射地址选择** 如果设置 0x1，则意味着从主闪存的第二个 4 KByte 开始执行，如果设置为 0x2，则意味着从主闪存的第三个 4 KByte，依此类推。

信息区页 2 也支持使用者在系统开机时，同步开启 IWDT 与欠压复位(BOR)功能。

配置字系统选项																													
偏移地址：0x40C																													
复位值：0xFFFF FFFF																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								IWDTEN <7:0>>								BOREN <7:0>								BORLS <7:0>							

—	Bit 31-24	—
IWDTEN	Bit 23-16	**IWDT 开启选项** 0xA5：开机时自动开启 IWDT，计数周期 0.5 秒。 其他 ：开机时关闭 IWDT。
BOREN	Bit 15-8	**低电压复位开启选项** 0xA5：开机时自动开启 BOR，BOR 检测电压依据 BORLS 数值而定。 其他 ：开机时关闭 BOR。
BORLS	Bit 7-0	**低电压复位电压区间选择** 配置 BORLS 选择触发 BOR 复位的电压区间。 000 : BOR level 0 001 : BOR level 1 010 : BOR level 2 011 : BOR level 3 100 : BOR level 4 101 : BOR level 5 110 : BOR level 6 111 : BOR level 7

5. 4. 1. 4 信息区页 3

此区大小固定为 512Byte，可由用户自行配置。在降读保护等级时，此页的数据会一并被清除。

5. 4. 2 系统配置字

系统配置字主要存放在信息区页 4，内容包含芯片校准信息、产品标识符与芯片唯一标识符，此区的信息会在芯片出厂前针对每一颗芯片进行调整，使用者可依据需求读取此区的信息但无法修改。信息区页 5 至页 7 为保留区域。详细的系统配置字说明请参阅后续章节内容。

5. 4. 2. 1 系统配置字 Bandgap 校准

此配置字存放 BandGap 的校准信息与校准数值的取反值，在不满足取反时自动带入校准数值 0x8。

配置字 Bandgap 校准

偏移地址：0x804

复位值：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REV<15:0>																—	—	—	—	—	—	—	—	—	—	—	—	BGTRIM <3:0>			

REV	Bits 31-16	**数值取反** 第 0 位到第 15 位的数值取反。
—	Bits 15-4	—
BGTRIM	Bits 3-0	**Bandgap 校准值** 此数值在芯片出厂前已针对芯片特性进行调整，并于系统开机后自动从闪存内读出。

5. 4. 2. 2 系统配置字 LVD 校准

此配置字存放低电压检测器(LVD)的校准信息与校准数值的取反值，此校准信息在不满足取反时自动带入数值 0x2。

配置字 LVD 校准																															
偏移地址：0x808																															
复位值：																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REV<15:0>																-	-	-	-	-	-	-	-	-	-	-	-	-	-	LVDTRIM<1:0>	

REV	Bits 31-16	**数值取反** 第 0 位到第 15 位的数值取反。
—	Bits 15-2	—
LVDTRIM	Bits 1-0	**LVD 校准值** 此数值在芯片出厂前已针对芯片特性进行调整，并于系统开机后自动从闪存内读出。

5. 4. 2. 3 系统配置字 LDO 校准

此配置字存放 USB LDO 的校准信息与校准数值的取反值，此校准信息在不满足取反时自动带入数值 0x4。

配置字 LDO 校准																															
偏移地址：0x80C																															
复位值：																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REV<15:0>																-	-	-	-	-	-	-	-	-	-	-	-	-	-	LDOTRIM<2:0>	

REV	Bits 31-16	**数值取反** 第 0 位到第 15 位的数值取反。
—	Bits 15-3	—
LDOTRIM	Bits 2-0	**LDO 校准值** USB LDO 校准值。此数值在芯片出厂前已针对芯片特性进行调整，并于系统开机后自动从闪存内读出。

5. 4. 2. 4 系统配置字 HRC 校准

此配置字存放 HRC 时钟的校准信息与校准数值的取反值，芯片出厂前会将 HRC 校准至接近 4MHz。当此校准信息不满足取反时自动带入数值 0x80。

配置字 HRC 校准																													
偏移地址：0x810																													
复位值：																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REV<15:0>																—	—	—	—	—	—	—	—	HRCTRIM<7:0>							

REV	Bits 31-16	**数值取反** 第 0 位到第 15 位的数值取反。
—	Bits 15-8	—
HRCTRIM	Bits 7-0	**HRC 校准值** 此数值在芯片出厂前已针对芯片特性进行调整，并于系统开机后自动从闪存内读出。

5. 4. 2. 5 系统配置字 LRC 校准

此配置字存放 LRC 时钟的校准信息与校准数值的取反值，芯片出厂前会将 LRC 校准至接近 32KHz。当此校准信息不满足取反时自动带入数值 0x50。

配置字 LRC 校准																													
偏移地址：0x814																													
复位值：																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REV<15:0>																—	—	—	—	—	—	—	—	—	LRCTRIM<6:0>						

REV	Bits 31-16	**数值取反** 第 0 位到第 15 位的数值取反。
—	Bits 15-7	—
LRCTRIM	Bits 6-0	**LRC 校准值** 此数值在芯片出厂前已针对芯片特性进行调整，并于系统开机后自动从闪存内读出。

5. 4. 2. 6 系统配置字 HRC48 校准

此配置字存放 HRC 48MHz 时钟的校准信息与校准数值的取反值。当此校准信息不满足取反时自动带入数值 0x100。

配置字 HRC48 校准																															
偏移地址：0x818																															
复位值：																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REV<15:0>																—	—	—	—	—	—	—	HRC48TRIM<8:0>								

REV	Bits 31-16	**数值取反** 第 0 位到第 15 位的数值取反。
—	Bits 15-9	—
HRC48TRIM	Bits 8-0	**HRC48 校准值** 此数值在芯片出厂前已针对芯片特性进行调整，并于系统开机后自动从闪存内读出。

5. 4. 2. 7 系统配置字 CMP1 校准

此配置字存放比较器 1 的校准信息，当此校准信息不满足取反时自动带入数值 0x78。

配置字 CMP1 校准																															
偏移地址：0x81C																															
复位值：																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REV<15:0>																—	—	—	—	—	—	—	—	CMP1TRIM<7:0>							

REV	Bits 31-16	**数值取反** 第 0 位到第 15 位的数值取反。
—	Bits 15-8	—
CMP1TRIM	Bits 7-0	**CMP1 校准值** 此数值在芯片出厂前已针对芯片特性进行调整，并于系统开机后自动从闪存内读出。

5. 4. 2. 8 系统配置字 CMP2 校准

此配置字存放比较器 2 的校准信息，当此校准信息不满足取反时自动带入数值 0x78。

配置字 CMP2 校准																													
偏移地址：0x820																													
复位值：																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REV<15:0>																—	—	—	—	—	—	—	—	CMP2TRIM<7:0>							

REV	Bits 31-16	**数值取反** 第 0 位到第 15 位的数值取反。
—	Bits 15-8	—
CMP2TRIM	Bits 7-0	**CMP2 校准值** 此数值在芯片出厂前已针对芯片特性进行调整，并于系统开机后自动从闪存内读出。

5. 4. 2. 9 系统配置字 PLL 校准

此配置字存放 PLL 的校准信息，当此校准信息不满足取反时自动带入数值 0x3。

配置字 PLL 校准																													
偏移地址：0x850																													
复位值：																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REV<15:0>																—	—	—	—	—	—	—	—	—	—	—	—	—	—	PLLFNS<1:0>	

REV	Bits 31-16	**数值取反** 第 0 位到第 15 位的数值取反。
—	Bits 15-3	—
PLLFNS	Bits 1-0	**PLL FNS 校准值** 此数值在芯片出厂前已针对芯片特性进行调整，并于系统开机后自动从闪存内读出。

5. 4. 2. 10 系统配置字 HOSC 校准

此配置字存放 HOSC 的校准信息。当取反不满足时，HOSCRDYSEL 自动带入 0x2，而 HOSCCURSEL 自动带入 0x0。

配置字 HOSC 校准																													
偏移地址：0x854																													
复位值：																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REV<15:0>																—	—	—	—	—	—	HOSCRDYSEL <1:0>		—	—	—	—	—	—	HOSCCURSEL <1:0>	

REV	Bit 31-16	**数值取反** 第 0 位到第 15 位的数值取反。
—	Bit 15-10	—
HOSCRDYSEL	Bit 9-8	**HOSC 稳定计数值选择** 存放 HOSC 稳定计数值，计数周期满后系统才会拉高 HOSC 时钟的 Ready 标志位。此数值在芯片出厂前已针对芯片特性进行调整，并于系统开机后自动从闪存内读出。 0x0 : HOSC 计数 256 个周期后拉高 Ready 标志位. 0x1 : HOSC 计数 1024 个周期后拉高 Ready 标志位. 0x2 : HOSC 计数 4096 个周期后拉高 Ready 标志位. 0x3 : HOSC 计数 16384 个周期后拉高 Ready 标志位.
—	Bit 7-2	—
HOSCCURSEL	Bit 1-0	**HOSC 电流选择** 此数值在芯片出厂前已针对芯片特性进行调整，并于系统开机后自动从闪存内读出。

5. 4. 2. 11 系统配置字 LOSC 校准

此配置字存放 LOSC 的校准信息。当取反不满足时，LOSCRDYSEL 自动带入 0x3，而 LOSCCURSEL 自动带入 0x4。

配置字 LOSC 校准																													
偏移地址：0x858																													
复位值：																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REV<15:0>																—	—	—	—	—	—	LOSCRDYSEL <1:0>		—	—	—	—	—	LOSCCURSEL <2:0>		

REV	Bit 31-16	**数值取反** 第 0 位到第 15 位的数值取反。
—	Bit 15-10	—
LOSCRDYSEL	Bit 9-8	**LOSC 稳定计数值选择** 存放 LOSC 稳定计数值，计数周期满后系统才会拉高 LOSC 时钟的 Ready 标志位。此数值在芯片出厂前已针对芯片特性进行调整，并于系统开机后自动从闪存内读出。 0x0 : LOSC 计数 2048 个周期后拉高 Ready 标志位. 0x1 : LOSC 计数 4096 个周期后拉高 Ready 标志位. 0x2 : LOSC 计数 8192 个周期后拉高 Ready 标志位. 0x3 : LOSC 计数 16384 个周期后拉高 Ready 标志位.
—	Bit 7-3	—
LOSCCURSEL	Bit 2-0	**LOSC 电流选择** 此数值在芯片出厂前已针对芯片特性进行调整，并于系统开机后自动从闪存内读出。

5. 4. 2. 12 系统配置字 ADC 参考电压量测

此配置字存放 ADC 参考电压 1.22V 的量测数值。当取反不满足时自动带入 0x3E7。

配置字 ADC 参考电压量测值																															
偏移地址：0x85C																															
复位值：																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REV<15:0>																—	—	—	—	ADCVREF<11:0>											

REV	Bits 31-16	**数值取反** 第 0 位到第 15 位的数值取反。
—	Bits 15-12	—
ADCVREF	Bits 11-0	**ADC 参考电压量测值** 存放 ADC 量测参考电压(1.22V)的量测值，此数值在芯片出厂前已针对芯片特性进行调整，并于系统开机后自动从闪存内读出。

5. 4. 2. 13 系统配置字 ADC 高温电压量测

此配置字存放 ADC 温度传感器在 85° C 下的量测数值。当取反不满足时自动带入 0x41B。

配置字 ADC 高温量测值																															
偏移地址：0x860																															
复位值：																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REV<15:0>																—	—	—	—	ADCTEMPH<11:0>											

REV	Bits 31-16	**数值取反** 第 0 位到第 15 位的数值取反。
—	Bits 15-12	—
ADCTEMPH	Bits 11-0	**ADC 温度传感器高温量测数值** 存放 ADC 量测温度传感器高温(85° C)时的量测数值，此数值在芯片出厂前已针对芯片特性进行调整，并于系统开机后自动从闪存内读出。

5. 4. 2. 14 系统配置字 ADC 低温电压量测

此配置字存放 ADC 温度传感器在 30° C 下的量测数值。当取反不满足时自动带入 0x37A。

配置字 ADC 低温量测值																															
偏移地址：0x864																															
复位值：																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REV<15:0>																—	—	—	—	ADCTEMPL<11:0>											

REV	Bits 31-16	**数值取反** 第 0 位到第 15 位的数值取反。
—	Bits 15-12	—
ADCTEMPL	Bits 11-0	**ADC 温度传感器低温量测数值** 存放 ADC 量测温度传感器高温(30° C)时的量测数值，此数值在芯片出厂前已针对芯片特性进行调整，并于系统开机后自动从闪存内读出。

5. 4. 2. 15 芯片产品识别码 CHIPID

芯片产品标识符共 32 位，可用来区分芯片产品型号。

配置字芯片产品识别																															
偏移地址：0x8A0																															
复位值：																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHIPID<31:0>																															

CHIPID	Bits 31-0	**芯片产品识别**

5. 4. 2. 16 芯片唯一识别码 UID

芯片唯一识别码共 128 位，每一颗芯片都是唯一的编码，使用者可藉由此识别码实现下列功能：

- 终端产品序列号
- 通过特定的加密算法生成安全密钥

配置字芯片唯一标识码 0																															
偏移地址：0x8A4																															
复位值：																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UID0<31:0>																															

UID0	Bits 31-0	芯片唯一识别码 **0**

配置字芯片唯一标识码 1																															
偏移地址：0x8A8																															
复位值：																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UID1<31:0>																															

UID1	Bits 31-0	芯片唯一识别码 **1**

配置字芯片唯一标识码 2																															
偏移地址：0x8AC																															
复位值：																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UID2<31:0>																															

UID2	Bits 31-0	芯片唯一识别码 **2**

配置字芯片唯一标识码 3																															
偏移地址：0x8B0																															
复位值：																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UID3<31:0>																															

UID3	Bits 31-0	**芯片唯一识别码 3**

5. 4. 3 闪存操作解锁

闪存控制器初始会处在锁定状态，使用者无法通过闪存控制器对闪存进行编程与擦除，藉此避免闪存内的数据被意外擦除或是覆盖。若使用者需要使用闪存的编程与擦除功能时，需要先对闪存控制器进行解锁，解锁流程需连续输入 2 组解锁密钥，若输入错误的密钥或是连续输入超过 2 组密钥时，闪存控制器会继续保持在上锁状态或是重新锁定。当完成解锁流程后，用户可藉由读取闪存控制寄存器 **FC_STA** 的 CMDULK 位来判定是否解锁成功，当此位被设定为 1 时代表闪存控制器已经成功解锁。解锁流程如下所示：

- 检查 **FC_STA** 的 CMDULK 为 0，确认闪存控制器为锁定状态。
- 对 **FC_UL** 填入第一组密钥 0x00112233。
- 对 **FC_UL** 填入第二组密钥 0x55667788。
- 检查 **FC_STA** 的 CMDULK 为 1，确认闪存控制器解锁成功。

当使用者完成闪存的编程与擦除流程时，建议用户重新对 **FC_UL** 填入 0x00000000 将闪存控制器重新上锁，藉此避免闪存数据被意外擦除或是覆盖。

5. 4. 4 闪存保护

闪存的保护逻辑可防止程序区内的数据被读出或是被误修改，依据功能可区分为用户代码读出保护(UCRP)、读保护(RP)与写保护(WP)。信息区依据不同区块有不同程度的保护，主要目的为防止系统校准信息被修改或是程序区的保护设定被修改，进而影响系统运行。

5. 4. 4. 1 信息区保护

信息区可区分为 8 个页，每一页大小为 512Byte，每一页分别受到不同程度的保护。

- 页 0：存放使用者代码读出保护设定，此页仅能读取无法编程，若对此页进行页擦除则视为清除使用者代码读出保护设定，此时会将使用者代码读出保护区内的数据全部清除。开启使用者代码读出保护需藉由特定流程开启，无法藉由编程信息区页 0 开启保护功能。
- 页 1：存放读保护设定。读保护需藉由特定流程开启，无法藉由编程信息区页 1 开启保护功能。有关读保护说明请参阅后续章节描述。
- 页 2：存放写保护设定。若对此页进行擦除则视为清除写保护设定，清除写保护设定时仍

会保留保护区内的数据。开启写保护需藉由特定流程开启，无法藉由编程信息区页 2 开启保护功能。此外，此页也存放硬件映射设定、系统欠压复位设定与 IWDT 设定，有关寄存器说明，请参阅用户配置字。

- 页 3：此页不受到任何保护，可存放使用者数据。
- 页 4～ 页 7：存放系统校准信息，此区不开放给使用者修改，但可读取此区的数据。此区的校准信息会在出厂前针对每一颗芯片的特性进行配置，而这些校准信息会在系统开机时自动加载。

信息区页码	描述	位置	数据内容
页 0	UCRP 保护低 32 位	0x1FFF_E000 ~ 0x1FFF_E003	使用者定义
	UCRP 保护高 32 位	0x1FFF_E004 ~ 0x1FFF_E007	使用者定义 (依据系统资源分配而定)
	保留	0x1FFF_E008 ~ 0x1FFF_E1FF	保留
页 1	RP 保护	0x1FFF_E200 ~ 0x1FFF_E203	使用者定义
	保留	0x1FFF_E204 ~ 0x1FFF_E3FF	保留
页 2	WP 保护低 32 位	0x1FFF_E400 ~ 0x1FFF_E403	使用者定义
	WP 保护高 32 位	0x1FFF_E404 ~ 0x1FFF_E407	使用者定义 (依据系统资源分配而定)
	主闪存重映射地址选择	0x1FFF_E408	使用者定义
	软件重映射选项	0x1FFF_E409	使用者定义
	硬件重映射选项	0x1FFF_E40A	使用者定义
	保留	0x1FFF_E40B	保留
	欠压复位电压区间选择	0x1FFF_E40C	使用者定义
	欠压复位开启选项	0x1FFF_E40D	使用者定义
	IWDT 开启选项	0x1FFF_E40E	使用者定义
	保留	0x1FFF_E40F ~ 0x1FFF_E5FF	保留
页 3	保留	0x1FFF_E600 ~ 0x1FFF_E7FF	使用者定义
页 4～ 页 7	系统配置字	0x1FFF_E800 ~ 0x1FFF_EFFF	芯片出场前配置

5. 4. 4. 2 程序区保护

程序区的保护依据功能可分为用户代码读出保护(UCRP)、读保护(RP)与写保护(WP)，除了读保护以外的保护都支持以 Sector(4 个页)为单位进行配置，最多支持 2 组区间保护。在设定保护时若将保护设定数值设定为 0，则代表相对应的 Sector 受到保护，反之则代表该 Sector 不受到保护。举例来说，保护设定为 0x000000FF_FFE00000 代表仅有 Sector 21 至 Sector 39 共 19 个 Sector 不受到保护，其余的 45 个 Sector 都受到保护。

所有的保护设定在配置完毕以后都不会立反映，用户需藉由配置字重载流程、重新上电或是从 STANDBY0 模式、STANDBY1 模式或 SHUTDOWN 模式唤醒后才会反映新的保护设定。

程序区的 3 种保护功能分别如下所述：

使用者代码读出保护(UCRP)

UCRP 的主要功能为防止保护区内的数据被读出与修改，因此保护区内禁止任何人以读取”数据”的方式进行读取但允许读取指令执行，同时为了防止保护区内的信息被覆盖，因此保护区内禁止编程与擦除。 UCRP 的设定主要存放于信息区页 0，使用者仅能藉由特定流程来配置 UCRP，无法藉由编程信息区页 0 来开启保护，当保护已经开启后用户仍可藉由配置保护设定的流程增加保护的区域，但是无法减少保护的区域。若使用者需要清除保护设定时，则须藉由擦除信息区页 0 来移除保护设定，须注意的是清除 UCRP 设定时，会一并将保护区内的数据擦除，避免原先受到保护的数据被读出，但原先未受到 UCRP 保护的 Sector 内的数据仍会被保留，同时 UCRP 保护设定会在信息区页 0 擦除完毕后，立即更新为未保护的状态。 开启 UCRP 的流程如下所示，配置流程结束后保护设定并不会立即反映，用户需藉由配置字重载、重新上电或是从 STANDBY0 模式、STANDBY1 模式或 SHUTDOWN 模式后才会反映新的保护设定：

- 解锁闪存控制器。(请参阅闪存操作解锁)
- 对 **FC_UPL** 填入 Sector 0 至 Sector 31 的保护设定，相对应的位设定为 0 代表该页受到保护，若设定为 1 代表该页不受到保护。若未设定 **FC_UPL**，则默认 Sector 0 至 Sector 31 不开启保护。
- 对 **FC_UPH** 填入 Sector 32 至 Sector 63 的保护设定，相对应的位设定为 0 代表该页受到保护，若设定为 1 代表该页不受到保护。若未设定 **FC_UPH**，则默认 Sector 32 至 Sector 63 不开启保护。
- 对 **FC_CMD** 填入编程指令 0xF5 开启配置 UCRP 流程。
- 于流程结束后重新将闪存控制器上锁。(请参阅闪存操作解锁)
- 藉由配置字重载、重新上电或是从 STANDBY0 模式、STANDBY1 模式或 SHUTDOWN 模式唤醒来反映新的保护设定。

读保护(RP)

读保护的主要功能为防止程序区被 ISP、Debug Port 与 Bootrom 读出与修改，但保护区内的程序仍可读取与修改保护区内的数据。读保护共分为 3 个等级，分别如下所示：

- Lv0：不保护，保护设定数值为 0xAAAA_AAAA。可藉由擦除信息区页 1 将保护等级提升至 Lv1 保护。用户可藉由读保护设定流程将读保护等级提升至 Lv1 或是 Lv2，在提升保护

等级的过程中，程序区内所储存的信息仍会保留。

- Lv1：当保护设定不为 0xAAAA_AAAA 或 0xCCCC_CCCC 时开启此保护模式。在此模式下仅有程序区的程序才可以对程序区进行读取与修改，但存放保护设定的信息区则不受限制。可藉由保护设定流程将保护等级降回 Lv0 保护，在设定过程中会触发程序区全清除。由于程序区已被清除，因此会同时清除使用者代码读出保护、写保护设定与存放于信息区页 3 内的使用者数据，而在设定完毕以后，仅能藉由重新上电来触发更新保护的留程。当使用者确认不会再藉由 Debug Port 与 Bootrom 修改闪存程序区的内容时，可藉由读保护设定流程将读保护等级提升至 Lv2，在提升保护等级的过程中，程序区内所储存的信息仍会保留。在 Lv1 读保护下，若对信息区页 1 执行清除时仅会清除信息区页 1，程序区内的信息仍会保留。
- Lv2：保护设定数值为 0xCCCC_CCCC 时开启此保护模式。开启此模式后无法再将保护降回 Lv1 保护或是 Lv0 保护，因此在使用上需特别小心。开启保护后会断开 Debug Port，同时系统强制映射在程序区，因此用户无法在藉由 Debug Port 与 Bootrom 重新修改程序区的内容，但用户仍可藉由程序区内事先写好的更新流程来修改程序区的内容。

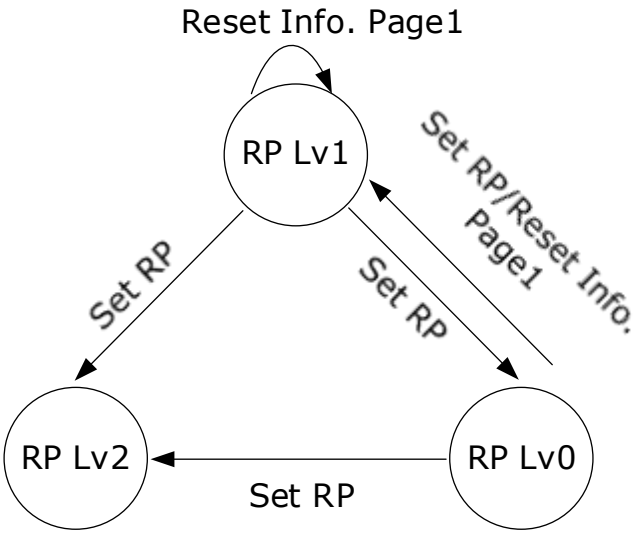


图 5-1 读保护等级转换示意图

读保护的配置流程如下所示，配置流程结束后保护设定并不会立即反映，用户需藉由配置字重载、重新上电或是从 STANDBY0 模式、STANDBY1 模式或 SHUTDOWN 模式唤醒后才会反映新的保护设定：

- 解锁闪存控制器。(请参阅闪存操作解锁)
- 对 **FC_UPL** 填入保护设定。填入数值为 0xCCCC_CCCC 代表设定读保护等级为 Lv2；填入数值为 0xAAAA_AAAA 代表设定读保护等级为 Lv0，若此时读保护不为 Lv0 则会触发程序区全擦除的流程。
- 对 **FC_CMD** 填入编程指令 0xF6 开启配置 RP 流程。
- 于流程结束后重新将闪存控制器上锁。(请参阅闪存操作解锁)
- 藉由配置字重载、重新上电或是从 STANDBY0 模式、STANDBY1 模式或 SHUTDOWN

模式唤醒来反映新的保护设定。

写保护(WP)

写保护的主要目的为防止程序区内的数据被误擦除或是被覆盖，因此受到保护的区域会禁止进行编程与擦除，但保护区内的数据仍可被读取。

写保护的设定存放于信息区页 2，使用者仅能藉由特定流程来配置写保护，无法藉由编程信息区页 2 来开启保护，当用需要增加保护的区域时，可藉由配置保护的流程增加写保护的区域，但无法减少写保护的区域。当使用者对信息区页 2 进行擦除时视为清除写保护，在清除的过程中原先保护区内的数据仍会被保留。同时 WP 保护设定会在信息区页 2 擦除完毕后，立即更新为未保护的状态。

开启写保护流程如下所示，配置流程结束后保护设定并不会立即反映，用户需藉由配置字重载、重新上电或是从 STANDBY0 模式、STANDBY1 模式或 SHUTDOWN 模式唤醒后才会反映新的保护设定：

- 解锁闪存控制器。(请参阅闪存操作解锁)
- 对 **FC_UPL** 填入 Sector 0 至 Sector 31 的保护设定，相对应的位设定为 0 代表该页受到保护，若设定为 1 代表该页不受到保护。若未设定 **FC_UPL**，则默认 Sector 0 至 Sector 31 不开启保护。
- 对 **FC_UPH** 填入 Sector 32 至 Sector 63 的保护设定，相对应的位设定为 0 代表该页受到保护，若设定为 1 代表该页不受到保护。若未设定 **FC_UPH**，则默认 Sector 32 至 Sector 63 不开启保护。
- 对 **FC_CMD** 填入编程指令 0xF7 开启配置 WP 流程。
- 于流程结束后重新将闪存控制器上锁。(请参阅闪存操作解锁)
- 藉由配置字重载、重新上电或是从 STANDBY0 模式、STANDBY1 模式或 SHUTDOWN 模式唤醒来反映新的保护设定。

综合上述保护的描述，保护的权限整理如下表所示：

	映射在程序区		映射在 Bootrom/SRAM、SWD 界面		
读保护等级	**Lv0/Lv1**	**Lv2**	**Lv0**	**Lv1**	**Lv2**
程序区(闪存控制器解锁)	R/W	R/W	R/W	X	X
程序区(闪存控制器未解锁)	R	R	R	X	X
程序区(WP Sector)	R	R	R	X	X
程序区(UCRP Sector)	Fetch	Fetch	Fetch	X	X
信息区 - UCRP 设定	R/W	R/W	R/W	R/W	X
信息区 - RP 设定	R/W	R	R/W	R/W	X
信息区 - WP 设定	R/W	R/W	R/W	R/W	X

5. 4. 5 闪存重映射

当用户设定从闪存的程序区开启系统程序时，可进一步设定闪存的内部映射。内部映射是以 8 个页(4 KByte)为基准进行映射，可将程序区分为 32 个区块，使用者可藉由设定 SYSCFG 寄存器内 SYSCFG_REMAP(0x0)的 EFBASE 来决定要映射至哪一个区块开始执行。设定流程如下，以映射至程序区的第 3 个区块为例。

- 设定 SYSCFG_REMAP. EFBASE 的数值为 0x2(代表映射至第 3 个 4K Byte)。
- 设定 SYSCFG_REMAP. MEMMOD 的数值为 0x0。
- 设定 SYSCFG_REMAP. REMAP 的数值为 0x1。
- 执行 NVIC_SystemReset()复位函数复位 CPU。
- 当 CPU 被重置以后，随即会从程序区位在 0x0800_2000 的位置开始读取(CPU 仍然是从 0x0000_0000 的位置开始读取)。

闪存程序区的内部映射只有在读取闪存的数据时才会进行映射，当对闪存进行编程与擦除时不会受到内部映射影响。此外若使用闪存的实体位置来读取数据时，同样不会受到内部映射的影响。

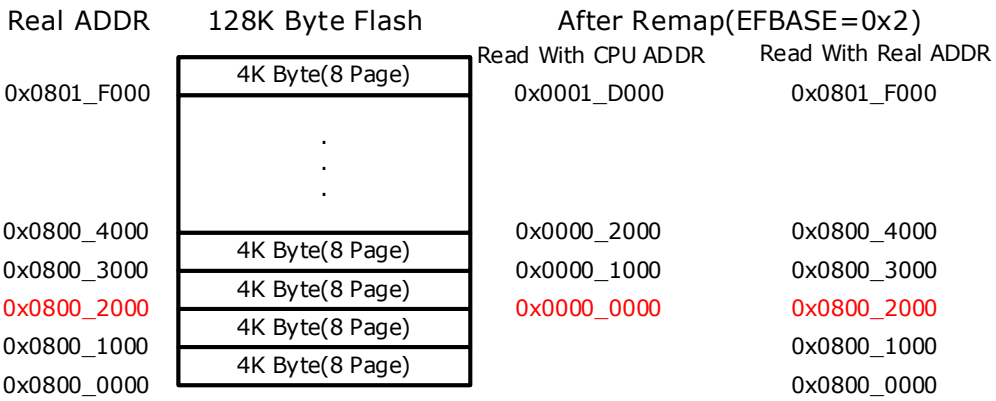


图 5-2 闪存映射后读取位置对照图

5. 4. 6 配置字重载

当用户配置保护以后，可藉由闪存控制器重启配置字重载流程，藉此反映新的保护设定。须注意的是重启配置字重载流程时会一并重置系统，让程序重新运行。当程序区的程序重新运行时，可检查 Reset and Clock Control Unit (RCU)内 **RCU_RSTF** 的 OBLRSTF 是否被设定为 1 来确认系统是否有被触发过配置字重载流程。配置字重载的流程如下：

- 解锁闪存控制器。(请参阅闪存操作解锁)
- 对 **FC_CTL** 的 OPRLD 填入 0xE 开启加载流程。

5.4.7 闪存编程

闪存的编程仅能通过闪存控制器进行，编程是以 32 位(Bit)为单位进行，编程一组 32 位的数据共需 25us。闪存编程的流程如下：

- 解锁闪存控制器。(请参阅闪存操作解锁)
- 对 **FC_PA** 填入欲编程的位置以及编程的次数。总编程的次数为设定的编程次数+1，每次编程完毕后编程位置会自动累加，最多可连续编程 128 次而不必重新填入新的编程位置。
- 若需要对信息区进行编程时，需设定 **FC_PA** 位于第 24 位的 IFREN 为 1，否则需设定此位为 0。
- 对 **FC_PLD** 填入欲编程的 32 位数据。
- 对 **FC_CMD** 填入编程指令 0xF0 进行闪存编程。在闪存进行编程的期间，会暂时停住 CPU，避免系统误动作。
- 当编程完毕以后会自动清除 **FC_CMD** 内的指令，但仍会保留 **FC_PLD** 内的编程数据。当编程的次数已满足 **FC_PA**.PCNT 所设定的次数时，会自动清除 **FC_PA**，否则会自动将目前的位置加上 4。
- 重复对 **FC_PLD** 与 **FC_CMD** 填入编程数据与编程指令直到满足编程次数。
- 于流程结束后重新将闪存控制器上锁。(请参阅闪存操作解锁)

当用户需要配置置 Bootrom Bypass 时，可参阅以下流程。其余用户配置字的配置方式也可参考以下流程。

- 解锁闪存控制器。(请参阅闪存操作解锁)
- 对 **FC_PA** 填入 0x408 。
- 设定 **FC_PA** 位于第 24 位的 IFREN 为 1，选择编程信息区。
- 对 **FC_PLD** 填入 0xFFA5_FFFF。需要注意的是在编程前，必须确定信息区 0x408 的数据为 0xFFFF_FFFF，否则该位置的编程结果可能会与预期不符。
- 对 **FC_CMD** 填入编程指令 0xF0 进行闪存编程。在闪存进行编程的期间，会暂时停住 CPU，避免系统误动作。
- 于流程结束后重新将闪存控制器上锁。(请参阅闪存操作解锁)

5.4.8 闪存擦除

闪存的擦除仅能通过闪存控制器进行，闪存控制器支持下列 3 种擦除模式：

页擦除

以页(512 Byte)为单位进行擦除，每一页擦除耗时约 2ms。擦除留程如下：

- 解锁闪存控制器。(请参阅闪存操作解锁)
- 对 **FC_PA** 填入欲擦除的页面位置。
- 若需要对信息区进行擦除时，需设定 **FC_PA** 位于第 24 位的 IFREN 为 1，否则需设定此位为 0。
- 对 **FC_CMD** 填入编程指令 0xF1 进行闪存编程。在闪存编程期间，会暂时停住 CPU，避

免系统误动作。

- 当编程完毕以后会自动清除 **FC_CMD** 内的指令。
- 于流程结束后重新将闪存控制器上锁。(请参阅闪存操作解锁)

Sector 擦除

以 4 个页(2K Byte)为单位进行擦除，每一页擦除耗时约 2ms。闪存依据芯片型号，最大支持 64 个 Sector，使用者仅能选择要擦除闪存的哪一个 Sector，无法任意挑选连续的 4 个页进行擦除。擦除留程如下：

- 解锁闪存控制器。(请参阅闪存操作解锁)
- 对 **FC_PA** 填入欲擦除的 Sector 位置。
- 信息区不支持 Sector 擦除，因此 FC_PA 位于第 24 位的 IFREN 必须设定为 0。
- 对 **FC_CMD** 填入编程指令 0xF2 进行闪存编程。在闪存编程期间，会暂时停住 CPU，避免系统误动作。
- 当编程完毕以后会自动清除 **FC_CMD** 内的指令。
- 于流程结束后重新将闪存控制器上锁。(请参阅闪存操作解锁)

全擦除

闪存全擦除可依据闪存保护是否开启，区分为下列 3 种模式：

- 未开启 UCRP、WP 保护，且 RP 等级为 Lv0 时，会将闪存程序区全部擦除，擦除约耗时 8ms。
- 开启 UCRP 或 WP 保护，但 RP 等级为 Lv0 时，会将闪存程序区内未受到 UCRP 与 WP 保护的 Sector 擦除，每擦除一个 Sector 需耗时 2ms。
- 读保护等级不为 Lv0 时，不再支持闪存全擦除的功能，避免因闪存内的程序误操作而将闪存程序区的数据完全擦除。

闪存全擦除的留程如下：

- 解锁闪存控制器。(请参阅闪存操作解锁)
- 对 **FC_PA** 填入 0x0000_0000。
- 对 **FC_CMD** 填入编程指令 0xF3 进行闪存全擦除。在闪存编程期间，会暂时停住 CPU，避免系统误动作。
- 当编程完毕以后会自动清除 **FC_CMD** 内的指令。
- 于流程结束后重新将闪存控制器上锁。(请参阅闪存操作解锁)

5.5 特殊功能寄存器

5.5.1 寄存器列表

FC 寄存器列表			
名称	偏移地址	类型	描述
FC_CMD	0000_H	R/W	闪存命令寄存器
FC_PA	0004_H	R/W	闪存编程地址寄存器
FC_PLD	0008_H	R/W	闪存编程数据低位
FC_CTL	0010_H	R/W	闪存控制寄存器
FC_STA	0014_H	R	闪存状态寄存器
FC_UPL	0020_H	R/W	闪存保护更新低位寄存器
FC_UPH	0024_H	R/W	闪存保护更新高位寄存器
FC_UL	0028_H	R/W	闪存控制解锁寄存器
FC_UCRPL	0040_H	R	闪存配置字用户代码读出保护设定低位寄存器
FC_UCRPH	0044_H	R	闪存配置字用户代码读出保护设定高位寄存器
FC_RP	0048_H	R	闪存配置字读保护设定寄存器
FC_WPL	$004C_H$	R	闪存配置字写保护设定低位寄存器
FC_WPH	0050_H	R	闪存配置字写保护设定高位寄存器
FC_REMAP	0054_H	R	闪存配置字硬件映射寄存器

5. 5. 2 寄存器描述

5. 5. 2. 1 闪存命令寄存器 (FC_CMD)

闪存命令寄存器 (FC_CMD)																													
偏移地址：0x00																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																								CMD <7:0>							

—	Bits 31-8	—	—
CMD	Bits 7-0	R/W	**闪存命令** 藉由配置此寄存器对闪存执行编程与擦除。 当程序完成时，闪存命令将自动被清除。 0xF0: 闪存编程。 0xF1: 闪存页擦除 (1 Page Erase) 。 0xF2: 闪存Sector擦除 (4 Page Erase) 。 0xF3: 闪存全擦除。 0xF5: 配置用户代码读出保护 (UCRP)。 0xF6: 配置读保护 (RP) 。 0xF7: 配置写保护(WP) 。

5. 5. 2. 2 闪存编程地址寄存器 (FC_PA)

闪存编程地址寄存器 (FC_PA)																															
偏移地址：0x04																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PCNT<6:0>							IFREN	PA <23:0>																							

PCNT	Bits 31-25	R/W	**编程计数器** 提供(PCNT + 1)次连续编程，最多可提供128次连续编程，在编程期间，使用者仅需填写FC_PLD与FC_CMD即可，编程完毕后自动将PA位置加4。
IFREN	Bit 24	R/W	**信息区块始能** 0：禁用信息区访问。 1：启用信息区访问。
PA	Bits 23-0	R/W	**编程/擦除地址** 闪存编程 ：PA[16:2]为Word地址。 闪存页擦除: PA[16:9]为页地址，PA[8:0]可忽略。 闪存Sector擦除：PA[16:11]为Sector地址，PA[10:0]可忽略。 闪存全擦除:PA[16:0]不需配置，可忽略。

5. 5. 2. 3 闪存编程数据低位寄存器(FC_PLD)

闪存编程数据低位寄存器 (FC_PLD)																															
偏移地址：0x08																															
复位值：0xFFFF FFFF																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PLD <31:0>																															

PLD	Bits 31-0	R/W	**闪存编程数据低 32 位** 闪存 32 位编程数据。

5. 5. 2. 4 闪存控制寄存器 (FC_CTL)

闪存控制寄存器 (FC_CTL)																													
偏移地址：0x10																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																					FCSLEEP		PFEN	OPRLD <3:0>						WAIT<1:0>

—	Bits 31-11	—	—
FCSLEEP	Bits 10	R/W	**停止模式开关** 当系统进入STOP模式时，可配置FCSLEEP为1，让闪存进入停止模式。 0x0: 关闭停止模式。 0x1: 开启停止模式。
—	Bits 9	—	—
PFEN	Bit 8	R/W	**闪存预取开关** 当闪存读取等待周期不为0时，可配置PFEN为1开启闪存预取功能。需注意信息区不支持预取功能，因此在读取信息区时须先关闭预取功能。 0x0: 关闭闪存预取。 0x1: 开启闪存预取。
OPRLD	Bits 7-4	R/W	**配置字载入密钥** 填入固定值0xE触发配置字重载，重载配置字后会触发系统复位。
—	Bits 3-2	—	—
WAIT	Bits 1-0	R/W	**闪存读取等待周期** 闪存读取时间固定40ns，藉由配置此寄存器，确保有足够的时间读取闪存。当系统时钟周期大于40ns时，可配置为0；若系统时钟周期小于40ns时，则配置此寄存器确保读取时间大于40ns。 0x0: 系统频率≤24Mhz。 0x1: 系统频率>24Mhz且系统频率≤48Mhz。 0x2: 系统频率>48Mhz且系统频率≤

			72Mhz。 0x3: 系统频率>72Mhz。

5. 5. 2. 5 闪存状态寄存器 (FC_STA)

闪存状态寄存器 (FC_STA)

偏移地址：0x14

复位值：0x0000 0009

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																				OPRLDLOOP <3:0>				PRTAREARD	PRTAREAWR	CMDULK	FCBUSY	WPDIS	RPLV <1:0>		UCRPDIS

—	Bits 31-12	—	—
OPRLDLOOP	Bit 11-8	R	**Option Byte重载次数** 纪录开机后系统加载Option Byte时，总共重载了几次以后才读取成功，最大计数为15次。
PRTAREARD	Bit 7	R/C_W1	**保护区读取状态** 纪录保护区是否遭到非法读取操作。 0x0: 保护区未被进行读取操作。 0x1: 发生程序区读取保护区数据的不合法动作。
PRTAREAWR	Bit 6	R/C_W1	**保护区操作状态** 纪录保护区是否遭到非法Program/Erase操作。 0x0: 保护区未被进行Program/Erase操作。 0x1: 发生程序区操作保护区的不合法动作。
CMDULK	Bit 5	R	**FC_CMD 寄存器保护状态** 0x0: FC_CMD 寄存器锁定. 0x1: FC_CMD 寄存器已解锁.
FCBUSY	Bit 4	R	**闪存控制器忙碌状态** 0x0: 闪存控制器闲置 0x1: 闪存控制器忙碌中
WPDIS	Bit 3	R	**程序区写保护(WP)保护状态** 0x0: 保护功能已开启 0x1: 保护功能未开启
RPLV	Bit 2-1	R	**程序区读保护(RP)保护状态** 0x0: 读保护等级为 Lv0 0x1: 读保护等级为 Lv1

			0x2: 读保护等级为 Lv2
UCRPDIS	Bit 0	R	**程序区用户代码读出保护(UCRP)保护状态** 0x0: 保护功能已开启 0x1: 保护功能未开启

5. 5. 2. 6 闪存保护更新低位寄存器 (FC_UPL)

闪存保护更新低位寄存器 (FC_UPL)																														
偏移地址：0x20																														
复位值：0xFFFF FFFF																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UPL <31:0>																														

UPL	Bits 31-0	R/W	**更新保护设定低 32 位** 更新程序区 Sector 31 ~ Sector 0 的保护设定 在配置 UCRP 与 WP 时，建议不要配置超过 2 组以上的不连续区间。

5. 5. 2. 7 闪存保护更新高位寄存器 (FC_UPH)

闪存保护更新高位寄存器 (FC_UPH)																														
偏移地址：0x24																														
复位值：0xFFFF FFFF																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UPH <31:0>																														

UPH	Bits 31-0	R/W	**更新保护设定高 32 位** 更新程序区 Sector 63 ~ Sector 32 的保护设定 在配置 UCRP 与 WP 时，建议不要配置超过 2 组以上的不连续区间。

5. 5. 2. 8 闪存控制解锁寄存器 (FC_UL)

闪存控制解锁寄存器 (FC_UL)																															
偏移地址：0x28																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UL <31:0>																															

UL	Bits 31-0	R/W	**闪存控制解锁密钥** 连续输入 2 组密钥解锁 FC_CMD 寄存器(第一组密钥为 0x00112233，第二组密钥为 0x55667788)。 输入错误的密钥或是输入第 3 组密钥时，FC_CMD 寄存器会重新锁上。

5. 5. 2. 9 闪存配置字用户代码读出保护设定低位寄存器 (FC_UCRPL)

闪存配置字用户代码读出保护设定低位寄存器 (FC_UCRPL)																															
偏移地址：0x40																															
复位值：0xFFFF FFFF																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UCRPL <31:0>																															

UCRPL	Bits 31-0	R	**闪存配置字用户代码读出保护设定低 32 位** 程序区 Sector 31 ~ Sector 0 的使用者代码读出保护设定，受保护的 Sector 其相对应的 Bit 为 0。

5. 5. 2. 10 闪存配置字用户代码读出保护设定高位寄存器 (FC_UCRPH)

闪存配置字用户代码读出保护设定高位寄存器 (FC_UCRPH)																															
偏移地址：0x44																															
复位值：0xFFFF FFFF																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UCRPH <31:0>																															

UCRPH	Bits 31-0	R	**闪存配置字用户代码读出保护设定高 32 位** 程序区 Sector 63 ~ Sector 32 的使用者代码读出保护设定，受保护的 Sector 其相对应的 Bit 为 0。

5. 5. 2. 11 闪存配置字读保护设定寄存器 (FC_RP)

闪存配置字读保护设定寄存器 (FC_RP)																															
偏移地址：0x48																															
复位值：0xAAAA AAAA																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RP <31:0>																															

RP	Bits 31-0	R	**闪存配置字读保护设定** 0xAAAA AAAA: 读保护等级为 Lv0。 0xCCCC CCCC: 读保护等级为 Lv2。 else: 读保护等级为 Lv1。

5. 5. 2. 12 闪存配置字写保护设定低位寄存器 (FC_WPL)

闪存配置字写保护设定低位寄存器 (FC_WPL)																															
偏移地址：0x4C																															
复位值：0xFFFF FFFF																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WPL <31:0>																															

WPL	Bits 31-0	R	**闪存配置字写保护设定低32位** 程序区 Sector 31 ~ Sector 0 的写保护设定，受保护的 Sector 其相对应的 Bit 为 0。

5. 5. 2. 13 闪存配置字写保护设定高位寄存器 (FC_WPH)

闪存配置字写保护设定高位寄存器 (FC_WPH)																															
偏移地址：0x50																															
复位值：0xFFFF FFFF																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WPH <31:0>																															

WPH	Bits 31-0	R	**闪存配置字写保护设定高32位** 程序区 Sector 63 ~ Sector 32 的写保护设定，受保护的 Sector 其相对应的 Bit 为 0。

5. 5. 2. 14 闪存配置字硬件映射寄存器 (FC_REMAP)

闪存配置字硬件映射寄存器(FC_REMAP)																													
偏移地址：0x54																													
复位值：0xFFA5 FFFF																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								BOOTBYP <7:0>								SELECT <7:0>								SEFBASE <7:0>							

—	Bits 31-24	—	—
BOOTBYP	Bit 23-16	R	**软件重映射选项** BOOTBYP 决定系统开机后是否执行 Bootrom 流程。 0xA5: 开机时跳过 Bootrom，并映射到主闪存开始执行。 其他: 开机时从 Bootrom 开始执行。
SELECT	Bit 15-8	R	**软件重映射选项** SREMAP 数值告知 Bootrom 流程结束后的映射位置。 0x00: 闪存映射至主存储器。 0x01: Bootrom 映射至主存储器。 0x02: SRAM 映射至主存储器。
SEFBASE	Bit 7-0	R	**闪存映射起始地址选择** 闪存映射至主存储器时，可以 4KB 为单位配置闪存起始位置。当 BOOTBYP 为 0xA5 时，系统依据 SEFBASE 数值映射至闪存相对应 4KB 的位置执行；当 BOOTBYP 不为 0xA5 时，SEFBASE 数值影响 Bootrom 流程结束后映射至闪存的位置。 举例来说，当 SEFBASE 数值为 1 时，代表主存储器 0x0000 0000 的位置对应到闪存第二个 4KB 的位置。

第6章 通用 I/Os (GPIO)

6.1 概述

每个通用 I/O 端口具有三个 32 位配置寄存器(**GPIOx_MOD**、**GPIOx_OT**、**GPIOx_PUD**)、两个 32 位数据寄存器(**GPIOx_ID** 和 **GPIOx_OD**)和一个 32 位置位/复位寄存器(**GPIOx_BSBR**)。此外，所有 GPIO 都具有一个 32 位锁定寄存器(**GPIOx_LCK**)和两个 32 位复用功能寄存器(**GPIOx_AFH** 和 **GPIOx_AFL**)。

6.2 特性

- 输出状态：带有上拉或下拉的推挽输出或开漏输出
- 从输出数据寄存器(**GPIOx_OD**)或外围设备(复用功能输出)输出数据
- 可选的每个 IO 端口的驱动电流
- 输入状态：浮空，上拉/下拉，模拟输入
- 输入数据到输入数据寄存器 (**GPIOx_ID**) 或外围设备(复用功能输入)
- 置位和复位寄存器(**GPIOx_ BSBR**)，对 **GPIOx_OD** 具有按位操作权限
- 锁定机制(**GPIOx_LCK**)，可冻结 I/O 配置
- 模拟功能
- 快速翻转，每次翻转最快只需要两个时钟周期
- 允许 GPIO 端口和外设引脚的高灵活性复用

6.3 结构图

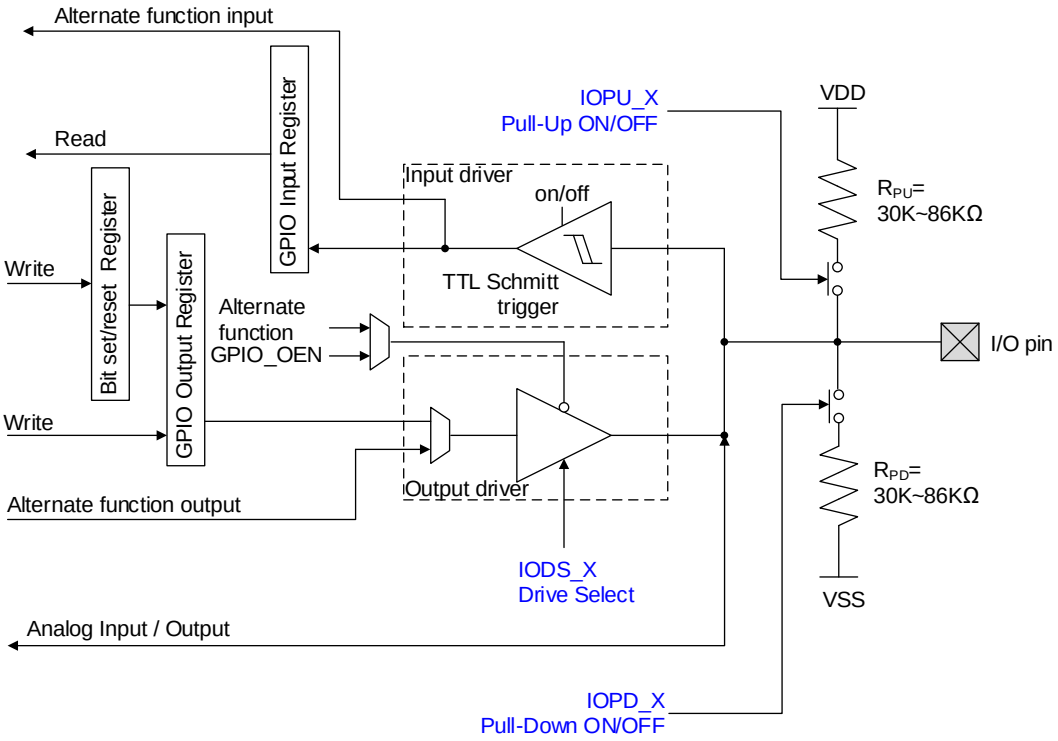


图 6-1 I/O 端口位的基本结构图

6.4 功能描述

根据数据表中列出的每个 I/O 端口的具体硬件特性，通用 I/O(GPIO)端口的每个端口位可以通过软件以几种模式单独配置：

- 悬空输入
- 上拉输入
- 下拉输入
- 模拟输入
- 具有上拉或下拉能力的开漏输出
- 具有上拉或下拉能力的推挽输出
- 复用功能且具有上拉或下拉能力的开漏输出
- 复用功能且具有上拉或下拉能力的推挽输出

每个 I/O 端口位可以自由编程，然而 I/O 端口寄存器可按 32 位字、半字或字节访问。**GPIOx_BSBR** 寄存器的用途是对 GPIOx_OD 寄存器的每一个位进行个别配置。这种情况下，在读和写访问之间产生 IRQ 时也不会有风险。

MOD[1:0]	OT	PUPD[1:0]	I/O 配置
00	X	00	GP 输入+悬空
00	X	01	GP 输入+上拉
00	X	10	GP 输入+下拉
00	X	11	Reserved
01	0	00	GP 输出+推挽
01	0	01	GP 输出+推挽+上拉
01	0	10	GP 输出+推挽+下拉
01	0	11	Reserved
01	1	00	GP 输出+开漏
01	1	01	GP 输出+开漏+上拉
01	1	10	GP 输出+开漏+下拉
01	1	11	Reserved
10	0	00	AF 复用+推挽
10	0	01	AF 复用+推挽+上拉
10	0	10	AF 复用+推挽+下拉
10	0	11	Reserved
10	1	00	AF 复用+开漏
10	1	01	AF 复用+开漏+上拉
10	1	10	AF 复用+开漏+下拉
10	1	11	Reserved
11	X	00	模拟输入/输出

11	X	01	Reserved
11	X	10	Reserved
11	X	11	Reserved

表 6-1 GPIO 配置表

6.4.1 通用 I/O (GPIO)

复位期间和刚复位后，复位功能未开启且所有的 I/O 端口被配置为模拟功能。

当作为输出配置时，写到输出数据寄存器 (**GPIOx_OD**) 的值输出到相应的引脚上。可以以推挽模式或开漏模式 (仅低电平被驱动，高电平表现为高阻) 使用输出驱动器。

输入数据寄存器 (**GPIOx_ID**) 在每个 AHB 时钟周期捕捉 I/O 引脚上的数据。所有 GPIO 引脚都有一个内部弱上拉和弱下拉电阻，它们被激活或断开有赖 **GPIOx_PUD** 寄存器的值。

6.4.2 I/O 端口复用功能多任务与映射

每个 I/O 端口都同时通过多任务器连结至内部各个外设模块，并在同一时间只允许 1 个外设模块通过复用功能(AF)连结至 I/O 端口上。通过这种方式，外设模块将不会在同一个 I/O 端口上产生冲突。

每个 I/O 端口拥有高达 9 个复用功能 (AF0 ~ AF9)，可通过配置 **GPIOx_AFL** 与 **GPIOx_AFH** 寄存器来选用。除了这种灵活的 I/O 多路复用架构之外，每个外设还具有复用功能映射到不同的 I/O 引脚，以优化可用的外设数量以及较小的芯片封装。

要在给定的配置中使用 I/O，用户必须执行以下操作：

- 除错功能：在系统复位后，这些引脚会被配置为复用功能，并能够立即的让调试主机使用。
- 通用 I/O：在 **GPIOx_MOD** 寄存器中配置所需的 I/O 为输出、输入或模拟功能。
- 外设复用功能：
  - 将想要的 I/O 通过 **GPIOx_AFL** 或 **GPIOx_AFH** 寄存器配置 AFx
  - 选择一个型态，通过 **GPIOx_PUD** 与 **GPIOx_OT** 寄存器来选择上拉/下拉、推挽/开漏。
  - 通过 **GPIOx_MOD** 寄存器来配置想要的 I/O 为复用功能。
- 附加功能：
  - 对于 ADC、CMP，通过 **GPIOx_MOD** 寄存器来配置想要的 I/O 为模拟模式，并配置想要的功能在 ADC、CMP 寄存器。如上所述，对于附加功能 (例如 ADC、CMP)，输出是由相应外设控制，在启用附加功能输出前必须谨慎选择 I/O 端口模拟功能，
  - 对于 RTC 或 WKUPx，在 RTC 或 SYSCFG 内配置相关的寄存器。这些功能配置优先于标准通用 I/O 寄存器中的配置。

6.4.3 I/O 端口控制寄存器

每个 GPIO 端口都有 3 个 32 位的控制寄存器 (**GPIOx_MOD**、**GPIOx_OT**、**GPIOx_PUD**) 用来配置多达 16 个 I/O 端口。**GPIOx_MOD** 寄存器用来选择 I/O 模式 (如输入、输出、复用或模拟)。**GPIOx_OT** 寄存器用来选择输出类型 (如推挽或开漏)。**GPIOx_PUD** 寄存器用来选择上拉/下拉方式。

6.4.4 I/O 端口数据寄存器

每个 GPIO 端口有两个 16 位数据寄存器：输入和输出数据寄存器 (**GPIOx_ID** 和 **GPIOx_OD**)。**GPIOx_OD** 寄存器用于存储输出数据，其可进行读/写访问。从 I/O 口的输入数据存放在 **GPIOx_ID** 寄存器中，该寄存器为只读寄存器。

6.4.5 I/O 数据位操作

端口置位复位寄存器 (**GPIOx_BSBR**) 是一个 32 位的寄存器，其允许应用对输出数据寄存器 (**GPIOx_OD**) 的每个位进行置位和复位操作。端口置位和复位寄存器的有效数据宽度是 **GPIOx_OD** 有效数据宽度的两倍。

对于 **GPIOx_OD** 中的每个位，在 **GPIOx_BSBR** 中有两个位与之对应：BS(i) 和 BR(i)。当对位 BS(i) 写 1 时则设置相应的 OD(i) 位。当对 BR(i) 写 1 时，则复位相应的 OD(i) 位。对 **GPIOx_BSBR** 中的任意位写 0 都不会影响 **GPIOx_OD** 寄存器的值。若对 **GPIOx_BSBR** 的 BS(i) 和 BR(i) 同时置 1，那么其置位操作具有优先权 (即对相应位做置位操作)。

6.4.6 GPIO 锁定机制

通过 **GPIOx_LCK** 寄存器，并经由特定锁定流程，可锁定冻结 GPIO 控制寄存器，包括 **GPIOx_MOD**、**GPIOx_OT**、**GPIOx_PUD**、**GPIOx_AFL** 和 **GPIOx_AFH** 寄存器。

锁定流程是通过写 **GPIOx_LCK** 寄存器，需写两次相同数值，每次以 32 位数值写入，**GPIOx_LCK**[31:16]必须为 **GPIOx_LCK**[15:0]取反值。当锁定流程正确时，**GPIOx_LCK**.LCKK 位锁定为 1，表示锁定功能开启，功能开启后无法取消，只经由复位清除。

6.4.7 I/O 复用功能输入/输出

对于每个 I/O 提供两个寄存器来选择复用功能输入/输出间的其中一个。使用这些寄存器，使用者可以根据应用来选择将复用功能连至其他某个引脚上。

这意味着通过 **GPIOx_AFL** 和 **GPIOx_AFH** 寄存器可让每个 GPIO 上覆用了许多可能的外设功能。软件应用可为每个 I/O 选择任何一种可能的功能。当一个复用功能被选择时，会将选定的 I/O 配置为该复用功能的输入或输出。

6.4.8 外部中断/唤醒通道

所有端口均具有外部中断功能。要使用外部中断通道，端口可以配置在输入、输出或复用功能模式 (端口不得在模拟模式)。

6.4.9 输入配置

当 I/O 端口配置为输入模式：

- 输出缓冲器关闭。
- 施密特触发器输入开启。
- 根据 GPIOx_PUD 寄存器来决定是上拉或下拉功能。
- I/O 引脚的状态将会被 AHB 时钟取样后存到输入寄存器内。
- 对输入寄存器进行读操作，将会提供此时 I/O 的状态。

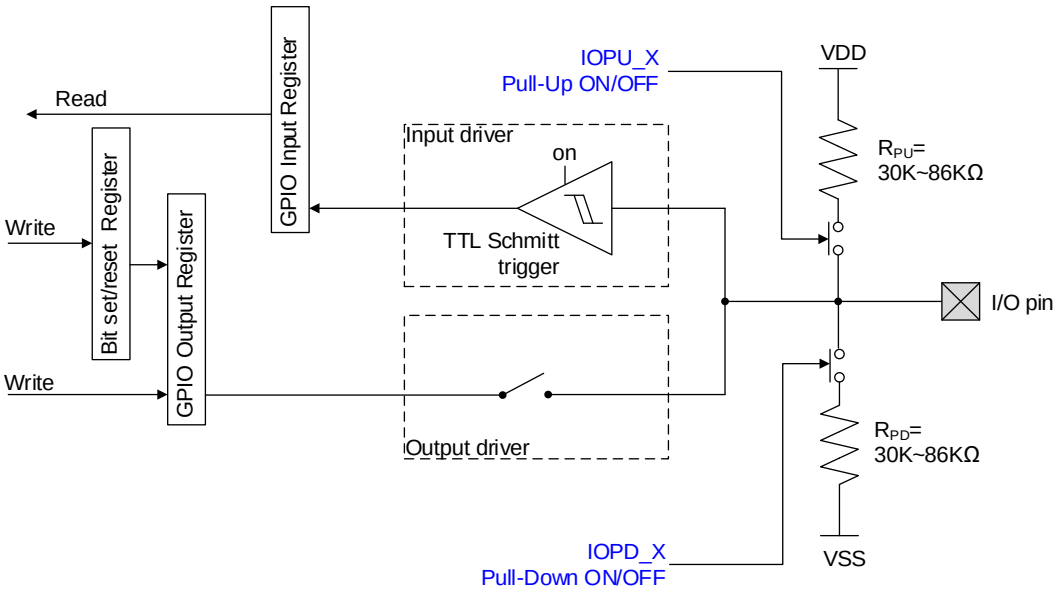


图 6-2 I/O 端口位的输入配置

6. 4. 10 输出配置

当 I/O 端口配置为输出模式：

- 输出缓冲器开启。
  - 开漏模式：当 **GPIOx_OD** 寄存器值为 0 时，输出值为"0"；当 **GPIOx_OD** 寄存器值为 1 时，输出值为"高阻态"。
  - 推挽模式：当 **GPIOx_OD** 寄存器值为 0 时，输出值为"0"；当 **GPIOx_OD** 寄存器值为 1 时，输出值为"1"。
- 施密特触发器输入开启。
- 根据 **GPIOx_PUD** 寄存器来决定是上拉或下拉功能。
- I/O 引脚的状态将会被 AHB 时钟取样后存到输入寄存器内。
- 对输入寄存器进行读操作，将会得到此时 I/O 的状态。
- 对输出寄存器进行读操作，将会得到最后一次写入的数值。

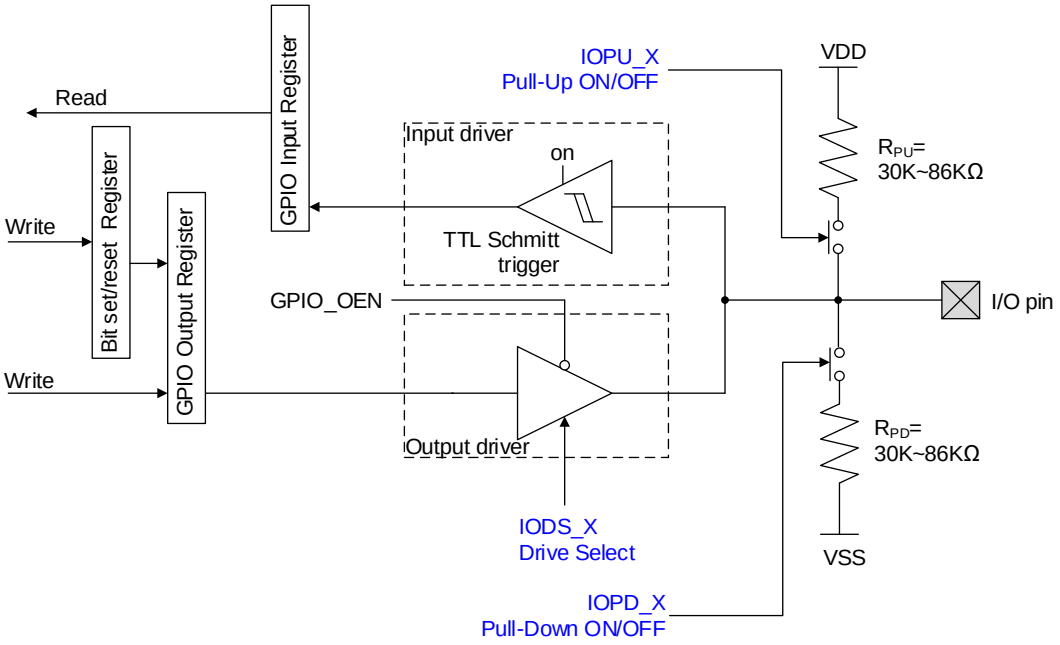


图 6-3 I/O 端口位的输出配置

6. 4. 11 复用功能配置

当 I/O 端口配置为复用模式：

- 输出缓冲器可配置为开漏或推挽模式。
- 输出缓冲器的输出信号将来自外部设备。
- 施密特触发器输入开启。
- 根据 GPIOx_PUD 寄存器来决定是上拉或下拉功能。
- I/O 引脚的状态将会被 AHB 时钟取样后存到输入寄存器内。
- 对输入寄存器进行读操作，将会得到此时 I/O 的状态。

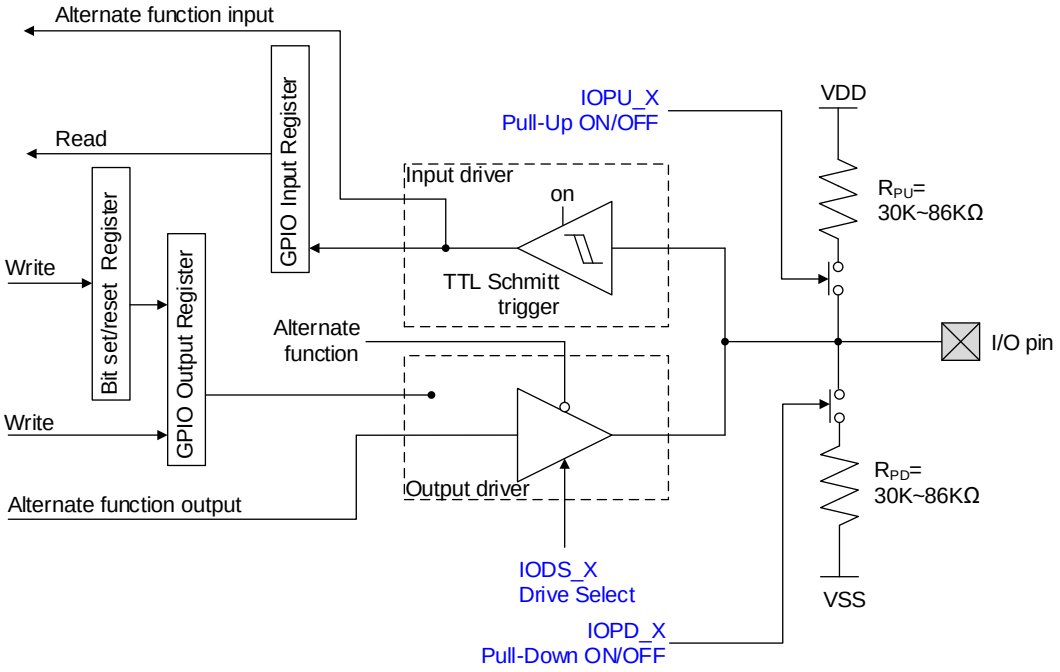


图 6-4 I/O 端口位的复用配置

6. 4. 12 模拟配置

当 I/O 端口配置为模拟模式：

- 输出缓冲器关闭。
- 施密特触发器输入关闭。并对被配置为模拟模式的 I/O 引脚提供"0"至输入寄存器内。
- 硬件会关闭上拉或下拉功能。
- 对输入寄存器进行读操作，将会得到"0"。

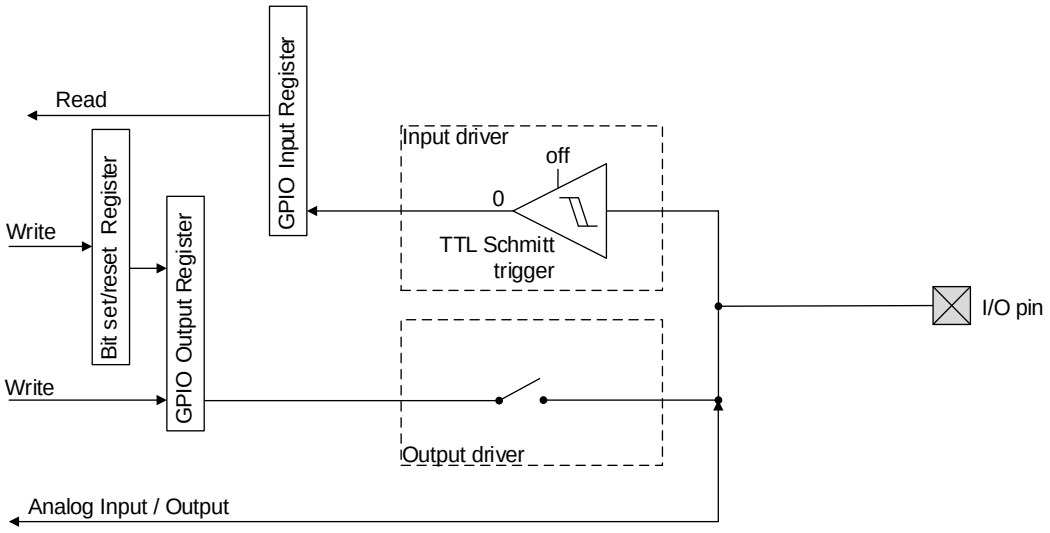


图 6-5 I/O 端口位的模拟配置

6. 4. 13 将 HOSC 与 LOSC 晶振引脚配置为通用 I/Os

当系统复位时，PC14、PC15 与 PD14、PD15 将会被配置模拟模式 (相应名称为 LOSCI、LOSCO 与 HOSCI、HOSCO)。

若使用者不需要使用 HOSC 或 LOSC 时，可将对应的引脚切换为通用 I/O 端口，并且确保不需要使用的 HOSC 或 LOSC 的开关为关闭状态。可在 RCU_CON 寄存器内确认 HOSC 的开关，RCU_LCON 寄存器内确认 LOSC 的开关。

6.5 特殊功能寄存器

6.5.1 寄存器列表

GPIO 寄存器列表			
名称	偏移地址	类型	描述
GPIOx_ID	0000_H	R	GPIOx 端口输入数据寄存器
GPIOx_OD	0004_H	R/W	GPIOx 端口输出数据寄存器
GPIOx_BSBR	0008_H	W1	GPIOx 端口置位和复位寄存器
GPIOx_LCK	$000C_H$	R/W	GPIOx 端口锁定寄存器
GPIOx_MOD	0010_H	R/W	GPIOx 端口模式寄存器
GPIOx_PUD	0014_H	R/W	GPIOx 端口上拉和下拉寄存器
GPIOx_OT	0018_H	R/W	GPIOx 端口输出类型寄存器
GPIOx_DS	$001C_H$	R/W	GPIOx 端口输出驱动寄存器
GPIOx_FIR	0020_H	R/W	GPIOx 端口滤波寄存器
GPIOx_IST	0024_H	R/W	GPIOx 端口输入类型寄存器
GPIOx_AFL	0028_H	R/W	GPIOx 复用功能低位寄存器
GPIOx_AFH	$002C_H$	R/W	GPIOx 复用功能高位寄存器

6. 5. 2 寄存器描述

6. 5. 2. 1 GPIOx 端口输入数据寄存器 (GPIOx_ID)

GPIOx 端口输入数据寄存器 (GPIOx_ID)																														
偏移地址：0x00																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0

—	Bits 31-16	—	—
ID15	Bit 15	R	**IDy: 端口输入数据 (y = 0...15)** 这些位只读。它们包含相应I/O口的输入值。
ID14	Bit 14	R	
ID13	Bit 13	R	
ID12	Bit 12	R	
ID11	Bit 11	R	
ID10	Bit 10	R	
ID9	Bit 9	R	
ID8	Bit 8	R	
ID7	Bit 7	R	
ID6	Bit 6	R	
ID5	Bit 5	R	
ID4	Bit 4	R	
ID3	Bit 3	R	
ID2	Bit 2	R	
ID1	Bit 1	R	
ID0	Bit 0	R	

6. 5. 2. 2 GPIOx 端口输出数据寄存器(GPIOx_OD)

GPIOx 端口输出数据寄存器 (GPIOx_OD)																														
偏移地址：0x04																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OD15	OD14	OD13	OD12	OD11	OD10	OD9	OD8	OD7	OD6	OD5	OD4	OD3	OD2	OD1	OD0

—	Bits 31-16	—	—
OD15	Bit 15	R/W	**ODy: 端口输出数据 (y = 0..15)** 这些位可由软件读写。 注：对于单独位的设置/清除，可单独对GPIOx_BSBR寄存器操作来实现。
OD14	Bit 14	R/W	
OD13	Bit 13	R/W	
OD12	Bit 12	R/W	
OD11	Bit 11	R/W	
OD10	Bit 10	R/W	
OD9	Bit 9	R/W	
OD8	Bit 8	R/W	
OD7	Bit 7	R/W	
OD6	Bit 6	R/W	
OD5	Bit 5	R/W	
OD4	Bit 4	R/W	
OD3	Bit 3	R/W	
OD2	Bit 2	R/W	
OD1	Bit 1	R/W	
OD0	Bit 0	R/W	

6. 5. 2. 3 GPIOx 端口置位和复位寄存器 (GPIOx_BSBR)

GPIOx 端口置位和复位寄存器 (GPIOx_BSBR)																														
偏移地址：0x08																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0	BS15	BS14	BS13	BS12	BS11	BS10	BS9	BS8	BS7	BS6	BS5	BS4	BS3	BS2	BS1	BS0

BR15	Bit 31	W1	**BRy: 端口 x 复位位。 (y= 0..15)** 这些位只写。读这些位时返回0x0000数值。 0: 对相应的 ODx 位无影响。 1: 复位相应的 ODx 位。
BR14	Bit 30	W1	
BR13	Bit 29	W1	
BR12	Bit 28	W1	
BR11	Bit 27	W1	
BR10	Bit 26	W1	
BR9	Bit 25	W1	
BR8	Bit 24	W1	
BR7	Bit 23	W1	
BR6	Bit 22	W1	
BR5	Bit 21	W1	
BR4	Bit 20	W1	
BR3	Bit 19	W1	
BR2	Bit 18	W1	
BR1	Bit 17	W1	
BR0	Bit 16	W1	
BS15	Bit 15	W1	**BSy: 端口 x 设置位。 (y= 0..15)** 这些位只写。读这些位时返回 0x0000 数值。 0: 对相应的 ODx 位无影响。 1: 置位相应的 ODx 位。
BS14	Bit 14	W1	
BS13	Bit 13	W1	
BS12	Bit 12	W1	
BS11	Bit 11	W1	
BS10	Bit 10	W1	
BS9	Bit 9	W1	
BS8	Bit 8	W1	
BS7	Bit 7	W1	
BS6	Bit 6	W1	
BS5	Bit 5	W1	
BS4	Bit 4	W1	
BS3	Bit 3	W1	
BS2	Bit 2	W1	

BS1	Bit 1	W1	
BS0	Bit 0	W1	

6. 5. 2. 4 GPIOx 端口锁定寄存器 (GPIOx_LCK)

GPIOx 端口锁定寄存器 (GPIOx_LCK)																															
偏移地址：0x0C																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LCKK<15:0>																LCK15	LCK14	LCK13	LCK12	LCK11	LCK10	LCK9	LCK8	LCK7	LCK6	LCK5	LCK4	LCK3	LCK2	LCK1	LCK0

LCKK	Bit 31-16	R/W	**LCKK: 锁定键** 当执行正确的锁定流程，此寄存器用于锁定端口的配置。 LCKK[0]可随时读取(LCKK[15:1]只能写，读为0x0000)。他仅能由锁定流程来改写。 0: 端口配置锁定未启动。 1: 端口配置锁定已启动。GPIOx_LCK 寄存器锁定直到下一个MCU复位产生。 锁定流程: 锁定流程如下，需写两次相同数值，每次以32位数值写入，LCK[31:16]必须为LCK[15:0]取反值 WR GPIOx_LCK = (~LCK[15:0]<<16) + LCK[15:0] WR GPIOx_LCK = (~LCK[15:0]<<16) + LCK[15:0] RD GPIOx_LCK[16] = '1' (此流程为确认锁定功能是否开启)
LCK15	Bit 15	R/W	**LCKy: 端口 x 锁定位。(y= 0..15)** 这些位可读/写，但仅LCKK为 '0' 时写。冻结的寄存器包括GPIOx_MOD、GPIOx_PUD、GPIOx_OT 、 GPIOx_DS 、 GPIOx_FIR 、GPIOx_IST、GPIOx_AFL和GPIOx_AFH。 0: 端口配置未锁定。 1: 端口配置锁定。
LCK14	Bit 14	R/W	
LCK13	Bit 13	R/W	
LCK12	Bit 12	R/W	
LCK11	Bit 11	R/W	
LCK10	Bit 10	R/W	
LCK9	Bit 9	R/W	
LCK8	Bit 8	R/W	

LCK7	Bit 7	R/W	
LCK6	Bit 6	R/W	
LCK5	Bit 5	R/W	
LCK4	Bit 4	R/W	
LCK3	Bit 3	R/W	
LCK2	Bit 2	R/W	
LCK1	Bit 1	R/W	
LCK0	Bit 0	R/W	

6. 5. 2. 5 GPIOx 端口模式寄存器 (GPIOx_MOD)

GPIOx 端口模式寄存器 (GPIOx_MOD)

偏移地址：0x10

复位值：

0xEBFF FFFF (GPIOA)

0xFFFF FFFF (其它端口)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOD15<1:0>		MOD14<1:0>		MOD13<1:0>		MOD12<1:0>		MOD11<1:0>		MOD10<1:0>		MOD9<1:0>		MOD8<1:0>		MOD7<1:0>		MOD6<1:0>		MOD5<1:0>		MOD4<1:0>		MOD3<1:0>		MOD2<1:0>		MOD1<1:0>		MOD0<1:0>	

MOD15<1:0>	Bits 31-30	R/W	**MODy: 端口 x 配置位。(y = 0...15)** 这些位可由软件写来配置 I/O 口模式。 00: 通用输入模式。 01: 通用输出模式。 10: 复用功能模式。 11: 模拟模式。(复位状态)
MOD14<1:0>	Bits 29-28	R/W	
MOD13<1:0>	Bits 27-26	R/W	
MOD12<1:0>	Bits 25-24	R/W	
MOD11<1:0>	Bits 23-22	R/W	
MOD10<1:0>	Bits 21-20	R/W	
MOD9<1:0>	Bits 19-18	R/W	
MOD8<1:0>	Bits 17-16	R/W	
MOD7<1:0>	Bits 15-14	R/W	
MOD6<1:0>	Bits 13-12	R/W	
MOD5<1:0>	Bits 11-10	R/W	
MOD4<1:0>	Bits 9-8	R/W	
MOD3<1:0>	Bits 7-6	R/W	
MOD2<1:0>	Bits 5-4	R/W	
MOD1<1:0>	Bits 3-2	R/W	
MOD0<1:0>	Bits 1-0	R/W	

6. 5. 2. 6 GPIOx 端口上拉和下拉寄存器 (GPIOx_PUD)

GPIOx 端口上拉和下拉寄存器 (GPIOx_PUD)																													
偏移地址：0x14																													
复位值： 0x2400 0000 (GPIOA) 0x0000 0000 (其它端口)																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PUD15<1:0>		PUD14<1:0>		PUD13<1:0>		PUD12<1:0>		PUD11<1:0>		PUD10<1:0>		PUD9<1:0>		PUD8<1:0>		PUD7<1:0>		PUD6<1:0>		PUD5<1:0>		PUD4<1:0>		PUD3<1:0>		PUD2<1:0>		PUD1<1:0>		PUD0<1:0>	

PUD15<1:0>	Bits 31-30	R/W	**PUDy: 端口 x 配置位。(y = 0..15)** 这些位由软件写来配置 I/O 口的上拉或下拉。 00: 无上拉和下拉 (复位状态) 。 01: 上拉。 10: 下拉。 11: 保留。
PUD14<1:0>	Bits 29-28	R/W	
PUD13<1:0>	Bits 27-26	R/W	
PUD12<1:0>	Bits 25-24	R/W	
PUD11<1:0>	Bits 23-22	R/W	
PUD10<1:0>	Bits 21-20	R/W	
PUD9<1:0>	Bits 19-18	R/W	
PUD8<1:0>	Bits 17-16	R/W	
PUD7<1:0>	Bits 15-14	R/W	
PUD6<1:0>	Bits 13-12	R/W	
PUD5<1:0>	Bits 11-10	R/W	
PUD4<1:0>	Bits 9-8	R/W	
PUD3<1:0>	Bits 7-6	R/W	
PUD2<1:0>	Bits 5-4	R/W	
PUD1<1:0>	Bits 3-2	R/W	
PUD0<1:0>	Bits 1-0	R/W	

6. 5. 2. 7 GPIOx 端口输出类型寄存器 (GPIOx_OT)

GPIOx 端口输出类型寄存器 (GPIOx_OT)																													
偏移地址：0x18																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OT15	OT14	OT13	OT12	OT11	OT10	OT9	OT8	OT7	OT6	OT5	OT4	OT3	OT2	OT1	OT0

—	Bits 31-16	—	—
OT15	Bit 15	R/W	**OTy: 端口 x 配置位。(y = 0..15)** 这些位可由软件写来配置 I/O 口的输出类型。 0: 推挽输出。(复位状态) 1: 开漏输出。
OT14	Bit 14	R/W	
OT13	Bit 13	R/W	
OT12	Bit 12	R/W	
OT11	Bit 11	R/W	
OT10	Bit 10	R/W	
OT9	Bit 9	R/W	
OT8	Bit 8	R/W	
OT7	Bit 7	R/W	
OT6	Bit 6	R/W	
OT5	Bit 5	R/W	
OT4	Bit 4	R/W	
OT3	Bit 3	R/W	
OT2	Bit 2	R/W	
OT1	Bit 1	R/W	
OT0	Bit 0	R/W	

6. 5. 2. 8 GPIOx 端口输出驱动寄存器 (GPIOx_DS)

GPIOx 端口输出驱动寄存器 (GPIOx_DS)																														
偏移地址：0x1C																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																DS15	DS14	DS13	DS12	DS11	DS10	DS9	DS8	DS7	DS6	DS5	DS4	DS3	DS2	DS1	DS0

—	Bits 31-16	—	—
DS15	Bit 15	R/W	**DSy: 端口 x 配置位。(y = 0..15)** 这些位可由软件写来配置 I/O 口的输出驱动电流。 0: 典型8 mA。(复位状态) 1: 典型16 mA。
DS14	Bit 14	R/W	
DS13	Bit 13	R/W	
DS12	Bit 12	R/W	
DS11	Bit 11	R/W	
DS10	Bit 10	R/W	
DS9	Bit 9	R/W	
DS8	Bit 8	R/W	
DS7	Bit 7	R/W	
DS6	Bit 6	R/W	
DS5	Bit 5	R/W	
DS4	Bit 4	R/W	
DS3	Bit 3	R/W	
DS2	Bit 2	R/W	
DS1	Bit 1	R/W	
DS0	Bit 0	R/W	

6. 5. 2. 9 GPIOx 端口滤波寄存器 (GPIOx_FIR)

GPIOx 端口滤波寄存器 (GPIOx_FIR)																														
偏移地址：0x20																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FIR15	FIR14	FIR13	FIR12	FIR11	FIR10	FIR9	FIR8	FIR7	FIR6	FIR5	FIR4	FIR3	FIR2	FIR1	FIR0

—	Bits 31-16	—	—
FIR15	Bit 15	R/W	**FIRy: 端口 x 配置位。(y = 0..15)** 这些位可由软件写来配置输入是否要通过滤波。 0: 旁路。(复位状态) 1: 消除一定脉冲宽度的毛刺。(20 ns)
FIR14	Bit 14	R/W	
FIR13	Bit 13	R/W	
FIR12	Bit 12	R/W	
FIR11	Bit 11	R/W	
FIR10	Bit 10	R/W	
FIR9	Bit 9	R/W	
FIR8	Bit 8	R/W	
FIR7	Bit 7	R/W	
FIR6	Bit 6	R/W	
FIR5	Bit 5	R/W	
FIR4	Bit 4	R/W	
FIR3	Bit 3	R/W	
FIR2	Bit 2	R/W	
FIR1	Bit 1	R/W	
FIR0	Bit 0	R/W	

6. 5. 2. 10 GPIOx 端口输入类型寄存器 (GPIOx_IST)

GPIOx 端口输入类型寄存器 (GPIOx_IST)																													
偏移地址：0x24																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IST15	IST14	IST13	IST12	IST11	IST10	IST9	IST8	IST7	IST6	IST5	IST4	IST3	IST2	IST1	IST0

—	Bits 31-16	—	—
IST15	Bit 15	R/W	**ISTy: 端口 x 配置位。(y = 0..15)** 这些位可由软件写来配置输入施密特触发器。 0: TTL IO电平。(V_{T+} = 2.0v, V_{T-} = 0.8v) 1: CMOS IO电平。(V_{T+} = 3.1v, V_{T-} = 1.5v)
IST14	Bit 14	R/W	
IST13	Bit 13	R/W	
IST12	Bit 12	R/W	
IST11	Bit 11	R/W	
IST10	Bit 10	R/W	
IST9	Bit 9	R/W	
IST8	Bit 8	R/W	
IST7	Bit 7	R/W	
IST6	Bit 6	R/W	
IST5	Bit 5	R/W	
IST4	Bit 4	R/W	
IST3	Bit 3	R/W	
IST2	Bit 2	R/W	
IST1	Bit 1	R/W	
IST0	Bit 0	R/W	

6. 5. 2. 11 GPIOx 复用功能低位寄存器 (GPIOx_AFL)

GPIOx 复用功能低位寄存器 (GPIOx_AFL)																													
偏移地址：0x28																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFSEL7<3:0>				AFSEL6<3:0>				AFSEL5<3:0>				AFSEL4<3:0>				AFSEL3<3:0>				AFSEL2<3:0>				AFSEL1<3:0>				AFSEL0<3:0>			

AFSEL7<3:0>	Bits 31-28	R/W	**AFSELy: 端口 x 位 y 的复用功能选择。(y=0…7)** 这些位可由软件写入来配置复用功能 I/O。 AFSELy 选择如下： 0000: AFSEL0 0001: AFSEL1 0010: AFSEL2 0011: AFSEL3 0100: AFSEL4 0101: AFSEL5 0110: AFSEL6 0111: AFSEL7 1000: AFSEL8 1001: AFSEL9 1XX?: 保留
AFSEL6<3:0>	Bits 27-24	R/W	
AFSEL5<3:0>	Bits 23-20	R/W	
AFSEL4<3:0>	Bits 19-16	R/W	
AFSEL3<3:0>	Bits 15-12	R/W	
AFSEL2<3:0>	Bits 11-8	R/W	
AFSEL1<3:0>	Bits 7-4	R/W	
AFSEL0<3:0>	Bits 3-0	R/W	

6. 5. 2. 12 GPIOx 复用功能高位寄存器 (GPIOx_AFH)

GPIOx 复用功能高位寄存器 (GPIOx_AFH)																													
偏移地址：0x2C																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFSEL15<3:0>				AFSEL14<3:0>				AFSEL13<3:0>				AFSEL12<3:0>				AFSEL11<3:0>				AFSEL10<3:0>				AFSEL9<3:0>				AFSEL8<3:0>			

AFSEL15<3:0>	Bits 31-28	R/W	**AFSELy: 端口 x 位 y 的复用功能选择。(y=8…15)** 这些位可由软件写入来配置复用功能 I/O。 AFSELy 选择如下： 0000: AFSEL0 0001: AFSEL1 0010: AFSEL2 0011: AFSEL3 0100: AFSEL4 0101: AFSEL5 0110: AFSEL6 0111: AFSEL7 1000: AFSEL8 1001: AFSEL9 1XX?: 保留
AFSEL14<3:0>	Bits 27-24	R/W	
AFSEL13<3:0>	Bits 23-20	R/W	
AFSEL12<3:0>	Bits 19-16	R/W	
AFSEL11<3:0>	Bits 15-12	R/W	
AFSEL10<3:0>	Bits 11-8	R/W	
AFSEL9<3:0>	Bits 7-4	R/W	
AFSEL8<3:0>	Bits 3-0	R/W	

第7章 外设互联 (PIS)

7.1 概述

PIS(Peripheral Interaction System)在微控制器中作为外设互联的桥接口使用，利用 PIS 可实现外设之间的相互触发，控制及自动化工作，提高系统的实时性和快速响应能力，可避免占用过多的 CPU 资源并简化软件工作，为各种应用提供便捷。

多个外设间有直接连接。这可以在外设间实现自动通信或同步，节省了 CPU 资源，进而降低功耗。此外，这些硬件连接消除了软件延迟

7.2 连接汇总

源	目标													
	AD16C4T1	GP16C4T1	GP16C4T2	GP16C4T3	GP32C4T1	GP16C2T1	GP16C2T2	GP16C2T3	GP16C2T4	BS16T1	ADC	CMP1	CMP2	IRINF
AD16C4T1	—	1	1	1	1	1	1	1	1	—	2	5	5	—
GP16C4T1	1	—	1	1	1	1	1	1	1	—	2	5	5	—
GP16C4T2	1	1	—	1	1	1	1	1	1	—	2	5	5	—
GP16C4T3	1	1	1	—	1	1	1	1	1	—	2	—	—	—
GP32C4T1	1	1	1	1	—	1	1	1	1	—	2	5	5	—
GP16C2T1	1	1	1	1	1	—	1	1	1	—	2	5	5	—
GP16C2T2	1	1	1	1	1	1	—	1	1	—	2	—	—	9
GP16C2T3	1	1	1	1	1	1	1	—	1	—	—	—	—	9
GP16C2T4	1	1	1	1	1	1	1	1	—	—	—	—	—	9
BS16T1	—	—	—	—	—	—	—	—	—	—	2	—	—	—
UART2	—	—	—	—	—	—	—	—	—	—	—	—	—	9
UART4	—	—	—	—	—	—	—	—	—	—	—	—	—	9
ADC	3	—	—	—	—	—	—	—	—	—	—	—	—	—
T. Sensor	—	—	—	—	—	—	—	—	—	—	6	—	—	—
VREFINT	—	—	—	—	—	—	—	—	—	—	6	—	—	—
VDDA	—	—	—	—	—	—	—	—	—	—	6	—	—	—
HOSC	—	—	—	—	4	—	—	—	—	—	—	—	—	—
LOSC	—	—	—	—	4	—	—	—	—	—	—	—	—	—
LRC	—	—	—	—	4	—	—	—	—	—	—	—	—	—
MCO	—	—	—	—	4	—	—	—	—	—	—	—	—	—
EXTI	—	—	—	—	—	—	—	—	—	—	2	—	—	—
RTC	—	—	—	—	4	—	—	—	—	—	2	—	—	—
CMP1	7	7	7	7	7	7	7	7	7	—	—	—	—	—
CMP2	7	7	7	7	7	7	7	7	7	—	—	—	—	—
SYST ERR	8	—	—	—	—	8	8	8	8	—	—	—	—	—

表 7-1 互连矩阵

注:
1. 表中的数字链接到第 8.3 节：互连描述中详细介绍的相应互连号。
2. 灰色单元格中的“—”符号表示没有互连。

7.3 互连描述

7.3.1 定时器互连

定时器输入触发信号	定时器输入触发源分配								
	AD16C4T1	GP16C4T1	GP16C4T2	GP16C4T3	GP32C4T1	GP16C2T1	GP16C2T2	GP16C2T3	GP16C2T4
IT0	—	AD16C4T1	AD16C4T1	AD16C4T1	AD16C4T1	AD16C4T1	AD16C4T1	AD16C4T1	AD16C4T1
IT1	GP16C4T1	—	GP16C4T1	GP16C4T1	GP16C4T1	GP16C4T1	GP16C4T1	GP16C4T1	GP16C4T1
IT2	GP16C4T2	GP16C4T2	—	GP16C4T2	GP16C4T2	GP16C4T2	GP16C4T2	GP16C4T2	GP16C4T2
IT3	GP16C4T3	GP16C4T3	GP16C4T3	—	GP16C4T3	GP16C4T3	GP16C4T3	GP16C4T3	GP16C4T3
IT4	GP32C4T1	GP32C4T1	GP32C4T1	GP32C4T1	—	GP32C4T1	GP32C4T1	GP32C4T1	GP32C4T1
IT5	GP16C2T1	GP16C2T1	GP16C2T1	GP16C2T1	GP16C2T1	—	GP16C2T1	GP16C2T1	GP16C2T1
IT6	GP16C2T2	GP16C2T2	GP16C2T2	GP16C2T2	GP16C2T2	GP16C2T2	—	GP16C2T2	GP16C2T2
IT7	GP16C2T3	GP16C2T3	GP16C2T3	GP16C2T3	GP16C2T3	GP16C2T3	GP16C2T3	—	GP16C2T3
IT8	GP16C2T4	GP16C2T4	GP16C2T4	GP16C2T4	GP16C2T4	GP16C2T4	GP16C2T4	GP16C2T4	—

表 7-2 定时器互连

某些定时器从内部连接在一起，以实现定时器同步或链接。

当某个定时器配置为主模式时，可对另一个配置为从模式的定时器的计数器执行复位、启动、停止操作或为其提供时钟。

以下章节对同步模式进行了详细说明：

- 第 18.4.17 节：定时器同步 (面向高级控制定时器 AD16C4T1)
- 第 20.4.13 节：定时器同步 (面向通用定时器 16 位 4 通道 GP16C4T1/GP16C4T2/GP16C4T3)
- 第 20.4.12 节：外部触发的同步 (面向通用定时器 16 位 4 通道 GP16C4T1/GP16C4T2/GP16C4T3)
- 第 19.4.13 节：定时器同步 (面向通用定时器 32 位 4 通道 GP32C4T1)
- 第 19.4.12 节：外部触发的同步 (面向通用定时器 32 位 4 通道 GP32C4T1)
- 第 21.4.15 节：定时器同步 (面向通用定时器 16 位 2 通道 GP16C2T1/GP16C2T2/GP16C2T3/GP16C2T4)
- 第 21.4.14 节：外部触发的同步 (面向通用定时器 16 位 2 通道 GP16C2T1/GP16C2T2/GP16C2T3/GP16C2T4)

触发信号

在可配置定时器事件发生后，输出(来自主设备)出现在定时器 TRGOUT 信号上。

输入(到从设备)位于定时器 ITx 信号上。

7.3.2 从定时器、EXTI 和 RTC 到 ADC

ADC 触发选择 NEXTSEL[3:0]或 IEXTSEL[3:0]	ADC 触发信号分配	
	常规	注入
0	AD16C4T1_CH1	AD16C4T1_CH4
1	AD16C4T1_CH2	AD16C4T1_TRGOUT
2	AD16C4T1_CH3	GP32C4T1_CH1
3	GP32C4T1_CH2	GP32C4T1_TRGOUT
4	GP32C4T1_CH3	GP16C4T1_CH2
5	GP32C4T1_CH4	GP16C4T1_CH3
6	GP32C4T1_TRGOUT	GP16C4T1_CH4
7	GP16C4T1_CH1	GP16C4T2_CH1
8	GP16C4T1_TRGOUT	GP16C4T2_CH2
9	GP16C4T2_CH4	GP16C4T2_CH3
10	GP16C4T3_CH1	GP16C4T2_TRGOUT
11	GP16C4T3_CH2	GP16C4T3_CH4
12	GP16C4T3_CH3	GP16C4T3_TRGOUT
13	BS16T1_TRGOUT	GP16C2T1_TRGOUT
14	RTC	GP16C2T2_TRGOUT
15	EXTI_TRG0	EXTI_TRG1

表 7-3 从定时器、EXTI 和 RTC 到 ADC

定时器、EXTI 和 RTC 可用于生成 ADC 触发事件。

ADC 同步描述于：第 16.4.12 节：外部触发转换设定 (NEXTSEL,NEXTEN,IEXTSEL,IEXTEN)

触发信号

输出来自定时器的 TRGOUT 或 CCx 信号事件上。输入到 ADC 位于 NEXT [15:0]和 IEXT [15:0]信号上。

7.3.3 从 ADC 到 AD16C4T1

ADC 可通过看门狗信号向高级控制定时器 AD16C4T1 提供触发事件。

第 16.4.20 节：模拟看门狗 (NAWDEN、IAWDEN、AWDSGL、AWDCH、ADC_WDTH) 中对 ADC 模拟看门狗设置进行了说明。第 18.4.3.3 节： 外部时钟源 2 中对定时器的触发设置进行了说明。

7.3.4 从时钟源到 GP32C4T1

可以通过微控制器输出时钟(MCO)选择外部时钟(HOSC 和 LOSC)、内部时钟(LRC)，或选择 RTC 唤醒中断和 GPIO 作为 GP32C4T1 定时器的通道 1 输入来捕获。

定时器允许校准或精确测量内部时钟(如 HRC4M 或 LRC)以及将精确的时钟(如 LOSC 或 HOSC)用于提供参考时序。

7.3.5 从定时器到比较器

高级控制定时器 AD16C4T1 和通用定时器 GP32C4T1、GP16C4T1、GP16C4T2 和 GP16C2T1 可用作 CMP1 和 CMP2 的消隐窗口输入。

第 17.4.7 节：CMP 消隐功能对消隐功能进行了说明。

以下部分给出了消隐源：

- 第 17.5.2.1 节：CMP 配置寄存器 1 位 24:20 BLANKING[4:0]
- 第 17.5.2.2 节：CMP 配置寄存器 2 位 24:20 BLANKING[4:0]

触发信号

定时器输出信号 OCx 是 CMP1/CMP2 的消隐源输入。

7.3.6 从内部模拟源到 ADC

内部温度传感器输出电压 V_{TS}、和内部参考电压 V_{REF} 监视通道连接到 ADC 输入通道。

更多信息请参见：

- 第 16.2 节：ADC 特性
- 第 16.4.5 节：ADC 通道选择 (ADC_NCHS1~4, ADC_ICHS)
- 温度感测
- 监测内部参考电压

7.3.7 从比较器到定时器

CMP1 和 CMP2 比较器输出可连接到 AD16C4T1、GP32C4T1、GP16C4T1、GP16C4T2 或 GP16C4T3 定时器的 ETR 输入。

还可将 CMP1 和 CMP2 比较器输出用作 AD16C4T1、GP16C2T1、GP16C2T2、GP16C2T3 和 GP16C2T4 定时器的 BKIN 刹车输入信号。

7.3.8 从系统错误到 AD16C4T1、GP16C2T1、GP16C2T2、GP16C2T3 和 GP16C2T4

AD16C4T1、GP16C2T1、GP16C2T2、GP16C2T3 和 GP16C2T4 定时器的 BKIN 输入收集来自以下方面的 MCU 内部故障事件：

- 由时钟安全系统(CSS)生成的时钟故障事件。
- LVD 输出。
- Cortex-M0 LOCKUP(硬故障)输出

刹车功能的目的是保护由这些定时器生成的 PWM 信号所驱动的功率器件。

7.3.9 从 GP16C2T2、GP16C2T3、GP16C2T4、UART2 和 UART4 到 IRINF

与 UART2 或 UART4 传输信号相关的 GP16C2T2、GP16C2T3 或 GP16C2T4 定时器的 OCx 输出通道可生成红外输出波形。

第 3.3.5 节：红外线接口输出配置对此功能进行了介绍。

第8章 运算加速器 (CALC)

8.1 概述

运算加速器(CALC)可以执行平方根和除法的运算加速。

8.2 特性

- 支持最大 32 位无符号数平方根运算
- 支持最大 32 位有符号数或无符号数除法运算
- 除零警示标志
- 2~17 HCLK 时钟取自单一周期计算
- 支持使用 DMA 写数据执行运算操作

8.3 功能描述

8.3.1 平方根运算

8.3.1.1 算法概述

无符号数平方根算法可对最大 32 位的无符号数进行平方根运算，运算结果最大为 16 位无符号数。若理论平方根值中含有小数部分，则硬件在计算时会舍去小数，即向 0 的方向取最大整数。硬件运算电路中带有预判决功能，可根据被开方数寄存器 **CALC_RDCND** 的数量级，自动选取最小的计算时间。

8.3.1.2 使用说明

当被开方数寄存器 **CALC_RDCND** 发生写入动作时，平方根运算即开始，开始时平方根运算标志位 **CALC_STAT**.BUSY 被置位。当软件检测到 **CALC_STAT**.BUSY 被硬件清零时，表示平方根运算已经完成。通过读取平方根运算结果寄存器 **CALC_SQRTRES** 可获得被开方数的平方根近似值。

当运算标志 **CALC_STAT**.BUSY 位为 1 时，软件读取平方根运算结果寄存器 **CALC_SQRTRES** 将会停止软件的指令，直到 **CALC_STAT**.BUSY 被硬件清零时，运算加速器返回开方数的平方根近似值，并解除停止软件指令。

若当运算还未完成，被开方数寄存器 **CALC_RDCND** 发生写入动作时，硬件会重新开始新的运算，原先的运算结果将被丢弃。为使得运算的结果更精确，在操作上可采取移位元的方式来减小运算的误差。

例如，需要运算 X 的平方根，由于 X 较小，若直接写入被开方数寄存器 **CALC_RDCND** 中，产生的结果误差较大。可以先将 X 进行左移 n 位(n 需为偶数)，将 X 左移后可得新的被开方数即$X' = X * 2^n$，将 X' 写入被开方数寄存器 **CALC_RDCND**，得到运算结果 Y'，可知$Y' = \sqrt{X'} =$

$\sqrt{(X*2^n)} = 2^{(n/2)} * \sqrt{X}$，可将 **CALC_SQRTRES** 中的结果右移 n/2 位后，即得到 X 的平方根 $Y = \sqrt{X} = Y'/2^{(n/2)}$。

原先 X 允许的位数 m 最大可至 32 位，当 X 的实际位数没有 32 位时，可适当的调整 n 的位数以最大程度的利用平方根运算器的性能。n 值越大，运算结果越精确。

以计算 2 的平方根为例。$\sqrt{2}$= 1.4142135623731。

Radicand (Hex)	Radicand 格式	Result(Hex)	Result(Dec)	误差(%)
0x0000 0002	m=32, n=0	0x0000 0001	1.0	-29.289
0x0000 0020	m=28, n=4	0x0000 0005	1.25	-11.612
0x0000 0200	m=24, n=8	0x0000 0016	1.3750	-2.773
0x0000 2000	m=20, n=12	0x0000 005A	1.406250	-0.563
0x0002 0000	m=16, n=16	0x0000 016A	1.41406250	-0.011
0x0020 0000	m=12, n=20	0x0000 05A8	1.41406250	-0.011
0x0200 0000	m=8, n=24	0x0000 16A0	1.41406250	-0.011
0x2000 0000	m=4, n=28	0x0000 5A82	1.4141845703	-0.002
0x8000 0000	m=2, n=30	0x0000 B504	1.4141845703	-0.002

表 8-1 平方根运算误差示例

8. 3. 1. 3 完成时间

平方根算法根据被开方数 **CALC_RDCND** 寄存器中输入的数值大小所运算的时间不同，数值大小所运算的时间可根据下表所示。

CALC_RDCND [31:0]		运算时间 (BUSY=1 的时钟个数)
二进制	十进制	
1xxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 01xx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	4,294,967,295 ~1,073,741,824	17
001x_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 0001_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	1,073,741,823 ~ 268,435,456	16
0000_1xxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 0000_01xx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	268,435,455 ~ 67,108,864	15
0000_001x_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 0000_0001_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	67,108,863 ~ 16,777,216	14
0000_0000_1xxx_xxxx_xxxx_xxxx_xxxx_xxxx 0000_0000_01xx_xxxx_xxxx_xxxx_xxxx_xxxx	16,777,215 ~ 4,194,304	13
0000_0000_001x_xxxx_xxxx_xxxx_xxxx_xxxx 0000_0000_0001_xxxx_xxxx_xxxx_xxxx_xxxx	4,194,303~ 1,048,576	12
0000_0000_0000_1xxx_xxxx_xxxx_xxxx_xxxx 0000_0000_0000_01xx_xxxx_xxxx_xxxx_xxxx	1,048,575~ 262,144	11
0000_0000_0000_001x_xxxx_xxxx_xxxx_xxxx 0000_0000_0000_0001_xxxx_xxxx_xxxx_xxxx	262,143~ 65,536	10
0000_0000_0000_0000_1xxx_xxxx_xxxx_xxxx	65,535~ 16,384	9

0000_0000_0000_0000_01xx_xxxx_xxxx_xxxx		
0000_0000_0000_0000_001x_xxxx_xxxx_xxxx 0000_0000_0000_0000_0001_xxxx_xxxx_xxxx	16,383~ 4,096	8
0000_0000_0000_0000_0000_1xxx_xxxx_xxxx 0000_0000_0000_0000_0000_01xx_xxxx_xxxx	4,095~ 1,024	7
0000_0000_0000_0000_0000_001x_xxxx_xxxx 0000_0000_0000_0000_0000_0001_xxxx_xxxx	1,023~ 256	6
0000_0000_0000_0000_0000_0000_1xxx_xxxx 0000_0000_0000_0000_0000_0000_01xx_xxxx	255~ 64	5
0000_0000_0000_0000_0000_0000_001x_xxxx 0000_0000_0000_0000_0000_0000_0001_xxxx	63~ 16	4
0000_0000_0000_0000_0000_0000_0000_1xxx 0000_0000_0000_0000_0000_0000_0000_01xx	15~ 4	3
0000_0000_0000_0000_0000_0000_0000_00xx	3~ 0	2

表 8-2 平方根运算时间表

8.3.2 除法运算

8.3.2.1 算法概述

除法算法可对最大 32 位的有符号数或无符号数进行除法运算，运算结果最大为 32 位有符号数或无符号数。有符号运算中 Bit31 位为符号位，负数使用二进制补码的方式表示。

商的符号由被除数和除数共同决定。当被除数和除数符号相同时，商为正数；当被除数和除数符号不同时，商为负数。余数的符号由被除数的符号决定。

硬件运算电路中带有预判决功能，可根据被除数的数量级，自动选取最小的计算时间。

8.3.2.2 特例说明

溢出

在 32 位有符号除法运算中，当被除数为 0x8000_0000，除数为 0xFFFF_FFFF 时，即$-2^{31}/-1$，得到的结果应为 2^{31}，但 32 位有符号数最大可表示的正整数为 $2^{31}-1$，该次运算结果将溢出。此时硬件计算所得的商为 0x8000_0000，余数为 0x0000_0000。硬件并无标识位指示运算结果是否为溢出。

除数零

在 32 位有符号数或无符号数除法中，若除数设置为 0，则硬件将标志位 **CALC_STAT**.DZ 置 1。硬件计算所得的商与余数皆无意义。

8.3.2.3 使用说明

通过设置 **CALC_DIVCON**.SIGN 位来选择运算的是有符号数还是无符号数。通过设置 **CALC_DIVCON**.TRM 位来选择触发源。根据操作习惯，一般选择最后一个操作数的写入操作作为除法运算的触发源。

- 写入被除数后触发

在 **CALC_DIVCON**.TRM 位置 0 时，软件先对除数寄存器 **CALC_DIVSR** 写入值，接着对被除数寄存器 **CALC_DIVDR** 写入值。当被除数寄存器 **CALC_DIVDR** 写入值时，除法运算即触发开始，此时除法运算标志位 **CALC_STAT**.BUSY 被置位。

当软件检测到 **CALC_STAT**.BUSY 被硬件清零时，表示除法运算已经完成。通过读取商寄存器 **CALC_DIVQR** 和余数寄存器 **CALC_DIVRR** 可获得此次除法运算的结果。

当运算标志 **CALC_STAT**.BUSY 位为 1 时，软件读取商寄存器 **CALC_DIVQR** 或余数寄存器 **CALC_DIVRR** 时，将会停止软件的指令，直到 **CALC_STAT**.BUSY 被硬件清零时，运算加速器将返回读取商寄存器 **CALC_DIVQR** 或余数寄存器 **CALC_DIVRR** 的数值，并解除停止软件指令。

若当运算还未完成，除数寄存器 **CALC_DIVDR** 发生写入动作时，硬件会重新开始新的运算，原先的运算结果将被丢弃。

- 写入除数后触发

在 **CALC_DIVCON**.TRM 位置 1 时，软件先对被除数寄存器 **CALC_DIVDR** 写入值，接着对除数寄存器 **CALC_DIVSR** 写入值。当除数寄存器 **CALC_DIVSR** 写入值时，除法运算即触发开始，此时除法运算标志位 **CALC_STAT**.BUSY 被置位。

当软件检测到 **CALC_STAT**.BUSY 被硬件清零时，表示除法运算已经完成。通过读取商寄存器 **CALC_DIVQR** 和余数寄存器 **CALC_DIVRR** 可获得此次除法运算的结果。

当运算标志 **CALC_STAT**.BUSY 位为 1 时，软件读取商寄存器 **CALC_DIVQR** 或余数寄存器 **CALC_DIVRR** 时，将会停止软件的指令，直到 **CALC_STAT**.BUSY 被硬件清零时，运算加速器将返回读取商寄存器 **CALC_DIVQR** 或余数寄存器 **CALC_DIVRR** 的数值，并解除停止软件指令。

若当运算还未完成，除数寄存器 **CALC_DIVSR** 发生写入动作时，硬件会重新开始新的运算，原先的运算结果将被丢弃。

8. 3. 2. 4 完成时间

除法算法可根据除数 **CALC_DIVSR** 寄存器中输入数值大小所运算的时间不同，数值大小所运算的时间可根据下表所示。

除数的绝对值(abs(CALC_DIVSR))		运算时间(BUSY=1 的时钟个数)
二进制	十进制	
1xxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 01xx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	4,294,967,295 ~1,073,741,824	2
001x_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 0001_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	1,073,741,823 ~ 268,435,456	3
0000_1xxx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 0000_01xx_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	268,435,455 ~ 67,108,864	4
0000_001x_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx 0000_0001_xxxx_xxxx_xxxx_xxxx_xxxx_xxxx	67,108,863 ~ 16,777,216	5
0000_0000_1xxx_xxxx_xxxx_xxxx_xxxx_xxxx 0000_0000_01xx_xxxx_xxxx_xxxx_xxxx_xxxx	16,777,215 ~ 4,194,304	6
0000_0000_001x_xxxx_xxxx_xxxx_xxxx_xxxx 0000_0000_0001_xxxx_xxxx_xxxx_xxxx_xxxx	4,194,303 ~ 1,048,576	7
0000_0000_0000_1xxx_xxxx_xxxx_xxxx_xxxx 0000_0000_0000_01xx_xxxx_xxxx_xxxx_xxxx	1,048,575~ 262,144	8
0000_0000_0000_001x_xxxx_xxxx_xxxx_xxxx 0000_0000_0000_0001_xxxx_xxxx_xxxx_xxxx	262,143~ 65,536	9
0000_0000_0000_0000_1xxx_xxxx_xxxx_xxxx 0000_0000_0000_0000_01xx_xxxx_xxxx_xxxx	65,535~ 16,384	10
0000_0000_0000_0000_001x_xxxx_xxxx_xxxx 0000_0000_0000_0000_0001_xxxx_xxxx_xxxx	16,383~ 4,096	11
0000_0000_0000_0000_0000_1xxx_xxxx_xxxx 0000_0000_0000_0000_0000_01xx_xxxx_xxxx	4,095~ 1,024	12
0000_0000_0000_0000_0000_001x_xxxx_xxxx 0000_0000_0000_0000_0000_0001_xxxx_xxxx	1,023~ 256	13
0000_0000_0000_0000_0000_0000_1xxx_xxxx 0000_0000_0000_0000_0000_0000_01xx_xxxx	255~ 64	14
0000_0000_0000_0000_0000_0000_001x_xxxx 0000_0000_0000_0000_0000_0000_0001_xxxx	63~ 16	15
0000_0000_0000_0000_0000_0000_0000_1xxx 0000_0000_0000_0000_0000_0000_0000_01xx	15~ 4	16
0000_0000_0000_0000_0000_0000_0000_00xx	3~ 0	17

表 8-3 除法运算时间表

8.4 特殊功能寄存器

8.4.1 寄存器列表

CALC 寄存器列表			
名称	偏移地址	类型	描述
CALC_DIVDR	0000_H	R/W	CALC 被除数寄存器
CALC_DIVSR	0004_H	R/W	CALC 除数寄存器
CALC_DIVQR	0008_H	R	CALC 商寄存器
CALC_DIVRR	$000C_H$	R	CALC 余数寄存器
CALC_DIVCON	0010_H	R/W	CALC 除法运算控制寄存器
CALC_RDCND	0014_H	R/W	CALC 被开方数寄存器
CALC_SQRTRES	0018_H	R	CALC 平方根运算结果寄存器
CALC_STAT	0020_H	R	CALC 运算状态寄存器

8. 4. 2 寄存器描述

8. 4. 2. 1 CALC 被除数寄存器 (CALC_DIVDR)

CALC 被除数寄存器 (CALC_DIVDR)																															
偏移地址：0x000																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIVD <31:0>																															

DIVD	Bit 31-0	R/W	**被除数** 32位被除数

8. 4. 2. 2 CALC 除数寄存器(CALC_DIVSR)

CALC 除数寄存器(CALC_DIVSR)																															
偏移地址：0x004																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIVS <31:0>																															

DIVS	Bit 31-0	R/W	**除数** 32位除数

8. 4. 2. 3 CALC 商寄存器(CALC_DIVQR)

CALC 商寄存器(CALC_DIVQR)																															
偏移地址：0x008																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIVQ <31:0>																															

DIVQ	Bit 31-0	R	**商** 32位商

8. 4. 2. 4 CALC 余数寄存器(CALC_DIVRR)

CALC 余数寄存器(CALC_DIVRR)																															
偏移地址：0x00C																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIVR <31:0>																															

DIVR	Bit 31-0	R	**余数** 32位余数

8. 4. 2. 5 CALC 除法运算控制寄存器(CALC_DIVCON)

CALC 除法运算控制寄存器(CALC_DIVCON)																														
偏移地址：0x010																														
复位值：0x0000 0002																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																														TRM	SIGN

—	Bit 31-2	—	—
TRM	Bit 1	R/W	**除法运算触发模式选择** 0: 写入被除数后触发 1: 写入除数后触发
SIGN	Bit 0	R/W	**除法运算符号选择** 0: 无符号数 1: 有符号数

8. 4. 2. 6 CALC 被开方数寄存器(CALC_RDCND)

CALC 被开方数寄存器(CALC_RDCND)																														
偏移地址：0x014																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RADICAND <31:0>																															

RADICAND	Bit 31-0	R/W	**被开方数** 32位无符号被开方数

8. 4. 2. 7 CALC 平方根运算结果寄存器(CALC_SQRTRES)

CALC 平方根运算结果寄存器(CALC_SQRTRES)																													
偏移地址：0x018																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																RESULT <15:0>															

—	Bit 31-16	—	—
RESULT	Bit 15-0	R	**平方根运算结果值** 16 位平方根运算结果

8. 4. 2. 8 CALC 运算状态寄存器(CALC_STAT)

CALC 运算状态寄存器(CALC_STAT)																													
偏移地址：0x020																													
复位值：0x0000 0002																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																														DZ	BUSY

—	Bit 31-2	—	—
DZ	Bit 1	R	**除数零警告** 0: 除数不为 0 1: 除数为 0 注意：每当写入除数寄存器时更新。
BUSY	Bit 0	R	**运算状态位** 0: 完成 1: 进行中

第9章 高级加密标准 (AES)

9.1 概述

高级加密标准(英语：Advanced Encryption Standard，缩写：AES)，在密码学中又称 Rijndael 加密法，是美国联邦政府采用的一种区块加密标准。这个标准用来替代原先的 DES，已经被多方分析且广为全世界所使用。高级加密标准(AES)提供了更加快速与可靠的加密与解密的算法。

芯片内部 AES 协处理器允许最少的 CPU 参与执行加密/解密，该模块支持 128 位密钥和 128 位的数据(明文或密文)中的 AES 加密密钥和状态内存必须被加载到模块。

9.2 特性

- 支持 CBC、CBF、OFB、CTR 以及 ECB 模式
- 支持 128 位的数据加密/解密
- 支持可编程的 128 位密钥
- 支持可编程的 128 位初始向量
- 支持 DMA 数据搬移
- 支持密钥、初始向量、输入数据以及输出数据的反向

9.3 功能描述

9.3.1 加密标准

大多数 AES 计算是在一个特别的有限域完成的。AES 加密过程是在一个 4×4 的字节矩阵上运作，这个矩阵又称为「体(state)」，其初值就是一个明文区块(矩阵中一个元素大小就是明文区块中的一个 Byte)。加密时，各金轮 AES 加密循环(除最后一轮外)均包含 4 个步骤：

- AddRoundKey—矩阵中的每一个字节都与该次回合密钥(round key)做异或运算。
- SubBytes—通过一个非线性的替换函式，使用查表的方式把每个字节替换成对应的字节。
- ShiftRows—将矩阵中的每个横列进行循环式移位。
- MixColumns—为了充分混合矩阵中各个直行的操作。这个步骤使用线性转换来混合每行内的四个字节。

9.3.1.1 AddRoundKey 轮密钥加

AddRoundKey 步骤，回合密钥将会与原矩阵合并。在每次的加密循环中，都会由主密钥产生一把回合密钥(通过 Rijndael 密钥生成方案产生)，这把密钥大小会跟原矩阵一样，以与原矩阵中每个对应的字节作异或。

$$k_{ij} = a_{ij} \oplus b_{ij}$$

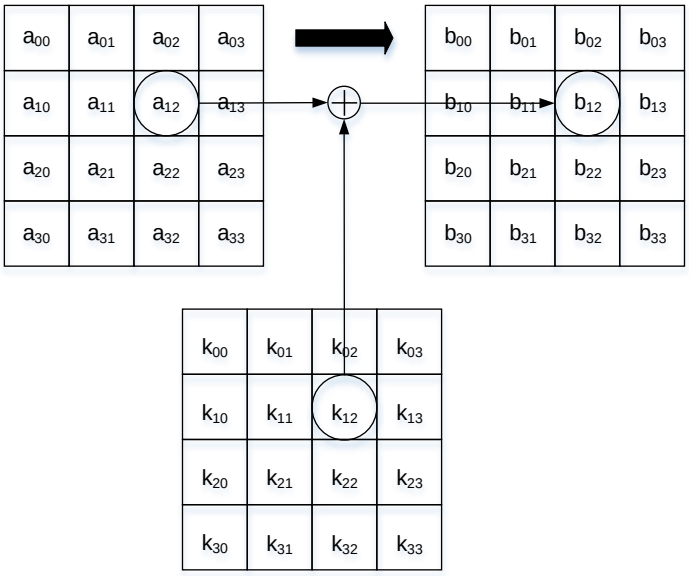


图 9-1 轮密钥加

9. 3. 1. 2 SubBytes 字节代换

在 SubBytes 步骤中，矩阵中的各字节通过一个 8 位的 S-box 进行转换。这个步骤提供了加密法非线性的变换能力。S-box 与 GF(2^8)上的乘法反元素有关，已知具有良好的非线性特性。

$$b_{ij} = S(a_{ij})$$

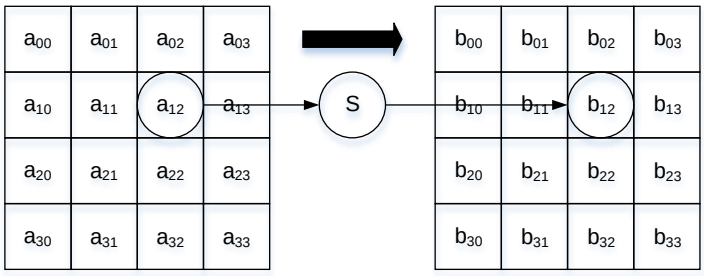


图 9-2 字节代换

9. 3. 1. 3 ShiftRows 行移位

ShiftRows 描述矩阵的行操作。在此步骤中，每一行都向左循环位移某个偏移量。在 AES 中(区块大小 128 位)，第一行维持不变，第二行里的每个字节都向左循环移动 1 格。同理，第三行及第四行向左循环位移的偏移量就分别是 2 和 3。经过 ShiftRows 之后，矩阵中每一行列，都是由输入矩阵中的每个不同列中的元素组成。

$$a_{IJ} = a_{ij}$$

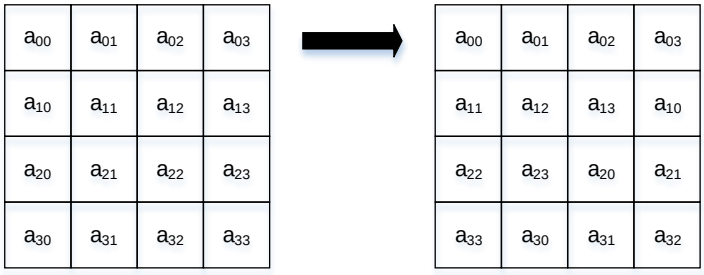


图 9-3 行移位

9. 3. 1. 4 MixColumns 列混合

在 MixColumns 步骤，每一列的四个字节通过线性变换互相结合。每一列的四个元素分别当作 1,x,x^2,x^3 的系数，合并即为 GF(2^8)中的一个多项式，接着将此多项式和一个固定的多项式 $C(x)=3x^3+x^2+x+2$ 在 module x^4+1 下相乘。此步骤亦可视为 Rijndael 有限域之下的矩阵乘法。MixColumns 函式接受 4 个字节的输入，输出 4 个字节，每一个输入的字节都会对输出的四个字节造成影响。因此 ShiftRows 和 MixColumns 两步骤为这个密码系统提供了扩散性。

$$b_{ij} = a_{ij} \otimes C(x)$$

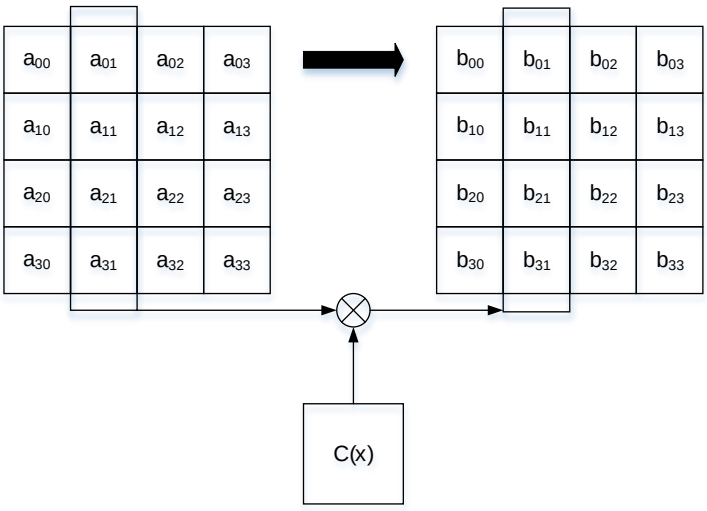


图 9-4 列混合

9. 3. 2 编码功能流程

用户使用 AES 编码模式，需先使能 AHB 时钟(RCU→AHBEN.AESEN = 1)，接着设定 AES 的参数设定 AES 密钥、AES 数据以及可能需要的 AES 初始向量，分别填入 **AES->KEY0** - **AES->KEY3**、**AES->DIO** 以及 **AES->IV0** - **AES->IV3**。

AES 编码中断接着开启，然后用户设定 AES 功能，来选择使用甚么模式以及编码或是译码在 **AES->CON**.BL 以及 **AES->CON**.MODE。当上述的设定都完成后，使用者需要给个 AES 开始的信息给硬件知道，便要设定 **AES->CON**.START，AES 就会开始动作。

使用者在开始 AES 之后，等待 AES 中断的产生 **AES->IFM**.ENC，当 AES 中断产生，代表硬件已经做完了 AES 编码，便可以读出加密过后的数据在 **AES->DIO**。最后清除 AES 中断 **AES->ICR**.ENC，整个编码便可以完成。

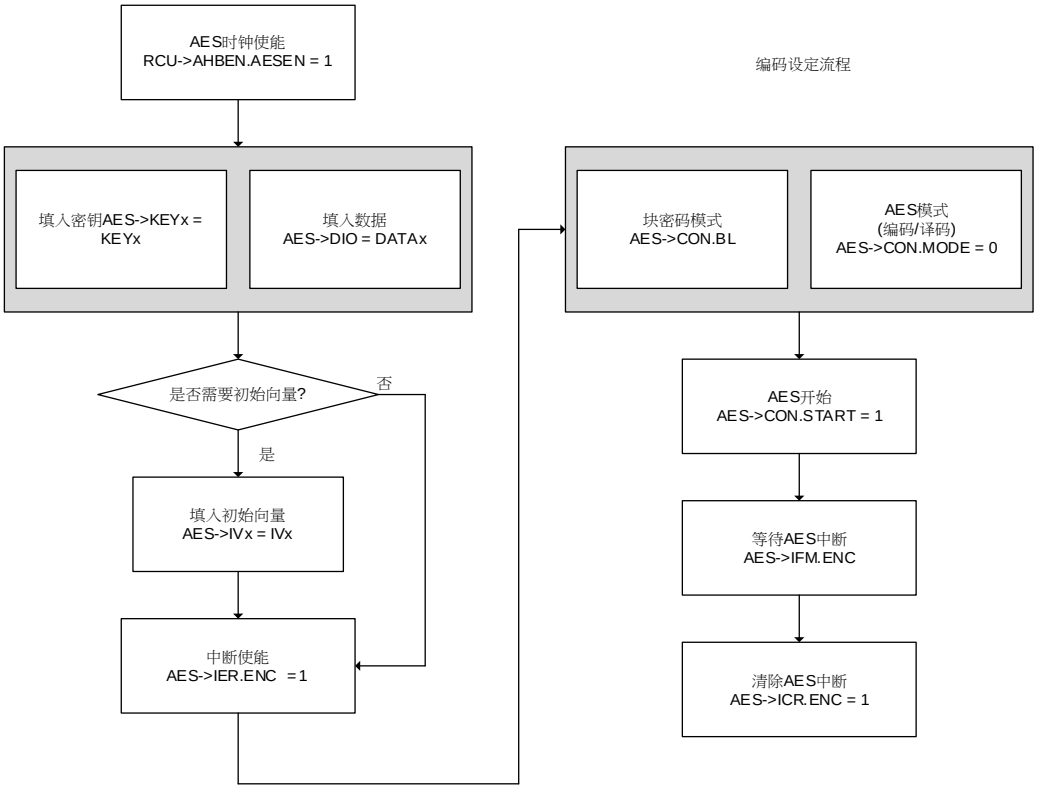


图 9-5 编码功能流程

9. 3. 3 译码功能流程

译码的流程设置与编码大致相同，用户使用 AES 编码模式，需先开启 AHB 外设时钟使能(RCU→AHBEN.AESEN = 1)，接着设定 AES 的参数设定 AES 密钥、AES 数据以及可能需要的 AES 初始向量，分别填入 **AES->KEY0 - AES->KEY3**、**AES->DIO** 以及 **AES->IV0 - AES->IV3**。

AES 译码中断接着开启，然后用户设定 AES 功能，来选择使用甚么模式以及编码或是译码在 **AES->CON**.BL 以及 **AES->CON**.MODE。当上述的设定都完成后，使用者需要给个 AES 开始的信息给硬件知道，便要设定 **AES->CON**.START，AES 就会开始动作。

使用者在开始 AES 之后，等待 AES 中断的产生 **AES->IFM**.DEC，当 AES 中断产生，代表硬件已经做完了 AES 译码，便可以读出加密过后的数据在 **AES->DIO**。最后清除 AES 中断 **AES->ICR**.DEC，整个译码便可以完成。

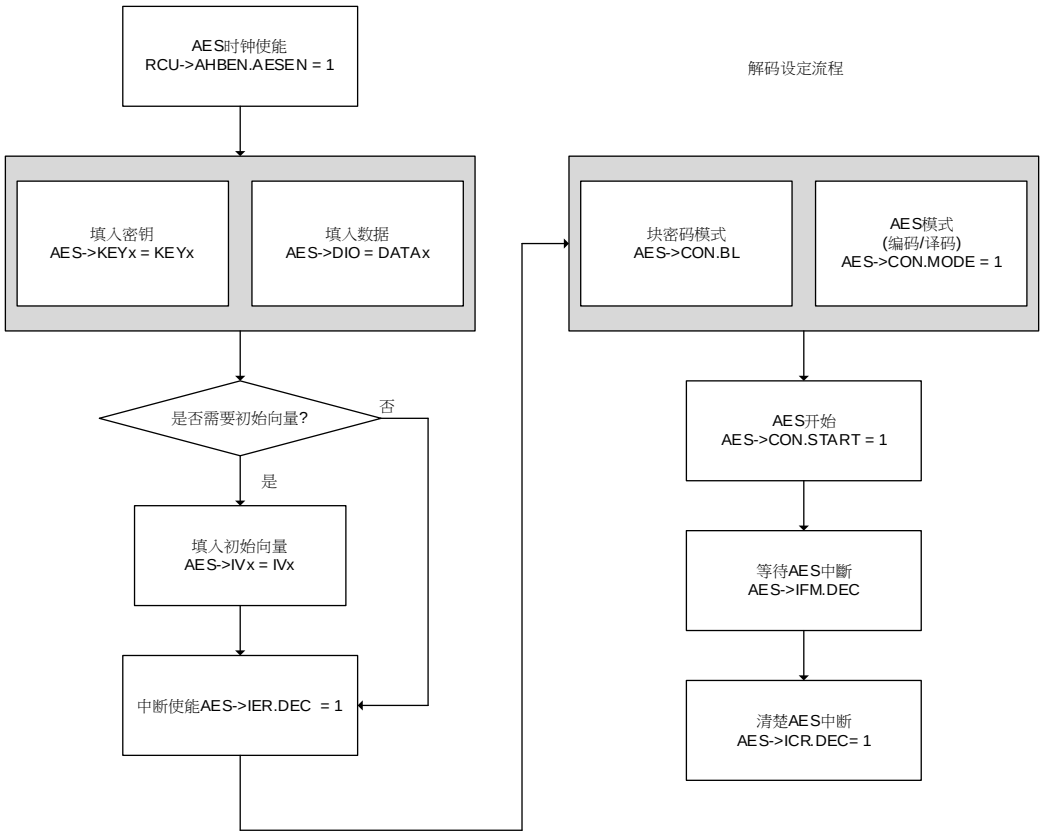


图 9-6 译码功能流程

9. 3. 4 AES 处理时间

下面是运行 128bit 的 AES 功能，加密以及解密所需要的时间

- 加密
- 解密

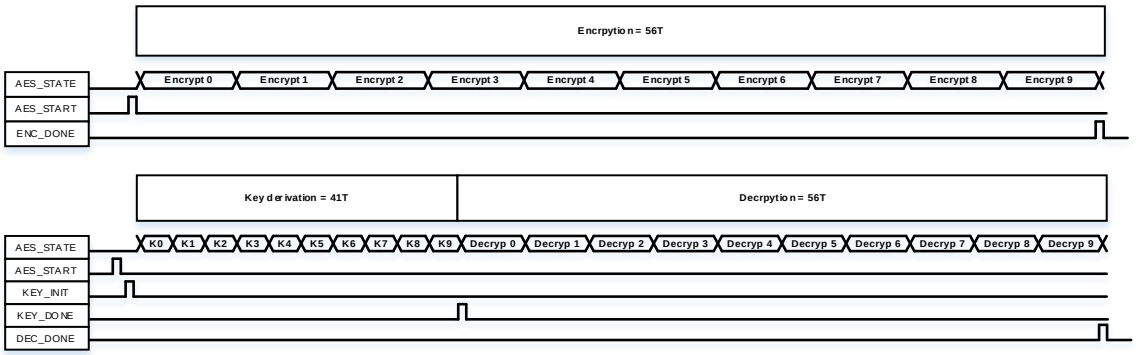


图 9-7 加密/解密时间

9. 3. 5 AES 模式描述

9. 3. 5. 1 电子密码本 Electronic Codebook Book (ECB)

在 ECB 模式。需要加密的信息按照明文大小被分为数个区块，并对每个区块进行独立加密。

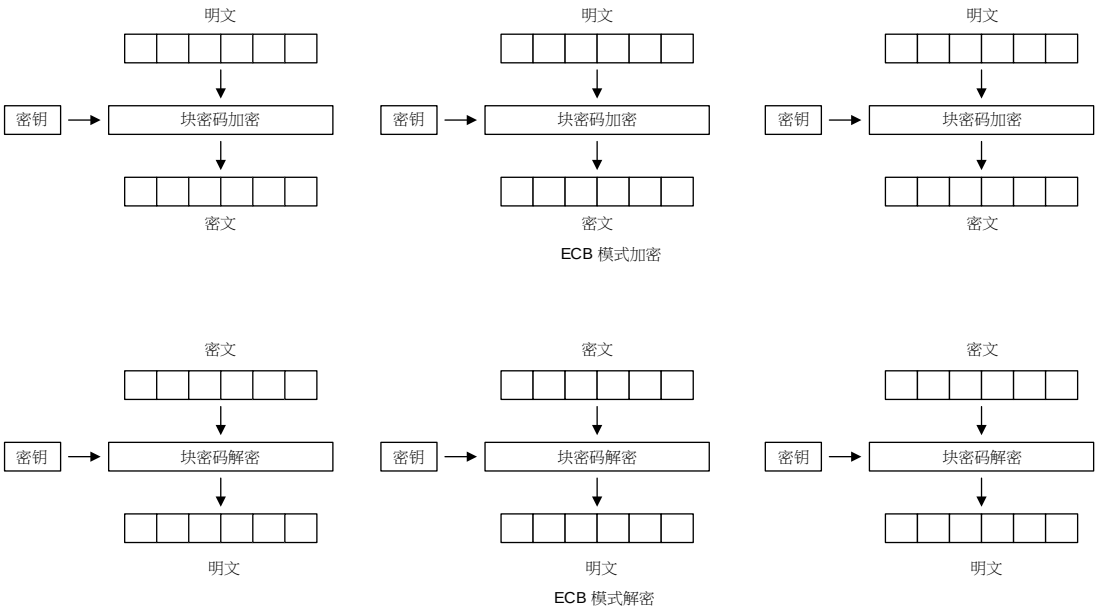


图 9-8 ECB 模式

9. 3. 5. 2 密码块链接 Cipher Block Chaining (CBC)

在 CBC 模式中，每个明文先与前一个的密文进行异或，再进行加密。在这种方法中，每个明文都依赖于它前面的所有密文。同时，为了保证每条消息的唯一性，在初始编码的时候，需要使用初始向量。

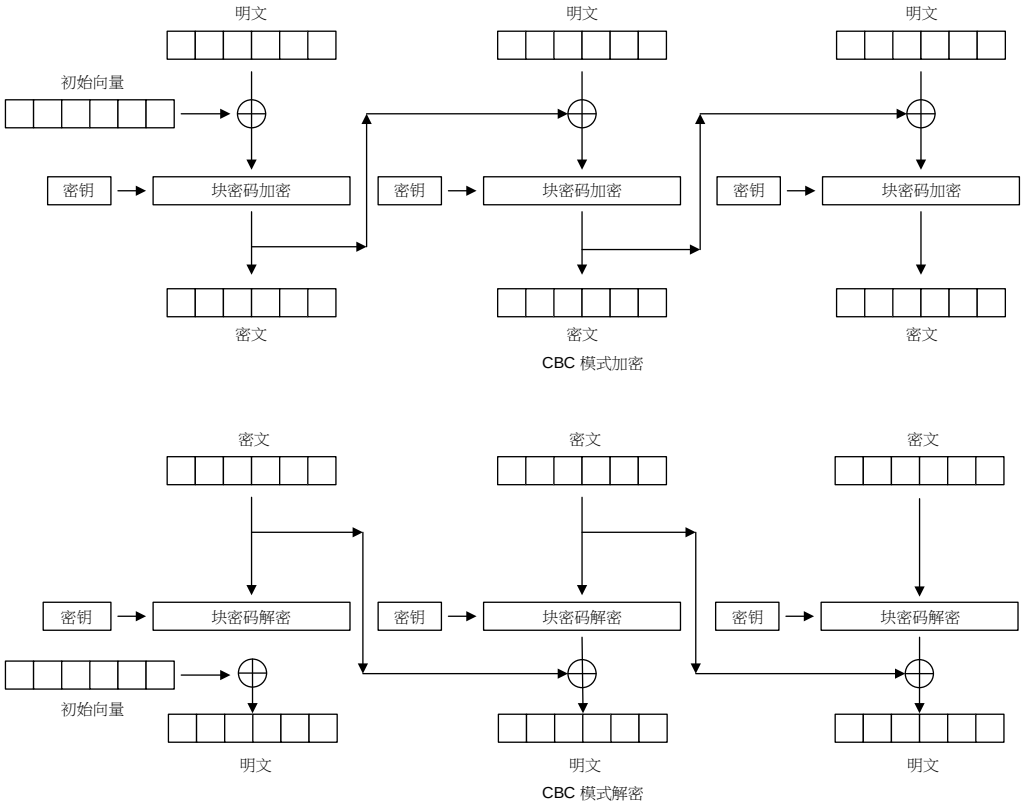


图 9-9 CBC 模式

9. 3. 5. 3 密文反馈 Cipher FeedBack (CFB)

在 CFB 模式下，需要先产生初始向量，在与使用密钥得到的加密过后的结果与明文进行异或，所得到的密文便又会成为下一个的编码的明文。

它的自同步特性仅仅与 CBC 相同，即若密文的一整块发生错误，CBC 和 CFB 都仍能解密大部分数据，而仅有一位数据错误。若需要在仅有了一位或一字节错误的情况下也让模式具有自同步性，必须每次只加密一位或一字节。可以将移位寄存器作为块密码的输入，以利用 CFB 的自同步性。

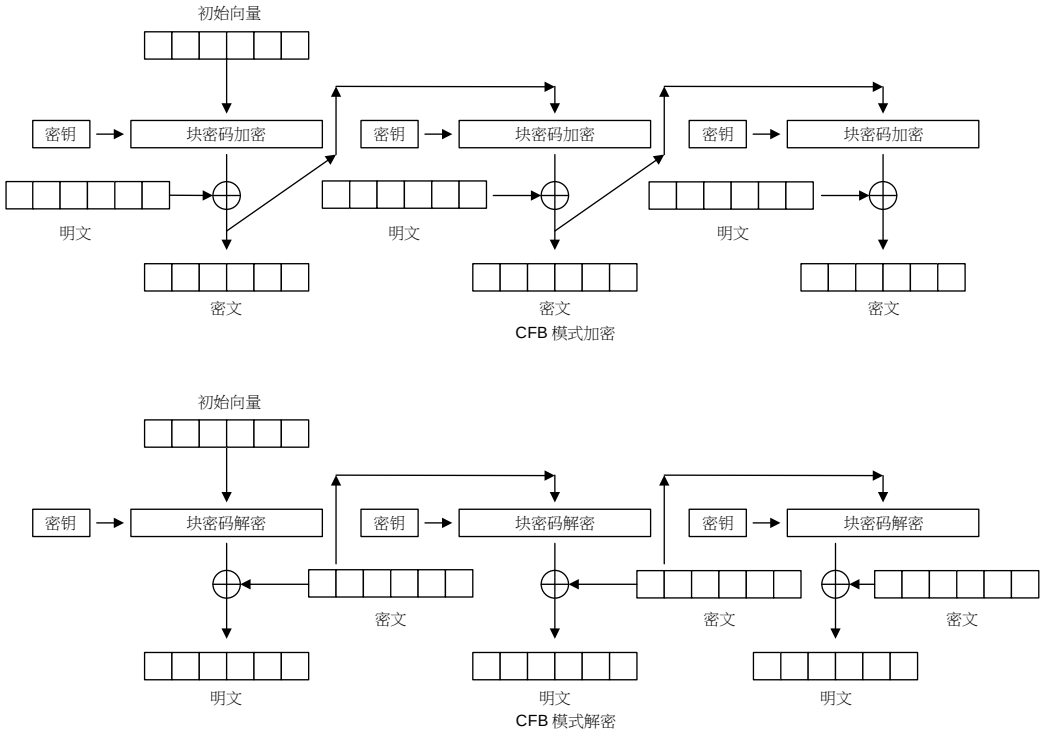


图 9-10 CFB 模式

9. 3. 5. 4 输出反馈 Output FeedBack (OFB)

OFB 模式(Output feedback, OFB)先产称一组初始向量，将初始向量与密钥先产生加密过后的结果，变成下一个编码的初始向量。同时将加密过后的结果与明文进行异或，得到密文。

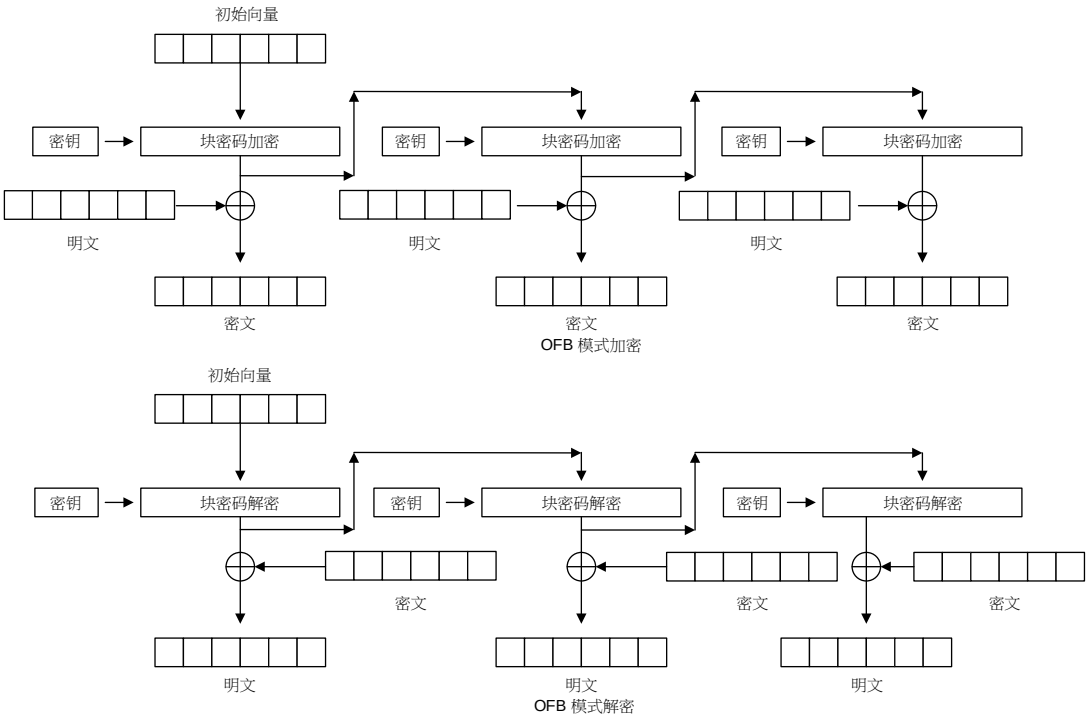


图 9-11 OFB 模式

9. 3. 5. 5 计数器模式 Counter (CTR)

CTR 模式(Counter mode，CM)也被称为 ICM 模式(Integer Counter Mode，整数计数模式)和 SIC 模式(Segmented Integer Counter)。

CTR 模式与 OFB 类似，产生一个 Nonce 与初始向量功能相同，搭配硬件内部的 counter，每次编码都会有前一组的初始向量累加，在跟密钥进入编码产生的结果与明文进行异或来得到密文。

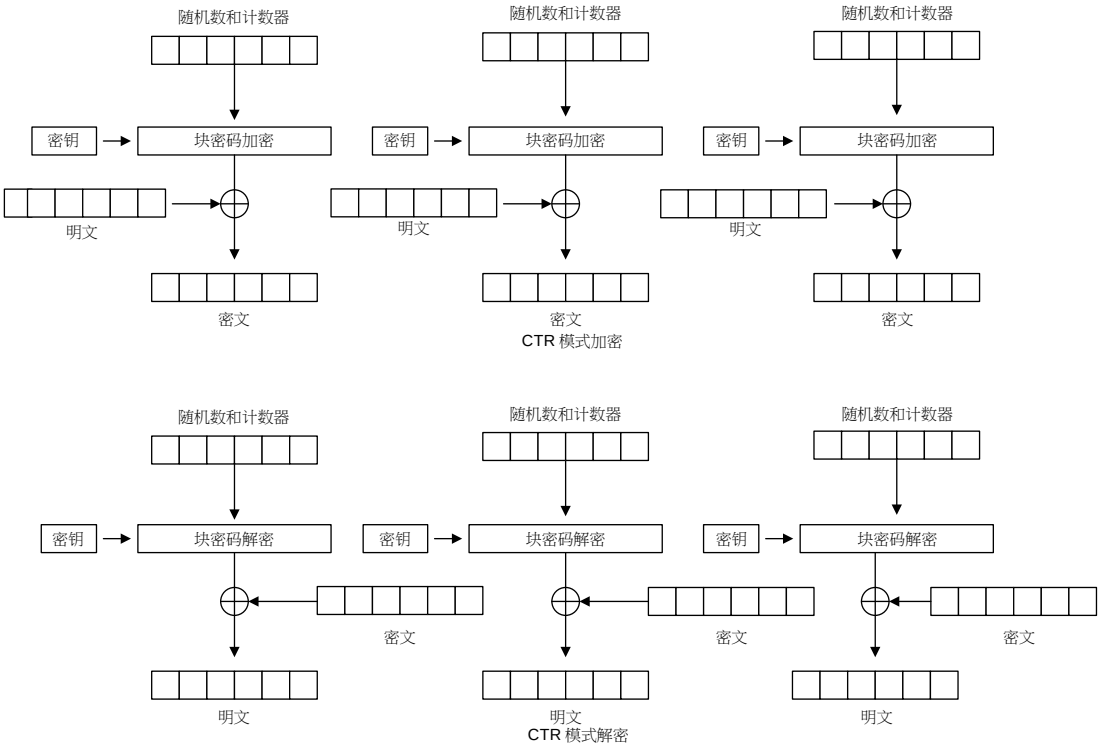


图 9-12 CTR 模式

9. 3. 6 AES DMA 设置

AES 使用 DMA 的情况下，需要先开启 **AES_CON**.DMA_EN，分别有编码/译码输入以及编码/译码输出两个开关，使用者如果同时开启，需要使用两个不同的 DMA 通道传送。

DMA 需要将数据的长度需要为 128 位的倍数，并且设定为一个字组(32bit)传送，并且每四次 DMA 的传送需要一次 DMA 仲裁。在输入的情况下目的地的储存位置为 **AES_DIO**，所以需要设定为目标地址无增量。反之输出来源的发送位置为 **AES_DIO**，所以需要设定来源地址无增量。

使用 DMA 来编码/译码数据，可以不需要设定 AES 自身的中断，将上述 DMA 的设定以及开启中断，启动 **AES_CON**.START，当输出端的 DMA 中断完成，即可得到编码/译码完成的数据。

9.4 特殊功能寄存器

9.4.1 寄存器列表

AES 寄存器列表			
名称	偏移地址	类型	描述
AES_CON	000_H	R/W	AES 控制寄存器
AES_IER	004_H	W1	AES 中断开启寄存器
AES_IDR	008_H	W1	AES 中断关闭寄存器
AES_IVS	$00C_H$	R	AES 中断功能有效状态寄存器
AES_RIF	010_H	R	AES 原始中断状态寄存器
AES_IFM	014_H	R	AES 中断标志位状态寄存器
AES_ICR	018_H	C_W1	AES 中断清除寄存器
AES_DIO	$01C_H$	R/W	AES 128-bit 输入/输出数据寄存器
AES_KEY0	020_H	R/W	AES 128-bit 密钥寄存器 0
AES_KEY1	024_H	R/W	AES 128-bit 密钥寄存器 1
AES_KEY2	028_H	R/W	AES 128-bit 密钥寄存器 2
AES_KEY3	$02C_H$	R/W	AES 128-bit 密钥寄存器 3
AES_IV0	040_H	R/W	AES 128-bit 初始向量寄存器 0
AES_IV1	044_H	R/W	AES 128-bit 初始向量寄存器 1
AES_IV2	048_H	R/W	AES 128-bit 初始向量寄存器 2
AES_IV3	$04C_H$	R/W	AES 128-bit 初始向量寄存器 3

9. 4. 2 寄存器描述

9. 4. 2. 1 AES 控制寄存器(AES_CON)

AES 控制寄存器(AES_CON)																												
偏移地址：0x00																												
复位值：0x0040 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	READY	OT_DMA_ST	IT_DMA_ST	OT_DEPTH<1:0>		IT_DEPTH<1:0>		—	—	—	—	—	—	—	RE_INIT	DMA_EN<1:0>		BL<2:0>			REV	MODE	START

—	Bits 31-23	—	—
READY	Bit 22	R/W	**AES 加密/解密就绪状态** 0: 忙碌 1: 就绪
OT_DMA_ST	Bit 21	R	**AES DMA 输出状态** AES DMA 搬移数据的时候为 1。
IT_DMA_ST	Bit 20	R	**AES DMA 输入状态** AES DMA 搬移数据的时候为 1。
OT_DEPTH	Bits 19-18	R	**AES DIO 数据输出深度状态 (X=0,1,2,3)** 显示输出数据数量。AES 数据为 X*32，X 将显示此寄存器。
IT_DEPTH	Bits 17-16	R	**AES DIO 数据输入深度状态 (X=0,1,2,3)** 显示输入数据数量。AES 数据为 X*32，X 将显示此寄存器。
—	Bits 15-9	—	—
RE_INIT	Bit 8	T_W1	**AES 重新初始** 将 AES 输入/输出数据深度以及状态初始化 0:未初始化。 1:初始化。
DMA_EN	Bits 7-6	R/W	**AES DMA 功能使能** 启用输出以及输入的 DMA 功能。 DMA_EN[0] 0: 输入 DMA 禁用。 1: 输入 DMA 使能。 DMA_EN[1] 0: 输出 DMA 禁用。 1: 输出 DMA 使能。

BL	Bits 5-3	R/W	**区密码加密/解密模式** 000:CBC 001:CFB 010:OFB 011:CTR 100:ECB 101:GCM
—	Bit 2	—	—
MODE	Bit 1	R/W	**AES 模式控制** 0: 加密模式 1: 解密模式
START	Bit 0	T_W1	**AES 启动** 设置 1，启动 AES 功能。

9. 4. 2. 2 AES 中断开启寄存器(AES_IER)

AES 中断开启寄存器(AES_IER)

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																														DEC	ENC

—	Bits 31-2	—	—
DEC	Bit 1	W1	**开启 AES 解密中断** 0: 无影响。 1: 开启 AES 解密中断。
ENC	Bit 0	W1	**开启 AES 加密中断** 0: 无影响。 1: 开启 AES 加密中断。

9. 4. 2. 3 AES 中断关闭寄存器(AES_IDR)

AES 中断关闭寄存器(AES_IDR)																														
偏移地址：0x08																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																														DEC	ENC

—	Bits 31-2	—	—
DEC	Bit 1	W1	**关闭 AES 解密中断** 0: 无影响。 1: 关闭 AES 解密中断。
ENC	Bit 0	W1	**关闭 AES 加密中断** 0: 无影响。 1: 关闭 AES 解密中断。

9. 4. 2. 4 AES 中断功能有效位状态寄存器(AES_IVS)

AES 中断功能有效位状态寄存器(AES_IVS)																														
偏移地址：0x0C																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																														DEC	ENC

—	Bits 31-2	—	—
DEC	Bit 1	R	**AES 解密中断有效状态** 0: AES 解密中断禁止状态。 1: AES 解密中断有效状态。
ENC	Bit 0	R	**AES 加密中断有效状态** 0: AES 加密中断禁止状态。 1: AES 加密中断有效状态。

9. 4. 2. 5 AES 原始中断状态寄存器(AES_RIF)

AES 原始中断状态寄存器(AES_RIF)																													
偏移地址：0x10																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																														DEC	ENC

—	Bits 31-2	—	—
DEC	Bit 1	R	**AES 解密原始中断状态** 0: 无中断产生。 1: AES 解密中断产生。
ENC	Bit 0	R	**AES 加密原始中断状态** 0: 无中断产生。 1: AES 加密中断产生。

9. 4. 2. 6 AES 中断标志位状态寄存器(AES_IFM)

AES 中断标志位状态寄存器(AES_IFM)																													
偏移地址：0x14																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																														DEC	ENC

—	Bits 31-2	—	—
DEC	Bit 1	R	**AES 解密中断标志位状态** 0: 无中断产生或中断未使能。 1: AES 解密中断产生。
ENC	Bit 0	R	**AES 加密中断标志位状态** 0: 无中断产生或中断未使能。 1: AES 加密中断产生。

9. 4. 2. 7 AES 中断清除寄存器(AES_ICR)

AES 中断清除寄存器(AES_ICR)																														
偏移地址：0x18																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																														DEC	ENC

—	Bits 31-2	—	—
DEC	Bit 1	C_W1	**清除 AES 解密中断** 0: 无影响。 1: 清除 AES 解密中断。
ENC	Bit 0	C_W1	**AES 加密中断禁用** 0: 无影响。 1: 清除 AES 加密中断。

9. 4. 2. 8 AES 128-bit 输入/输出数据寄存器 (AES_DIO)

AES 128-bit 输入/输出数据寄存器 (AES_DIO)																														
偏移地址：0x1C																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIO<31:0>																														

DIO	Bits 31-0	R/W	**AES 输入/输出数据[31:0]** 填写加密或解密的AES 128位输入数据。必须写入4次，以填充128位输入数据。使用者可以从AES.CON.IT_DEPTH检查写入多少次数据。 读取加密或解密的AES 128位输入数据。必须读取4次，得到128位输出数据。使用者可以从AES.CON.OT_DEPTH检查读取多少次数据。

9. 4. 2. 9 AES 128-bit 密钥寄存器 0(AES_KEY0)

AES 128-bit 密钥寄存器 0(AES_KEY0)																															
偏移地址：0x20																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY0<31:0>																															

KEY0	Bits 31-0	R/W	**AES 密钥[31:0]** 128位的密钥的第一部分(KEY[31:0])，对于输入数据进行加密/解密。

9. 4. 2. 10 AES 128-bit 密钥寄存器 1(AES_KEY1)

AES 128-bit 密钥寄存器 1(AES_KEY1)																															
偏移地址：0x24																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY1<31:0>																															

KEY1	Bits 31-0	R/W	**AES 密钥[63:32]** 128位的密钥的第二部分(KEY[63:32])，对于输入数据进行加密/解密。

9. 4. 2. 11 AES 128-bit 密钥寄存器 2(AES_KEY2)

AES 128-bit 密钥寄存器 2(AES_KEY2)																															
偏移地址：0x28																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY2<31:0>																															

KEY2	Bits 31-0	R/W	**AES 密钥[95:64]** 128位的密钥的第三部分(KEY[95:64])，对于输入数据进行加密/解密。

9. 4. 2. 12 AES 128-bit 密钥寄存器 3(AES_KEY3)

AES 128-bit 密钥寄存器 3(AES_KEY3)																															
偏移地址：0x2C																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY3<31:0>																															

KEY3	Bits 31-0	R/W	**AES 密钥[127:96]** 128位的密钥的第四部分(KEY[127:96])，对于输入数据进行加密/解密。

9. 4. 2. 13 AES 128-bit 初始向量寄存器 0(AES_IV0)

AES 128-bit 初始向量寄存器 0(AES_IV0)																															
偏移地址：0x40																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IV0<31:0>																															

IV0	Bits 31-0	R/W	**AES 初始向量[31:0]** 128-bit 初始向量的第一部分 (IV[31:0]) 。

9. 4. 2. 14 AES 128-bit 初始向量寄存器 1(AES_IV1)

AES 128-bit 初始向量寄存器 1(AES_IV1)																															
偏移地址：0x44																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IV1<31:0>																															

IV1	Bits 31-0	R/W	**AES 初始向量[63:32]** 128-bit 初始向量的第二部分(IV[63:32]).

9. 4. 2. 15 AES 128-bit 初始向量寄存器 2(AES_IV2)

AES 128-bit 初始向量寄存器 2(AES_IV2)																															
偏移地址：0x48																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IV2<31:0>																															

IV2	Bits 31-0	R/W	**AES 初始向量[95:64]** 128-bit 初始向量的第三部分(IV[95:64]).

9. 4. 2. 16 AES 128-bit 初始向量寄存器 3(AES_IV3)

AES 128-bit 初始向量寄存器 3(AES_IV3)																															
偏移地址：0x4C																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IV3<31:0>																															

IV3	Bits 31-0	R/W	**AES 初始向量[127:96]** 128-bit 初始向量的最后部分(IV[127:96]).

第10章 循环冗余校验 (CRC)

10.1 概述

循环冗余校验主要是利用生成多项式与数据间的运算产生一组 CRC 校验结果。主要用来检测或校验数据传输或者储存后可能出现的错误。生成的数字在传输或者储存之前计算出来并且附加到数据后面，然后接收方进行检验确定数据是否发生变化。

10.2 特性

- 支持 CRC32、CRC16 以及 CRC8
- 支持 8 位、16 位以及 32 位的数据输入
- 使用者可自行编辑生成多项式(Generate Polynomial)
- 使用者可自行编辑 CRC 的初始数值
- 支持 DMA 输入数据
- 支持 CRC 校验结果检查
- 支持 32 位数据可于 4 个 AHB CLK 内计算完成
- 支持最高有效位(MSB)先计算或是最低有效位(LSB)先计算
- 支持输入/输出数据反相
- 支持输出与使用者设定的 reminder 进行异或

10.3 功能描述

由下图可以清楚看到，使用者开始 CRC 运送，需要先使能 CRC AHB 外设时钟 **RCU_AHBEN**.CRCEN = 1。在开始 CRC 之前，需要先复位部分参数的设定 **CRC_CON**.RESET，以防止上一次的设定存留在寄存器之中。接着设定 CRC 所需要的参数 CRC 多项式以及 CRC 初始状态，分别设定在 **CRC->POLY** 以及 **CRC->INIT**。

设定完 CRC 所需的参数后，设定 **CRC->CON** 来控制 CRC 的功能。数据输入/输出是否要反向 **CRC->CON**.REIN/**CRC_CON**.REOUT，数据是否为 Most Significant Byte First(MSB)需要设定 **CRC->CON**.MSB 以及使用的多项式的大小需要设定 **CRC->CON**.SIZE。

前置设定完成，便可以输入数据 **CRC->DATA**，硬件侦测到 data 的写入后，便会自动运算 CRC，等待 CRC 完成的状态 **CRC_STAT**.DONE，便可以读到 CRC 的结果，**CRC_DOUT** 以及 **CRC_DOUT_XOR**。当使用者使用 **CRC_CON**.MODE，可以比较输出结果是否跟 **CRC_CMP** 存放的值一样。

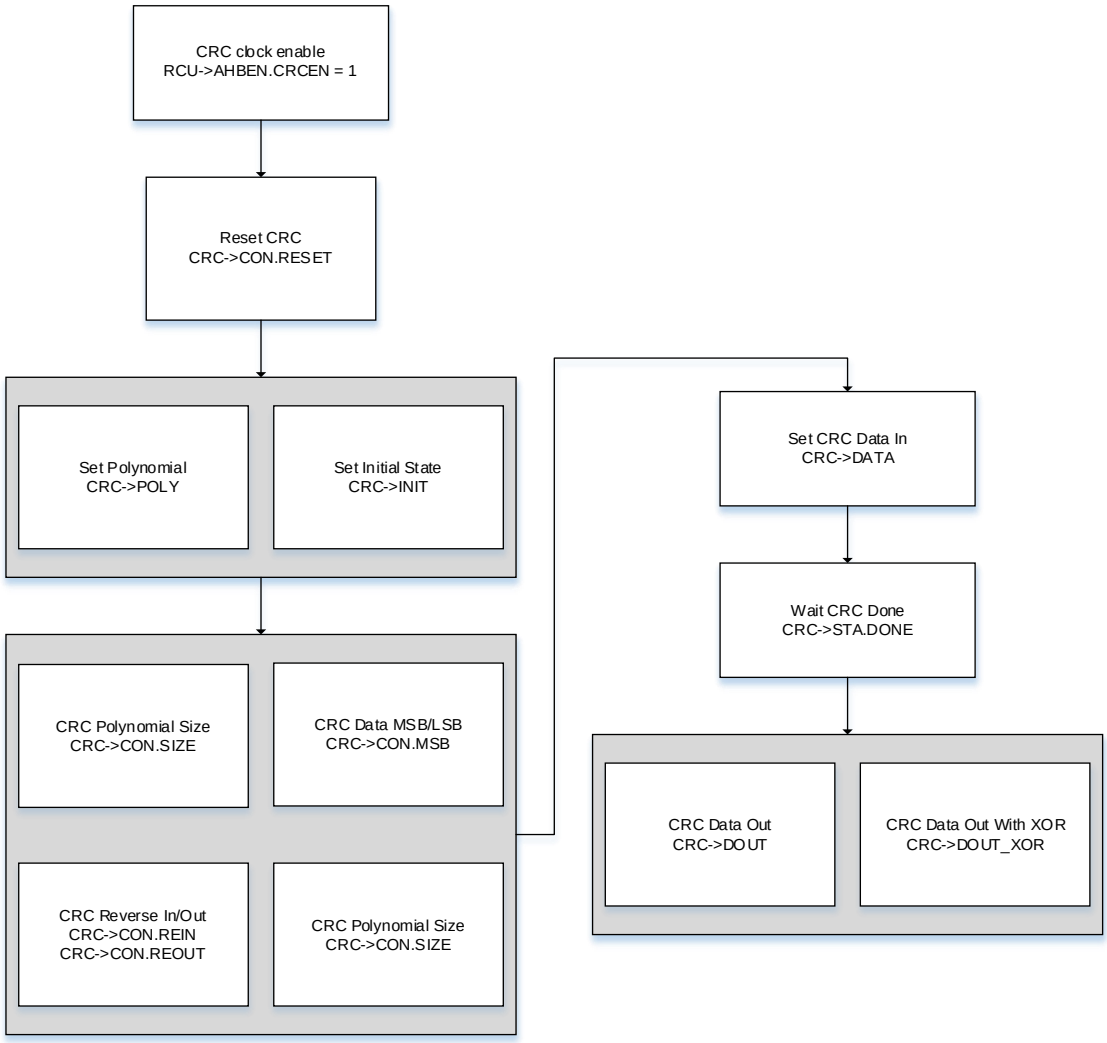


图 10-1 设定流程

10. 4 特殊功能寄存器

10. 4. 1 寄存器列表

CRC 寄存器列表			
名称	偏移地址	类型	描述
CRC_INIT	0000_H	R/W	CRC 初值寄存器
CRC_POLY	0004_H	R/W	CRC 多项式寄存器
CRC_DATA	0008_H	R/W	CRC 输入数据寄存器
CRC_CMP	$000C_H$	R/W	CRC 比较数据寄存器
CRC_REMA	0010_H	R/W	CRC 余数数据寄存器
CRC_CON	0014_H	R/W	CRC 控制寄存器
CRC_DOUT	0018_H	R	CRC 输出数据寄存器
CRC_DOUT_XOR	$001C_H$	R	CRC 输出异或数据寄存器
CRC_STAT	0020_H	R	CRC 状态寄存器

10. 4. 2 寄存器描述

10. 4. 2. 1 CRC 初值寄存器 (CRC_INIT)

CRC 初值寄存器 (CRC_INIT)																															
偏移地址：0x00																															
复位值：0xFFFF FFFF																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INIT<31:0>																															

INIT	Bits 31-0	R/W	**CRC 初值** 设定CRC的初始值。此寄存器在CRC计算期间被锁住。

10. 4. 2. 2 CRC 多项式寄存器 (CRC_POLY)

CRC 多项式寄存器(CRC_POLY)																															
偏移地址：0x04																															
复位值：0x04C1 1DB7																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
POLY<31:0>																															

POLY	Bits 31-0	R/W	**CRC多项式** 设定CRC的多项式系数，默认系数为CRC32。此寄存器在CRC计算期间被锁住。

10. 4. 2. 3 CRC 输入数据寄存器 (CRC_DATA)

CRC 输入数据寄存器(CRC_DATA)																															
偏移地址：0x08																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA<31:0>																															

DATA	Bits 31-0	R/W	**CRC 输入数据** 设定CRC的输入数据，写入此寄存器后，CRC会开始计算。此寄存器在CRC计算期间被锁住。

10. 4. 2. 4 CRC 比较数据寄存器 (CRC_CMP)

CRC 比较数据寄存器(CRC_CMP)																															
偏移地址：0x0C																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMP<31:0>																															

CMP	Bits 31-0	R/W	**CRC 比较数据** 此寄存器数值会与CRC的输出进行比较。此寄存器在CRC计算期间被锁住。

10. 4. 2. 5 CRC 余数数据寄存器(CRC_REMA)

CRC 余数数据寄存器(CRC_REMA)																															
偏移地址：0x10																															
复位值：0xFFFF FFFF																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REMA<31:0>																															

REMA	Bits 31-0	R/W	**CRC 余数数据** 此寄存器数值会与CRC的输出进行异或。此寄存器在CRC计算期间被锁住。

10. 4. 2. 6 CRC 控制寄存器 (CRC_CON)

CRC 控制寄存器(CRC_CON)																															
偏移地址：0x14																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMA	—	—	—	MSB	—	REOUT	—	REIN	—	—	SIZE<1:0>		MODE<1:0>		—	RESET	

—	Bits 31-17	—	—
DMA	Bit 16	R/W	**DMA使能** 0: 关闭DMA功能。 1: 开启DMA功能。
—	Bits 15-13	—	—
MSB	Bit 12	R/W	**最高有效字节优先** 改变输入数据的字节顺序。 0: LSB字节先计算。 1: MSB字节先计算。
—	Bit 11	—	—
REOUT	Bit 10	R/W	**CRC输出数据反向** 0: 禁用反向操作 1: 反向输出数据
—	Bit 9	—	—

REIN	Bit 8	R/W	**CRC输入数据反向** 0: 禁用反向操作 1: 反向输入数据
—	Bits 7-6	—	—
SIZE	Bits 5-4	R/W	**CRC 多项式大小** 00: 32 bit 多项式 01: 16 bit 多项式 10: 8 bit 多项式 11: 保留
MODE	Bits 3-2	R/W	**CRC 比较模式** 00: 禁用比较功能 01: 将CRC结果与32'h0000_0000比较 10: 将CRC结果与CRC_CMP比较 11: 保留
—	Bit 1	—	—
RESET	Bit 0	T_W1	**CRC 重置** 设置此寄存器重置CRC，寄存器将自行清除。

10. 4. 2. 7 CRC 输出数据寄存器 (CRC_DOUT)

CRC 输出数据寄存器(CRC_DOUT)

偏移地址：0x18

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DOUT<31:0>																															

DOUT	Bits 31-0	R	**CRC 计算结果** 显示CRC的计算结果。设置CRC_CON.RESET，此寄存器将会被清除。

10. 4. 2. 8 CRC 输出异或数据寄存器 (CRC_DOUT_XOR)

CRC 输出异或数据寄存器(CRC_DOUT_XOR)																															
偏移地址：0x1C																															
复位值：0xFFFF FFFF																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DOUT_XOR<31:0>																															

DOUT_XOR	Bits 31-0	R	**CRC计算异或结果** 显示CRC的计算异或结果。设置CRC_CON.RESET，此寄存器将会被清除。

10. 4. 2. 9 CRC 状态寄存器 (CRC_STAT)

CRC 状态寄存器(CRC_STAT)																															
偏移地址：0x20																															
复位值：0xFFFF FFFF																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																							FAIL						EMPTY	BUSY	DONE

—	Bits 31-9	—	—
FAIL	Bit 8	R	**CRC 比较失败** CRC结果比较状态 0: 比对结果正确 1: 比对结果错误
—	Bits 7-3	—	—
EMPTY	Bit 2	R	**CRC功能为空** CRC功能使用状态，设置CRC_CON.RESET，此寄存器将会被清除。 0: 已计算过CRC 1: 未计算过CRC。
BUSY	Bit 1	R	**CRC 忙碌状态** CRC计算结束后，改变此状态。

			0: CRC正在等待数据输入。 1: CRC计算忙碌中。
DONE	Bit 0	R	**CRC 计算完成** 0: CRC计算未完成。 1: CRC计算完成。

第11章 时钟同步单元(CSU)

11. 1 概述

时钟同步单元(CSU)是一个高级数字控制器，用于内部高精度可调式 RC 振荡器 HRC48，CSU 提供一种有效的方法来评估振荡器的输出频率，通过振荡器的输出信号与选择的同步时钟源比较，计算出振荡器频率的快慢。CSU 可以根据评估结果自动校准振荡器的频率。

CSU 非常适合 USB 作为设备模式下的应用，在这种应用情境为 USB 提供精准的时钟，同步时钟源可选择从 USB 总线上的 SOF 封包获取，此封包由 USB 主机端以间隔精准的 1 毫秒发送；亦可选择通过 LOSC 振荡器输出、外部引脚输入或是由使用者的软件产生。

11. 2 特性

- 支持预分频和极性选择的同步时钟源如下
  - 外部引脚
  - LOSC 振荡器输出
  - USB 总线上的 SOF 信号
- 支持用户的软件产生同步时钟
- 振荡器自动校准功能
- 具有自动记录计数值的 16 位频率偏差计数器
- 可屏蔽的中断
  - 理想同步
  - 校准值错误
  - 时钟同步异常
  - 时钟同步错误
  - 时钟同步警告
  - 时钟同步匹配

11. 3 结构图

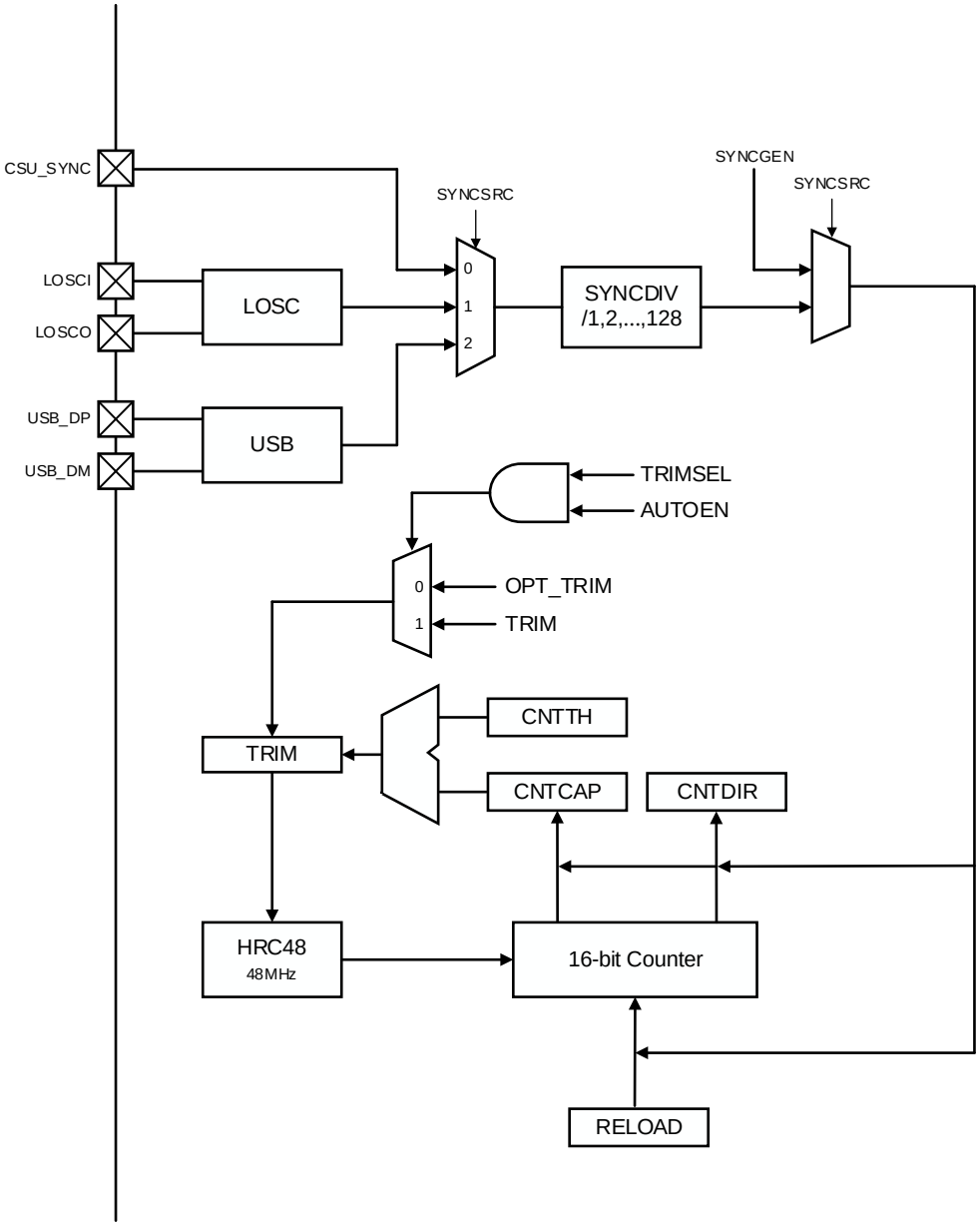


图 11-1 CSU 结构图

11. 4 功能描述

11. 4. 1 同步信号输入

CSU 同步信号源可以通过 **CSU_CFG**.SYNCSRC 选择，可以选择外部 **CSU_SYNC** 引脚、LOSC 时钟、USB 的 SOF 信号或是使用者软件所产生同步时钟。同步信号源若选择 **CSU_SYNC** 引脚、LOSC 时钟或 USB 的 SOF 信号时，可以配置 **CSU_CFG**.POLSEL 选择上升沿触发或是下降沿触发作为计数器的触发事件，也可以配置 **CSU_CFG**.SYNCDIV 预分频，以得到适合的同步信号频率(建议在 1kHz 左右)。

11. 4. 2 频率偏差计数器

频率偏差计数器是一个 16 位的上下数计数器，当同步信号触发事件发生时，会将 **CSU_CFG**.RELOAD 重载并开始递减计数，当计数器数到零时，会产生一个理想同步中断(FHIT)，同步信号预期在这个时间点触发事件(意味着振荡器的输出频率为精准的目标频率)，然后计数器会开始递增计数，直到超过极限值(LIMIT)停止计数，并产生时钟同步异常中断(FFAULT)，极限值为 **CSU_CFG**.CNTTH 乘以 128。

每次同步信号触发事件发生时，会自动记录频率偏差计数器的计数方向 **CSU_STAT**.CNTDIR 与计数值 **CSU_STAT**.CNTCAP。当同步信号触发事件发生时，若频率偏差计数器为递减计数(**CSU_STAT**.CNTDIR 为 1)，表示振荡器的输出频率低于目标频率，因此需要递增校准值 **CSU_CON**.TRIM，反之频率偏差计数器为递增计数(**CSU_STAT**.CNTDIR 为 0)，表示振荡器的输出频率高于目标频率，因此需要递减校准值。

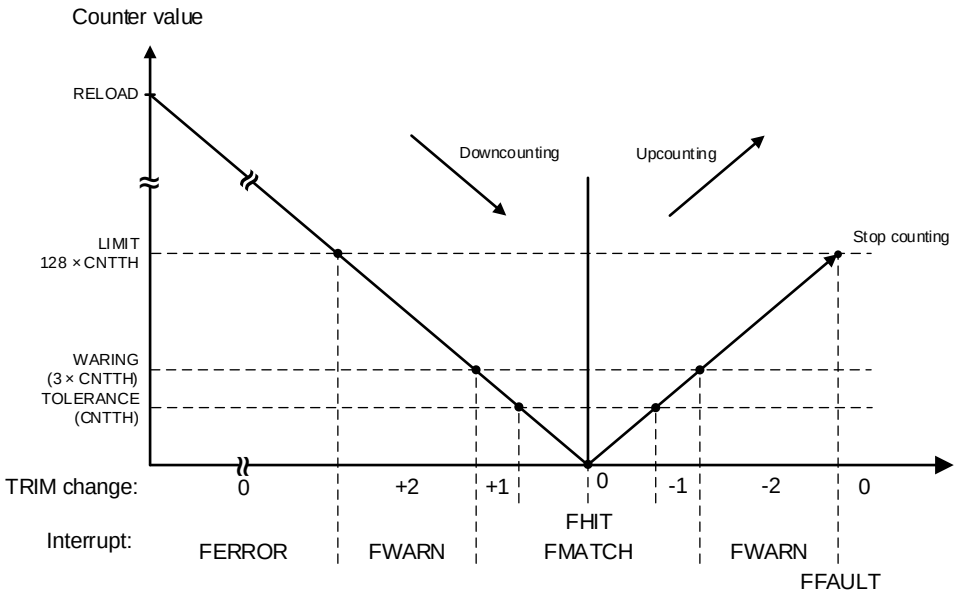


图 11-2 CSU 计数器行为

11. 4. 3 频率偏差评估与自动校准

频率偏差评估是通过下列三组数值来界定：

- 容许值(TOLERANCE)，取决于 CSU 配置寄存器的计数容许值 CSU_CFG.CNTTH
- 警告值(WARNING)，定义为 CNTTH 的 3 倍
- 极限值(LIMIT)，定义为 CNTTH 的 128 倍

同步信号触发事件时计数器的计数值会自动记录在 CSU_STAT.CNTCAP，将计数值与上述三组数值作比较，以此判断振荡器的输出频率状态并且调整，使用者可以启用自动校准功能(配置 CSU_CON.AUTOEN 为 1)，CSU 将依据振荡器的输出频率状态自动调整校准值 CSU_CON.TRIM：

- 当计数值小于容许值，表示振荡器的输出频率相当于目标频率
  - ◇ 时钟同步匹配状态(FMATCH)
  - ◇ 自动校准模式时，不需要调整校准值
- 当计数值大于等于容许值且小于警告值，表示振荡器的输出频率接近目标频率
  - ◇ 时钟同步匹配状态(FMATCH)
  - ◇ 自动校准模式时，需要微调校准值每次只调整一个单位
- 当计数值大于等于警告值且小于极限值，表示振荡器的输出频率与目标频率有落差
  - ◇ 时钟同步警告状态(FWARN)
  - ◇ 自动校准模式时，调整校准值每次调整两个单位
- 当计数值大于等于极限值，表示振荡器的输出频率与目标频率差距过大，有可能是输入信号不干净或是没有接收到同步信号
  - ◇ 时钟同步错误(FERROR)/时钟同步异常(FFAULT)
  - ◇ 自动校准模式时，不调整校准值

注：如果校准值因自动校准调整到溢位(Overflow)或是欠位(Underflow)，表示校准值已经达到极限无法继续校准，此为校准值错误状态(TRIMERR)。

当 CSU 在自动校准模式时，校准值寄存器 CSU_CON.TRIM 只能读取，不允许写入。

11. 4. 4 CSU 初始化与配置

校准值选择(TRIMSEL)

每颗芯片的内部振荡器在出厂前都经过校准，并将校准值写入 Option Byte，用户可以通过配置 CSU_CFG.TRIMSEL 选择 CSU_STAT.OPT_TRIM 或是 CSU_CON.TRIM 作为振荡器的初始校准值。

计数器重载值(RELOAD)

计数器的重载值是根据目标频率与同步信号源分频后的频率计算出来，将两个频率比率减一，让计数器递减计数至零达到理想的同步状态，其公式如下：

$$RELOAD = \frac{f_{TARGET}}{f_{SYNC}} - 1$$

RELOAD 寄存器的复位值是以目标频率 48MHz 和同步信号源频率 1kHz(USB 的 SOF 信号)计算。

计数容许值(CNTTH)

计数容许值与内部高精度可调式 RC 振荡器 HRC48 的频率调整曲线有着密切的关系，由于计数器递减至零时为理想的同步状态，因此容许值应该为校准调整比率的一半，其公式如下：

$$CNTTH = \frac{f_{TARGET}}{f_{SYNC}} \times \frac{STEP[\%]}{100\%} \div 2$$

为了达到最佳的校准值调整，建议将 CNTTH 的结果四舍五入到最接近的整数。若应用情境不需要频繁的调整校准值，也可以稍微增加计数容许值。

CNTTH 寄存器的复位值是以 $(f_{TARGET}/f_{SYNC}) = 48000$ 且校准调整比率为 0.199%。

注：CSU 并没有针对 RELOAD 和 CNTTH 错误配置的硬件保护，错误的配置将导致自动校准调整不稳定与频率偏差评估错误。预期的工作模式需要配置正确计数器重载值(根据同步信号源频率计算)，其值也必须大于极限值(CNTTH 的 128 倍)。

11. 4. 5 CSU 中断

时钟同步单元的中断是将所有中断事件合并成一个中断向量，发送至中断控制器，时钟同步单元的中断由六个寄存器控制。

- 中断控制

  对 CSU 中断开启寄存器（**CSU_IER**)写 1 来开启中断请求事件。同样地，对 CSU 中断关闭寄存器（**CSU_IDR**)写 1 来关闭中断请求事件，IER 与 IDR 是只允许写入 1 的寄存器。IER 与 IDR 设定的结果由 CSU 中断功能有效状态寄存器（**CSU_IVS**)显示，IVS 是一个只能读取的寄存器，使用"0"或"1"表示中断请求事件是否有效。

- 原始中断状态标志位

  CSU 原始中断状态寄存器（**CSU_RIF**)是一个只能读取的寄存器，用来读取 CSU 的中断状态。该寄存器显示 CSU 中断真实状态。当有下列事件发生时，CSU 会产生中断

  - ◇ 时钟同步匹配
  - ◇ 时钟同步警告
  - ◇ 时钟同步错误
  - ◇ 时钟同步异常
  - ◇ 校准值错误
  - ◇ 理想同步

- 中断屏蔽后状态

  CSU 中断标志位状态寄存器（**CSU_IFM**)用来读取 CSU 的屏蔽后的中断状态，该寄存器显示屏蔽后发生哪些中断，IFM 寄存器为 IVS 与 RIF 寄存器逻辑 AND 运算后的结果。

- 中断清除

  对 CSU 中断清除寄存器（**CSU_ICR**)写 1 来清除中断事件，ICR 是只允许写入 1 的寄存器。

11. 5 特殊功能寄存器

11. 5. 1 寄存器列表

CSU 寄存器列表			
名称	偏移地址	类型	描述
CSU_CON	0000_H	R/W	CSU 控制寄存器
CSU_CFG	0004_H	R/W	CSU 配置寄存器
CSU_STAT	0008_H	R	CSU 状态寄存器
CSU_IER	0010_H	W1	CSU 中断开启寄存器
CSU_IDR	0014_H	W1	CSU 中断关闭寄存器
CSU_IVS	0018_H	R	CSU 中断功能有效状态寄存器
CSU_RIF	$001C_H$	R	CSU 原始中断状态寄存器
CSU_IFM	0020_H	R	CSU 中断标志位状态寄存器
CSU_ICR	0024_H	C_W1	CSU 中断清除寄存器

11. 5. 2 寄存器描述

11. 5. 2. 1 CSU 控制寄存器 (CSU_CON)

CSU 控制寄存器 (CSU_CON)																															
偏移地址：0x00																															
复位值：0x0001 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
															TRIM <8:0>														SYNCGEN	AUTOEN	CNTEN

—	Bit 31-17	—	—
TRIM	Bit 16-8	R/W	**校准值** HRC48 的校准值，使用者可调整校准值作为自动校准时振荡器的初始值，每调动一个单位大约影响 95.54kHz，校准值与频率成正比 当开启自动校准功能(AUTOEN = 1)时，校准值将自动被更新，只允许读取，不允许写入
—	Bit 7-3	—	—
SYNCGEN	Bit 2	T_W1	**软件同步时钟产生** 设定此位以产生一个脉冲(Pulse)做为同步时钟，当侦测到脉冲后，此位将自动被清零 0: 没有作用 1: 产生一个脉冲
AUTOEN	Bit 1	R/W	**自动校准开关** 设定此位开启自动校准功能 0: 关闭自动校准 1: 开启自动校准
CNTEN	Bit 0	R/W	**计数器开关** 设定此位开启校准计数器 0: 关闭校准计数器 1: 开启校准计数器

11. 5. 2. 2 CSU 配置寄存器 (CSU_CFG)

CSU 配置寄存器 (CSU_CFG)																													
偏移地址：0x04																													
复位值：0x2030 BB7F																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRIMSEL	POLSEL	SYNCSRC <1:0>		—	SYNCDIV <2:0>			CNTTH <7:0>								RELOAD <15:0>															

TRIMSEL	Bit 31	R/W	**校准值选择** 设定此位选择自动校准时振荡器的校准值，HRC48将载入此校准值 0: 使用Option Byte校准值CSU_STAT.OPT_TRIM 1: 使用自定义的校准值CSU_CON.TRIM 当开启校准计数器(CNTEN = 1)时，只允许读取，不允许写入
POLSEL	Bit 30	R/W	**同步时钟极性选择** 设定此位选择同步时钟极性作为触发事件 0: 同步时钟上升沿作为触发事件 1: 同步时钟下降沿作为触发事件 当开启校准计数器(CNTEN = 1)时，只允许读取，不允许写入
SYNCSRC	Bit 29-28	R/W	**同步时钟来源选择** 设定此寄存器选择同步时钟来源 00: GPIO 引脚 (CSU_SYNC) 01: LOSC 10: USB 的 SOF 信号 11: 软件产生 当开启校准计数器(CNTEN = 1)时，只允许读取，不允许写入
—	Bit 27	—	—
SYNCDIV	Bit 26-24	R/W	**同步时钟源预分频** 设定此寄存器针对同步时钟来源分频 000: 同步时钟源不分频 001: 同步时钟源 2 倍分频 010: 同步时钟源 4 倍分频

			011: 同步时钟源 8 倍分频 100: 同步时钟源 16 倍分频 101: 同步时钟源 32 倍分频 110: 同步时钟源 64 倍分频 111: 同步时钟源 128 倍分频 当开启校准计数器(CNTEN = 1)时，只允许读取，不允许写入
CNTTH	Bit 23-16	R/W	**计数容许值** 设定此寄存器作为计数器的容许值，此数值将作为计数值范围与时钟同步状态的评估 当开启校准计数器(CNTEN = 1)时，只允许读取，不允许写入
RELOAD	Bit 15-0	R/W	**计数器重载值** 设定此寄存器作为计数器的重载值，当同步信号触发事件发生时，频率偏差计数器会载入此数值 当开启校准计数器(CNTEN = 1)时，只允许读取，不允许写入

11. 5. 2. 3 CSU 状态寄存器 (CSU_STAT)

CSU 状态寄存器 (CSU_STAT)																															
偏移地址：0x08																															
复位值：0x1000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OPT_TRIM <8:0>									—	—	—	—	—	—	CNTDIR	CNTCAP <15:0>															

OPT_TRIM	Bit 31-23	R	**Option Byte校准值** 此寄存器为HRC 48MHz振荡器 Option Byte的校准值
—	Bit 22-17	—	—
CNTDIR	Bit 16	R	**计数器方向** 此位为频率偏差计数器的计数方向，当同步信号触发事件发生时将自动被更新 0: 频率偏差计数器为递增计数，表示振荡器的输出频率高于目标频率 1: 频率偏差计数器为递减计数，表示振荡器的输出频率低于目标频率
CNTCAP	Bit 15-0	R	**计数值纪录** 此寄存器纪录频率偏差计数器的计数值，当同步信号触发事件发生时将自动被更新，计数值越接近零表示振荡器的输出频率越接近目标频率

11. 5. 2. 4 CSU 中断开启寄存器 (CSU_IER)

CSU 中断开启寄存器 (CSU_IER)																												
偏移地址：0x10																												
复位值：0x0000 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FHIT	TRIMERR	FFAULT	FERROR	FWARN	FMATCH

—	Bit 31-6	—	—
FHIT	Bit 5	W1	**开启理想同步中断功能** 设置此位开启中断功能，计数器的计数值等于零发生中断
TRIMERR	Bit 4	W1	**开启校准值错误中断功能** 设置此位开启中断功能，自动校准模式时调整校准值达到溢位或是欠位发生中断
FFAULT	Bit 3	W1	**开启时钟同步异常中断功能** 设置此位开启中断功能，未侦测到同步信号触发事件，且计数器的计数值大于等于极限值时发生中断
FERROR	Bit 2	W1	**开启时钟同步错误中断功能** 设置此位开启中断功能，当同步信号触发事件时，计数器的计数值大于等于极限值发生中断
FWARN	Bit 1	W1	**开启时钟同步警告中断功能** 设置此位开启中断功能，当同步信号触发事件时，计数器的计数值大于等于警告值且小于极限值发生中断
FMATCH	Bit 0	W1	**开启时钟同步匹配中断功能** 设置此位开启中断功能，当同步信号触发事件时，计数器的计数值小于警告值发生中断

11. 5. 2. 5 CSU 中断关闭寄存器 (CSU_IDR)

CSU 中断关闭寄存器 (CSU_IDR)																												
偏移地址：0x14																												
复位值：0x0000 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																										FHIT	TRIMERR	FFAULT	FERROR	FWARN	FMATCH

—	Bit 31-6	—	—
FHIT	Bit 5	W1	**关闭理想同步中断功能** 此位设置时，关闭理想同步中断功能
TRIMERR	Bit 4	W1	**关闭校准值错误中断功能** 此位设置时，关闭校准值错误中断功能
FFAULT	Bit 3	W1	**关闭时钟同步异常中断功能** 此位设置时，关闭时钟同步异常中断功能
FERROR	Bit 2	W1	**关闭时钟同步错误中断功能** 此位设置时，关闭时钟同步错误中断功能
FWARN	Bit 1	W1	**关闭时钟同步警告中断功能** 此位设置时，关闭时钟同步警告中断功能
FMATCH	Bit 0	W1	**关闭时钟同步匹配中断功能** 此位设置时，关闭时钟同步匹配中断功能

11. 5. 2. 6 CSU 中断功能有效状态寄存器 (CSU_IVS)

CSU 中断功能有效状态寄存器 (CSU_IVS)																												
偏移地址：0x18																												
复位值：0x0000 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																										FHIT	TRIMERR	FFAULT	FERROR	FWARN	FMATCH

—	Bit 31-6	—	—
FHIT	Bit 5	R	**理想同步中断功能开启/关闭状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
TRIMERR	Bit 4	R	**校准值错误中断功能开启/关闭状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
FFAULT	Bit 3	R	**时钟同步异常中断功能开启/关闭状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
FERROR	Bit 2	R	**时钟同步错误中断功能开启/关闭状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
FWARN	Bit 1	R	**时钟同步警告中断功能开启/关闭状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
FMATCH	Bit 0	R	**时钟同步匹配中断功能开启/关闭状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态

11. 5. 2. 7 CSU 原始中断状态寄存器 (CSU_RIF)

CSU 原始中断状态寄存器 (CSU_RIF)																												
偏移地址：0x1C																												
复位值：0x0000 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																										FHIT	TRIMERR	FFAULT	FERROR	FWARN	FMATCH

—	Bit 31-6	—	—
FHIT	Bit 5	R	**理想同步，原始中断状态** 0: 无发生中断 1: 已发生中断
TRIMERR	Bit 4	R	**校准值错误，原始中断状态** 0: 无发生中断 1: 已发生中断
FFAULT	Bit 3	R	**时钟同步异常，原始中断状态** 0: 无发生中断 1: 已发生中断
FERROR	Bit 2	R	**时钟同步错误，原始中断状态** 0: 无发生中断 1: 已发生中断
FWARN	Bit 1	R	**时钟同步警告，原始中断状态** 0: 无发生中断 1: 已发生中断
FMATCH	Bit 0	R	**时钟同步匹配，原始中断状态** 0: 无发生中断 1: 已发生中断

11. 5. 2. 8 CSU 中断标志位状态寄存器 (CSU_IFM)

CSU 中断标志位状态寄存器 (CSU_IFM)																												
偏移地址：0x20																												
复位值：0x0000 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																										FHIT	TRIMERR	FFAULT	FERROR	FWARN	FMATCH

—	Bit 31-6	—	—
FHIT	Bit 5	R	**理想同步，标志位中断状态** 0: 无发生中断 1: 已发生中断
TRIMERR	Bit 4	R	**校准值错误，标志位中断状态** 0: 无发生中断 1: 已发生中断
FFAULT	Bit 3	R	**时钟同步异常，标志位中断状态** 0: 无发生中断 1: 已发生中断
FERROR	Bit 2	R	**时钟同步错误，标志位中断状态** 0: 无发生中断 1: 已发生中断
FWARN	Bit 1	R	**时钟同步警告，标志位中断状态** 0: 无发生中断 1: 已发生中断
FMATCH	Bit 0	R	**时钟同步匹配，标志位中断状态** 0: 无发生中断 1: 已发生中断

11. 5. 2. 9 CSU 中断清除寄存器 (CSU_ICR)

CSU 中断清除寄存器 (CSU_ICR)																														
偏移地址：0x24																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																										FHIT	TRIMERR	FFAULT	FERROR	FWARN	FMATCH

—	Bit 31-6	—	—
FHIT	Bit 5	C_W1	**清除理想同步中断状态** 此位设置时，清除中断状态(CSU_RIF 与 CSU_IFM)
TRIMERR	Bit 4	C_W1	**清除校准值错误中断状态** 此位设置时，清除中断状态(CSU_RIF 与 CSU_IFM)
FFAULT	Bit 3	C_W1	**清除时钟同步异常中断状态** 此位设置时，清除中断状态(CSU_RIF 与 CSU_IFM)
FERROR	Bit 2	C_W1	**清除时钟同步错误中断状态** 此位设置时，清除中断状态(CSU_RIF 与 CSU_IFM)
FWARN	Bit 1	C_W1	**清除时钟同步警告中断状态** 此位设置时，清除中断状态(CSU_RIF 与 CSU_IFM)
FMATCH	Bit 0	C_W1	**清除时钟同步匹配中断状态** 此位设置时，清除中断状态(CSU_RIF 与 CSU_IFM)

第12章 键盘控制单元(KBCU)

12. 1 概述

键盘控制单元可应用于带有 LED 显示的键盘上，每个按键位置带有三组 8-bit PWM (RGB) 输出与 32 阶亮度控制。并可同时支持使用者进行击键扫描。三组 PWM 输出可应用于 RGB 的 LED 显示， 使用者通过设置 **KBCU_LED** 寄存器的 DUTY 位与 MASK 位选择不同的 PWM Duty 与 PWM 屏蔽，可让控制的 LED 产生出各种不同颜色、亮度。

键盘控制单元带有击键扫描功能。支持硬件自动扫描侦测击键，KBCU 会将扫描结果将击键位置数值存于 **KBCU_SCAN** 缓存寄存器中，使用者通过读取寄存器找出键盘的相对位置。

键盘控制单元提供可最多支持 7 个 ROW 的 LED 显示缓存 。 KBCU 内的 PWM 占空比输出寄存器共区分有 7 个，分别为 **KBCU_LED0**、**KBCU_LED1**、**KBCU_LED2**、**KBCU_LED3**、**KBCU_LED4**、**KBCU_LED5**、**KBCU_LED6**，分别对应第 0 横列到第 6 横列的 PWM 占空比输出寄存器。在扫描列时，输出当前列按键三组 PWM 输出占空比状态。

侦测击键支持 6 个缓存寄存器位置，分别为 **KBCU_SCAN0**、**KBCU_SCAN1**、**KBCU_SCAN2**、**KBCU_SCAN3**、**KBCU_SCAN4**、**KBCU_SCAN5**，当硬件侦测到击键时，将数值存入 **KBCU_SCAN** 中，提供使用者读取键盘按键被按压的位置。

LED 显示控制提供闪烁及亮度屏蔽功能，配置 **KBCU_CON1** 寄存器中的 BLINK 位可开启闪烁功能，并配置 **KBCU_CON2** 寄存器中的 FCVALUE 位调整闪烁速率。KBCU 提供亮度屏蔽功能，通过配置 **KBCU_CON1** 寄存器中的 COLVALUE 位，和 COL_MASK 位或是 KBCU_LEDn (n = 0 ~ 6) 寄存器中的 MASK 位来实现。

12. 2 特性

- 支持配置扫描列(COLUMN)，最少 15 组，最多 24 组
- 按键提供三组可配置 0-256 阶占空比 PWM 输出，支持反向输出
- 按键提供一组侦测击键装置，支持侦测高、低准位
- 支持闪烁功能，配置 Frame 计数器可选择闪烁周期，持续全灭后再亮
- 支持 DMA 传输，使用者通过 DMA 传送扫描时每列 PWM 的占空比数值
- 支持最大 32 阶的亮度控制
- 支持三种中断
  - Frame 中断: 扫描至最大配置列开始时产生中断，配置 Frame 计数器，产生配置数值+1 次 Frame 时发生中断
  - Coulumn 中断: 切换扫描列时产生中断，例: 配置 24 列时产生 24 次中断
  - Key 中断: 硬件侦测到击键在下个扫描列产生中断

12. 3 结构图

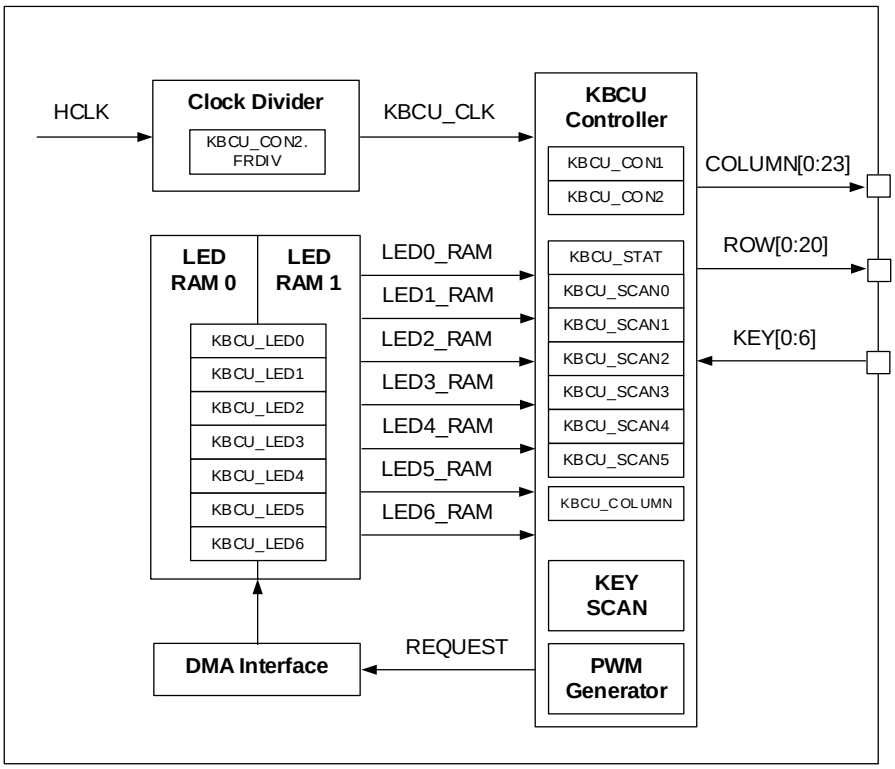


图 12-1 KBCU 结构图

12.4 功能描述

12.4.1 预分频器

键盘控制单元提供一组分频器，将 KBCU AHB 系统时钟分频并输出 **KBCU_CLK** 时钟，应用于 PWM 占空比的计数器上。

通过设置**KBCU_CON2**寄存器的 FRDIV 位选择分频倍率，分频器是一个 8-bit 上数计数器，可以对 KBCU AHB 时钟进行 FRDIV+1 次分频。分频器是一个可重载寄存器，因此在 KBCU 工作时修改，数值变动不会立即在当下套用，新的修改数值会在下一次 Frame 更新时载入有效。

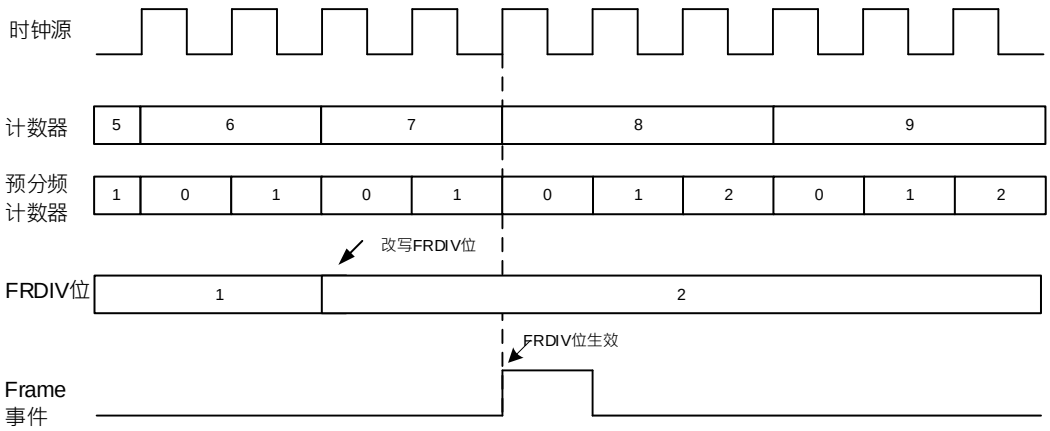


图 12-2 KBCU 预分频器

时钟源	FRDIV	KBCU_CLK(MHz)
KBCU HCLK(20M)	0	20
	1	10
	2	6.6

表 12-1 预分频配置表

12.4.2 LED PWM 输出

12.4.2.1 占空比

在键盘控制单元中，每个按键提供三组可配置占空比的 PWM 输出提供 RGB LED 使用，而这三组 PWM 内部使用相同的计数器，用户通过配置 **KBCU_CON2** 寄存器的 ARVALUE 位选择计数周期，配置 COLVALUE 位选择在一个扫描列中包含几次计数周期。计数器是一个 8-bit 上数计数器，时钟源为 **KBCU_CLK**，由 0 递增至 ARVALUE 数值再由 0 重新计数 (Up-Counter) ，总共计数 ARVALUE+1 次个 **KBCU_CLK** 时钟，最多可配置 256 阶。

使用者通过设置 **KBCU_LED0**、**KBCU_LED1**、**KBCU_LED2**、**KBCU_LED3**、**KBCU_LED4**、**KBCU_LED5**、**KBCU_LED6** 寄存器中的 DUTY0、DUTY1、DUTY2 位选择 LED PWM 占空比输出，当配置 DUTY0、DUTY1、DUTY2 位为 x、y、z 时，PWM0、PWM1、PWM2 输出 x、y、z 个 KBCU_CLK 时钟高准位，DUTY0、DUTY1、DUTY2 位可配置 0-255 阶占空

比，需要配置 256 阶占空比时，可设置 DUTY0_H、DUTY1_H、DUTY2_H 位为 1 选择 256 阶占空比。

注：当配置的 DUTY0、DUTY1、DUTY2 位大于 ARVALUE 位时 PWM 输出 100%占空比。

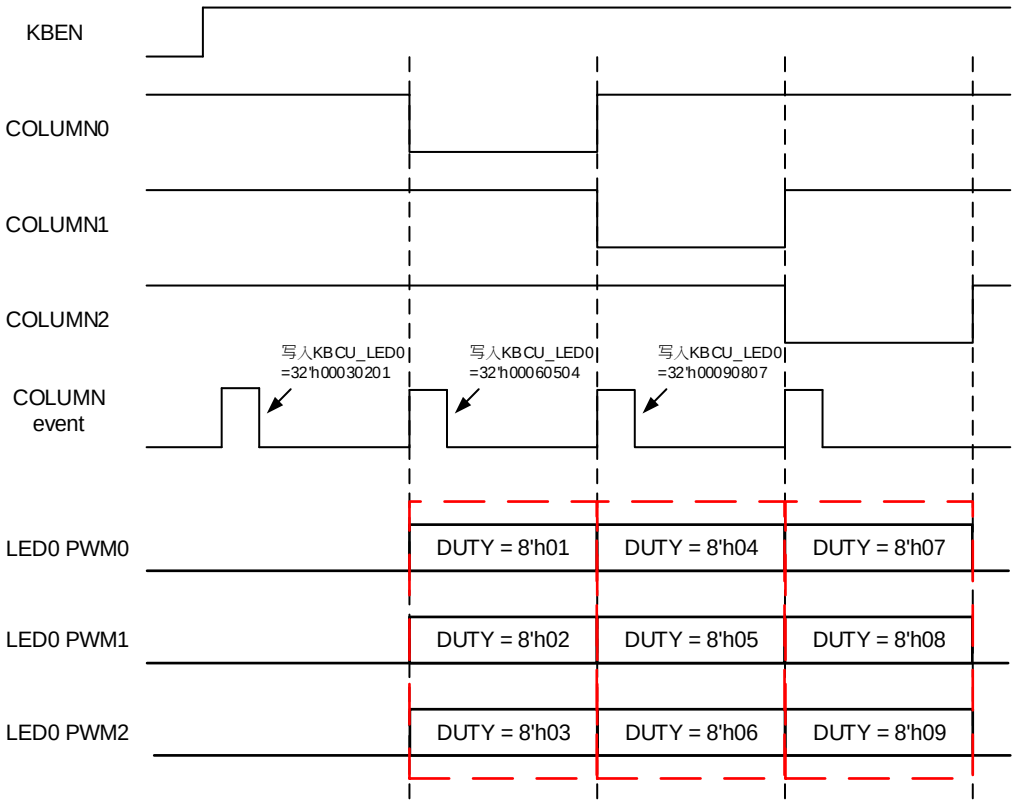


图 12-3 KBCU PWM 占空比，COLVALUE=0

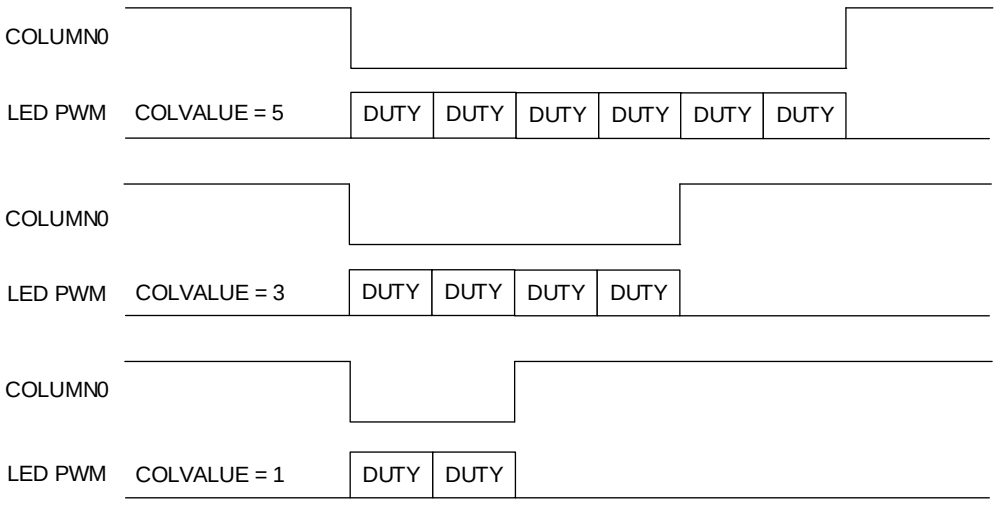


图 12-4 KBCU PWM 占空比，COLVALUE=1、3、5

12. 4. 2. 2 配置占空比

KBCU 提供两种方式配置 LED PWM 占空比。

第一种通过读取 **KBCU_CON1** 寄存器的 COL_FLAG 位，当 COL_FLAG 位为 1 时表示前次写入数值已经加载至当前的 PWM 输出，使用者需要再写入新的占空比至 KBCU 中，在写入 KBCU_LED 寄存器后 COL_FLAG 位由硬件自动清除。

第二种通过配置 DMA，硬件产生 DMA 请求再通过 DMA 写入 KBCU_LED 寄存器产生不同占空比 PWM 输出。

注: 当开启 KBCU 时硬件会产生 COLUMN 事件与 DMA 请求

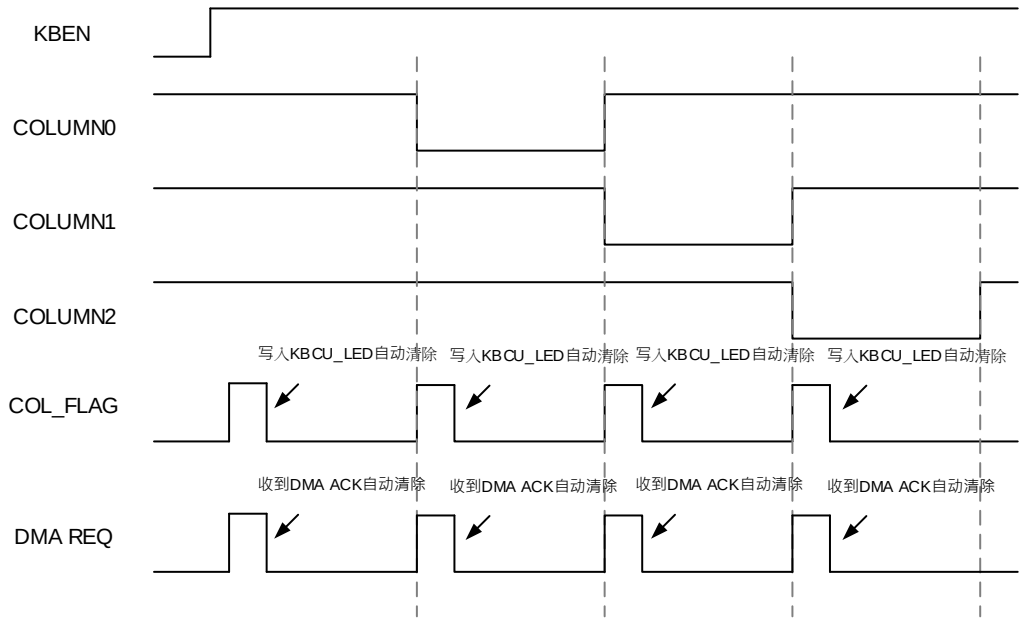


图 12-5 KBCU COL_FLAG 与 DMA 需求

12. 4. 2. 3 屏蔽功能

KBCU 提供屏蔽功能，通过 PWM 的输出开启时间，可以让控制的 LED 产生出各种不同的亮度。

使用屏蔽功能需要设置 **KBCU_CON2** 寄存器的 COLVALUE 位选择屏蔽阶数，最多可配置 32 阶层。KBCU 提供两种方式屏蔽 PWM 的始能时间。第一种设置 **KBCU_CON1** 寄存器的 COL_MASK 位选择在输出 COLUMN 时屏蔽计数周期，而这个方式同时会影响整列的 LED PWM 输出(LED0 ~ LED6)。第二种各别设置 **KBCU_LED0**、**KBCU_LED1**、**KBCU_LED2**、**KBCU_LED3**、**KBCU_LED4**、**KBCU_LED5**、**KBCU_LED6** 寄存器的 MASK 位选择在输出 COLUMN 时各别屏蔽计数周期。

注: 当配置的 COL_MASK 位与 MASK 位数值大于 COLVALUE 位时则无法产生屏蔽功能。

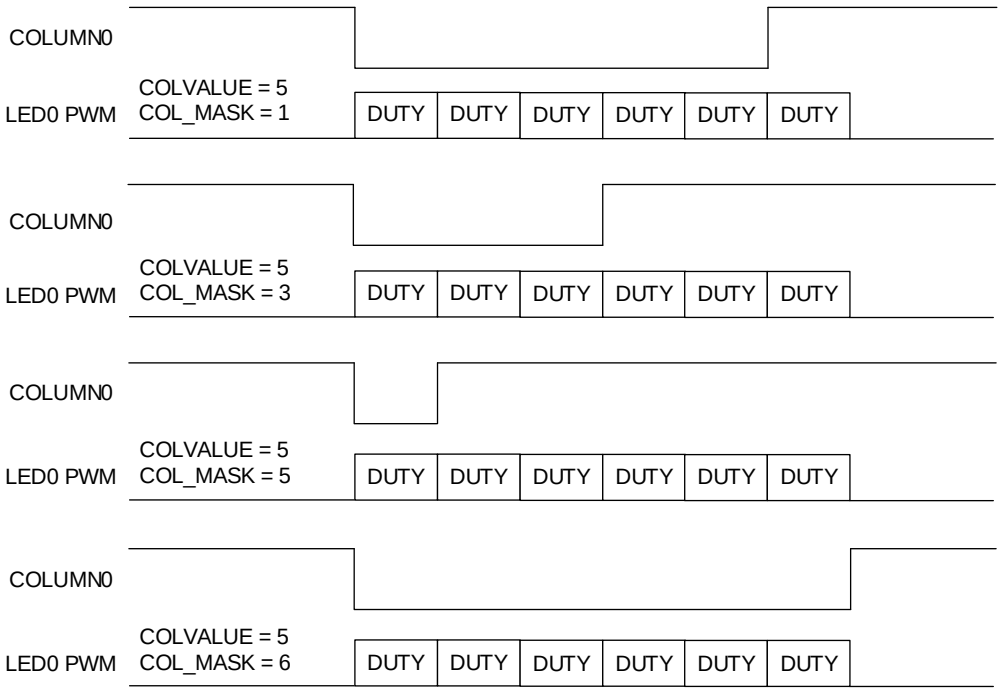


图 12-6 KBCU PWM 占空比，COLVALUE=5，COL_MASK=1、3、5、6

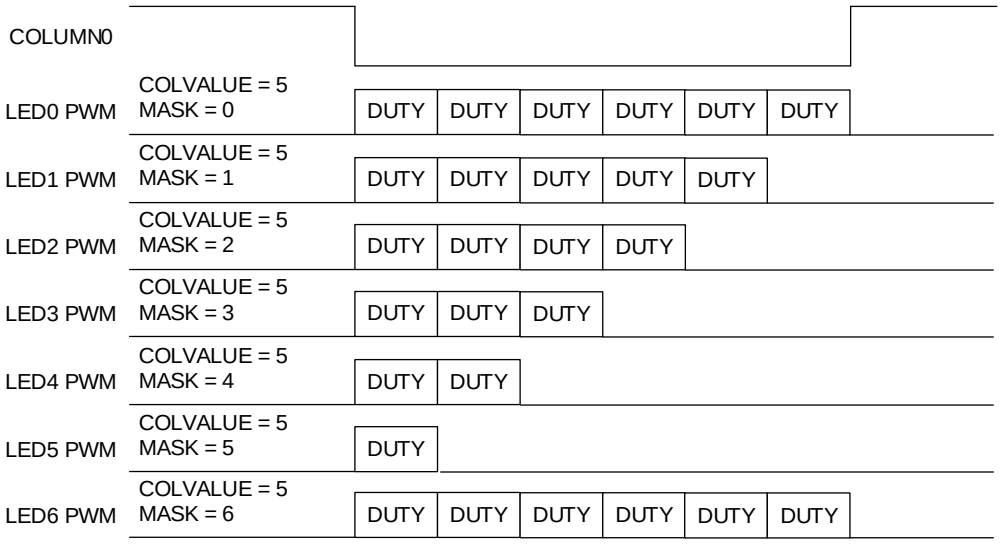


图 12-7 KBCU PWM 占空比，COLVALUE=5，MASK =0、1、2、3、4、5、6

12. 4. 2. 4　死区时间

在每个输出 COULUN 与 PWM 之间，用户可以配置插入死区时间，因为连接的驱动电路在切换 COLUMN 的过程中，可能会因为来不及反应而导致误动作，通过死区时间可以避免电路产生错误行为。

设置 **KBCU_CON2** 寄存器的 DTVALUE 位选择死区时间，在输出 COLUMN 与 PWM 之间插入死区时间。当使用者设置 **KBCU_CON2** 寄存器的 COLVALUE 位时，死区时间的时钟源为 KBCU_CLK / (COLVALUE+1)，若无配置则为 **KBCU_CLK** 。例如：当配置 DTVALUE 位为 7， COLVALUE 位为 5，死区时间为 42 个 KBCU_CLK。

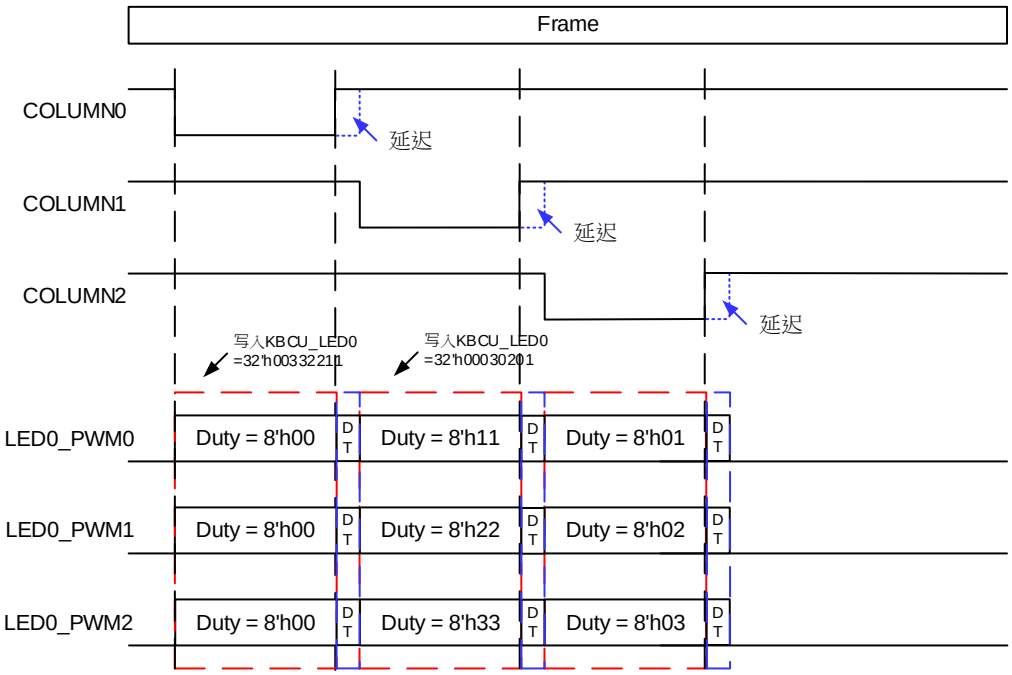


图 12-8　KBCU PWM 占空比搭配死区

注：死区时间(DT)时，PWM 输出低准位以及 COLUMN 输出高准位(LED_CTRL=0 且 COL_CTRL=0)。

12. 4. 2. 5 Frame 计算方式

键盘控制单元的 Frame 输出频率由配置 ARVALUE 计数器、死区时间以及配置几组扫描列组成，扫描完一组 COLUMN 为一个 Frame。

以下表格为设置 KBCU_CLK=4MHz，ARVALUE=0xFF、COLVALUE=0x5、DTVALUE=0x1 的输出 Frame 频率。

COLUMN	FRAME(Hz)
16	162
20	129
24	108

表 12-2 Frame 配置表

注: FRAME(Hz) = KBCU_CLK/((ARVALUE+DTVALUE+1) x (COLVALUE+1) x COLUMN)

12. 4. 2. 6 闪烁功能

键盘控制单元提供闪烁功能，设置 **KBCU_CON1** 寄存器的 BLINK 位开启闪烁功能，LED PWM 输出持续全灭后再依据配置输出 LED PWM 占空比。

使用者可以选择闪烁周期，设置 **KBCU_CON2** 寄存器的 FCVALUE 位选择闪烁周期，例: 当配置 FCVALUE 位为 3 时，则在每 4 个 Frame 后全灭，每 4 个 Frame 后输出 LED PWM 占空比。

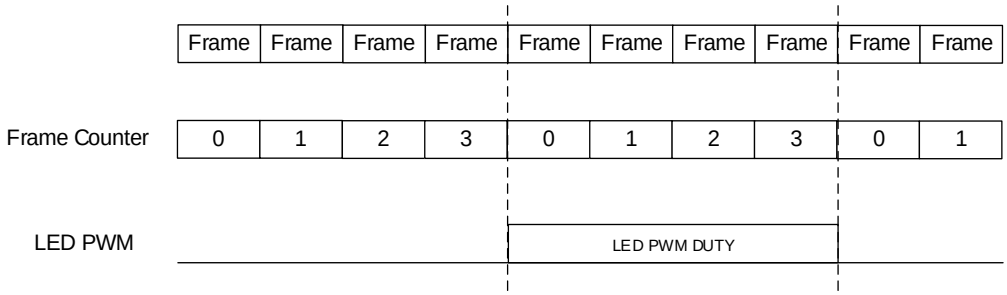


图 12-9 KBCU 闪烁搭配 Frame 计数器

12. 4. 3 按键扫描

键盘控制单元中，每个按键带有一组侦测击键装置，在扫描 COLUMN 的过程中当硬件侦测到击键变化时，硬件自动将发生的键盘位置寄存在 **KBCU_SCAN0**、**KBCU_SCAN1**、**KBCU_SCAN2**、**KBCU_SCAN3**、**KBCU_SCAN4**、**KBCU_SCAN5** 寄存器中，KBCU_SCAN 寄存器由 32-bit 组成，每 8-bit 分别代表扫描至 COLUMN0-COLUMN23 时侦测到低准位，使用者通过读取 KBCU_SCAN 寄存器数值可以找出键盘的相对位置。

使用者可以读取 **KBCU_STAT** 寄存器数值，当扫描至 COLUMN n 时侦测到击键变化，硬件自动置起第 n 位，通过读取 **KBCU_STAT** 寄存器数值可以快速找出扫描至哪个 COLUMN 时发生击键变化。

下列表格为 KBCU_SCAN 所代表的 COLUMN 数

SCAN 寄存器	Column
KBCU_SCAN0	0~3
KBCU_SCAN1	4~7
KBCU_SCAN2	8~11
KBCU_SCAN3	12~15
KBCU_SCAN4	16~19
KBCU_SCAN5	20~23

表 12-3 KBCU_SCAN0~5 配置表

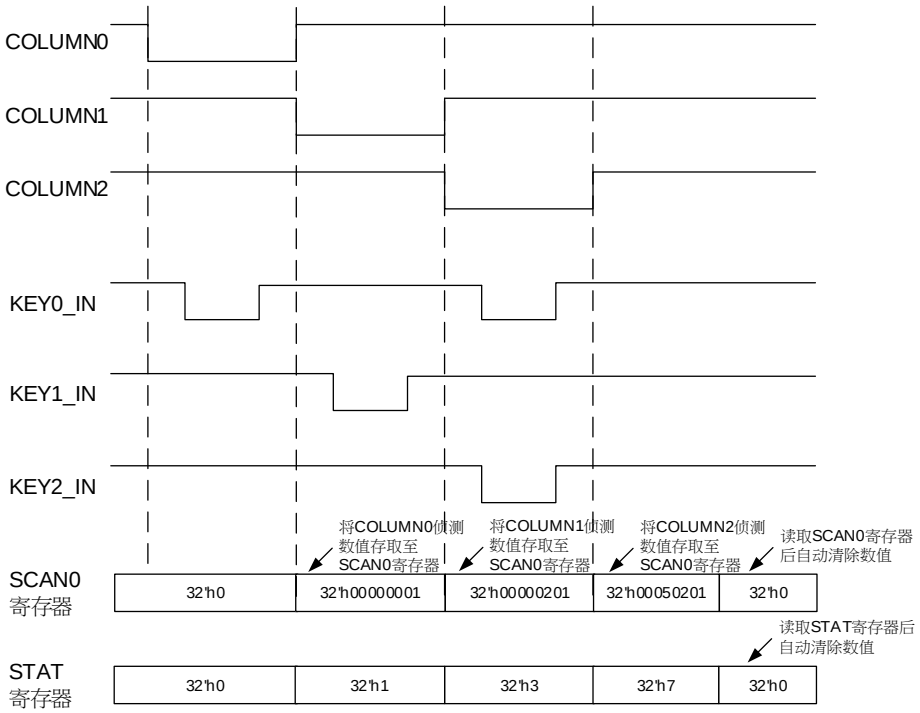


图 12-10 KBCU 按键扫描

12. 4. 4 中断配置

- **KBCU_IER 中断开启寄存器**

  此位设置 1 时，表示开启中断功能，并且同时反映在 **KBCU_IVS** 寄存器。此寄存器只能写入，并且只允许写入 1，无法写 0 取消开启中断设置。

- **KBCU_IDR 中断关闭寄存器**

  此位设定 1 时，表示关闭中断功能，并且同时反映在 **KBCU_IVS** 寄存器。此寄存器只能写入，并且只允许写入 1，无法写 0 取消关闭中断设置。

- **KBCU_IVS 中断有效状态寄存器**

  反映 **KBCU_IER** 与 **KBCU_IDR** 寄存器所设置的结果。0:中断关闭 1:中断开启

- **KBCU_RIF 原始中断状态寄存器**

  反映所有发生中断事件的状态，无论 **KBCU_IVS** 是否有开启中断，皆会反映在此寄存器中，主要提供使用者监控无屏蔽的中断位，是否有错误事件发生。

- **KBCU_IFM 中断标志位状态寄存器**

  记录中断开启位所发生中断事件。0:无中断事件 1:发生中断事件

- **KBCU_ICR 中断清除寄存器**

  此位设定 1 时，清除中断标志 **KBCU_RIF** 与 **KBCU_IFM**，此寄存器通过写入 1 将该位清零，并且只允许写入 1 清除，无法写 0 清除。

在 KBCU 中，配置了 3 种中断，分别为下表。

中断事件	中断标志
扫描至最大配置列开始时产生	FRAME
切换扫描列时产生	COLUMN
硬件侦测到按键变化	KEY

表 12-4 中断配置表

注: COLUMN 中断在设置 KBCU_CON1 寄存器的 KBEN 位时会产生一次，在计数一个计数周期后再产生一次，并输出 COLUMN。

12. 5 特殊功能寄存器

12. 5. 1 寄存器列表

KBCU 寄存器列表			
名称	偏移地址	类型	描述
KBCU_IER	0000_H	W	中断开启寄存器
KBCU_IDR	0004_H	W	中断关闭寄存器
KBCU_IVS	0008_H	R	中断功能有效状态寄存器
KBCU_RIF	$000C_H$	R	原始中断状态寄存器
KBCU_IFM	0010_H	R	中断标志位状态寄存器
KBCU_ICR	0014_H	W	中断清除寄存器
KBCU_CON1	0018_H	R/W	控制寄存器 1
KBCU_CON2	$001C_H$	R/W	控制寄存器 2
KBCU_SCAN0	0020_H	R	按键扫描寄存器 0
KBCU_SCAN1	0024_H	R	按键扫描寄存器 1
KBCU_SCAN2	0028_H	R	按键扫描寄存器 2
KBCU_SCAN3	$002C_H$	R	按键扫描寄存器 3
KBCU_SCAN4	0030_H	R	按键扫描寄存器 4
KBCU_SCAN5	0034_H	R	按键扫描寄存器 5
KBCU_STAT	0038_H	R	按键扫描状态寄存器
KBCU_LED0	0040_H	R/W	LED 寄存器 0
KBCU_LED1	0044_H	R/W	LED 寄存器 1
KBCU_LED2	0048_H	R/W	LED 寄存器 2
KBCU_LED3	$004C_H$	R/W	LED 寄存器 3
KBCU_LED4	0050_H	R/W	LED 寄存器 4
KBCU_LED5	0054_H	R/W	LED 寄存器 5
KBCU_LED6	0058_H	R/W	LED 寄存器 6

12. 5. 2 寄存器描述

12. 5. 2. 1 中断开启寄存器 (KBCU_IER)

中断开启寄存器 (KBCU_IER)																														
偏移地址：0x00																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																													KEY	COLUMN	FRAME

—	Bit 31-3	—	—
KEY	Bit 2	W1	**开启侦测 Key 中断功能** 此位设置时，开启中断功能，硬件侦测到击键准位改变时发生中断
COLUMN	Bit 1	W1	**开启切换 Column 中断功能** 此位设置时，开启中断功能，硬件侦测切换扫描列时发生中断 注: COLUMN 中断在设置 KBCU_CON1 寄存器的 KBEN 位时会产生一次，在计数一个计数周期后再产生一次，并输出 COLUMN。
FRAME	Bit 0	W1	**开启完成 Frame 中断功能** 此位设置时，开启中断功能，硬件侦测完成扫描列时发生中断 注：若有设置 KBCU_CON2 寄存器的 FCVALUE 位时，在完成 FCVALUE+1 次扫描列时发生中断

12. 5. 2. 2 中断关闭寄存器 (KBCU_IDR)

中断关闭寄存器 (KBCU_IDR)																														
偏移地址：0x04																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																													KEY	COLUMN	FRAME

—	Bit 31-3	—	—
KEY	Bit 2	W1	**关闭侦测 Key 中断功能** 此位设置时，关闭侦测 Key 中断功能
COLUMN	Bit 1	W1	**关闭切换 Column 中断功能** 此位设置时，关闭切换 Column 中断功能
FRAME	Bit 0	W1	**关闭完成 Frame 中断功能** 此位设置时，关闭完成 Frame 中断功能

12. 5. 2. 3 中断功能有效状态寄存器 (KBCU_IVS)

中断功能有效状态寄存器 (KBCU_IVS)																														
偏移地址：0x08																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																													KEY	COLUMN	FRAME

—	Bit 31-3	—	—
KEY	Bit 2	R	**关闭侦测 Key 中断功能开启/关闭状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
COLUMN	Bit 1	R	**关闭切换 Column 中断功能开启/关闭状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
FRAME	Bit 0	R	**关闭完成 Frame 中断功能开启/关闭状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态

KBCU_IVS 寄存器，是实时反映系统配置 KBCU_IER 与 KBCU_IDR 的中断开启状态。 此寄存器状态是将 KBCU_IER 与 KBCU_IDR 进行硬件运算，公式如下：

KBCU_IVS = KBCU_IER & ~KBCU_IDR

12. 5. 2. 4 原始中断状态寄存器 (KBCU_RIF)

原始中断状态寄存器 (KBCU_RIF)																														
偏移地址：0x0C																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																													KEY	COLUMN	FRAME

—	Bit 31-3	—	—
KEY	Bit 2	R	**侦测 Key 时，原始中断状态** 0: 无发生中断 1: 已发生中断
COLUMN	Bit 1	R	**切换 Column 时，原始中断状态** 0: 无发生中断 1: 已发生中断
FRAME	Bit 0	R	**完成 Frame 时，原始中断状态** 0: 无发生中断 1: 已发生中断

12. 5. 2. 5 中断标志位状态寄存器 (KBCU_IFM)

中断标志位状态寄存器 (KBCU_IFM)																														
偏移地址：0x10																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																													KEY	COLUMN	FRAME

—	Bit 31-3	—	—
KEY	Bit 2	R	**侦测 Key 时，标志位中断状态** 0: 无发生中断 1: 已发生中断
COLUMN	Bit 1	R	**切换 Column 时，标志位中断状态** 0: 无发生中断 1: 已发生中断
FRAME	Bit 0	R	**完成 Frame 时，标志位中断状态** 0: 无发生中断 1: 已发生中断

KBCU_IFM 寄存器，是滤除已关闭中断功能的中断事件，只关注开启中断功能的事件。 此寄存器状态是将 KBCU_RIF 与 KBCU_IVS 进行硬件运算，公式如下：

KBCU_IFM = KBCU_RIF & KBCU_IVS

12. 5. 2. 6 中断清除寄存器 (KBCU_ICR)

中断清除寄存器 (KBCU_ICR)																														
偏移地址：0x14																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																													KEY	COLUMN	FRAME

—	Bit 31-3	—	—
KEY	Bit 2	C_W1	**清除侦测 Key 中断状态** 此位设置时，清除中断状态(KBCU_RIF 与 KBCU_IFM)
COLUMN	Bit 1	C_W1	**清除切换 Column 中断状态** 此位设置时，清除中断状态(KBCU_RIF 与 KBCU_IFM)
FRAME	Bit 0	C_W1	**清除完成 Frame 中断状态** 此位设置时，清除中断状态(KBCU_RIF 与 KBCU_IFM)

KBCU_ICR 寄存器设置时，将清除 KBCU_RIF 与 KBCU_IFM 中断标志状态；此设置不影响中断 KBCU_IER、KBCU_IDR 与 KBCU_IVS 寄存器，只清除标志状态 KBCU_RIF 与 KBCU_IFM。 此寄存器通过硬件清除中断，公式如下：

KBCU_RIF = KBCU_RIF & ~KBCU_ICR

12. 5. 2. 7 控制寄存器 1 (KBCU_CON1)

控制寄存器 1 (KBCU_CON1)

偏移地址：0x18

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	COL_CTRL	LED_CTRL	KEY_CTRL	COL_FLAG	—	—	COL_MASK <4:0>					—	—	COLUMN_SEL <3:0>				BLINK	KBEN

—	Bit 31-19	—	—
COL_CTRL	Bit 18	R/W	**COLUMN列输出控制** 0: 初始状态为高准位，始能为低准位 1: 初始状态为低准位，始能为高准位
LED_CTRL	Bit 17	R/W	**LED PWM输出控制** 0: 初始状态为低准位，输出高准位点亮LED 1: 初始状态为高准位，低准位输出点亮LED
KEY_CTRL	Bit 16	R/W	**KEY 准位侦测控制** 0: 硬件侦测击键准位为低准位 1: 硬件侦测击键准位为高准位
COL_FLAG	Bit 15	R	**COLUMN 更新标志** 此标志表示，在设置 KBEN 与切换列时由硬件置起，通过写入 KBCU_LEDn 寄存器任意数值清除
—	Bit 14-13	—	—
COL_MASK	Bit 12-8	R/W	**选择屏蔽 COLUMN 内计数周期次数** 00000: 关闭屏蔽 00001: 屏蔽 1 个计数数周期 00010: 屏蔽 2 个计数数周期 … 11111: 屏蔽 31 个计数数周期
—	Bit 7-6	—	—
COLUMN_SEL	Bit 5-2	R/W	**选择 COLUMN 列个数** 0000: 选择 15 列 0001: 选择 16 列 0010: 选择 17 列 0011: 选择 18 列 0100: 选择 19 列

			0101: 选择 20 列 0110: 选择 21 列 0111: 选择 22 列 1000: 选择 23 列 1001: 选择 24 列 其它: 关闭列功能
BLINK	Bit 1	R/W	**闪烁功能** 0: 关闭闪烁功能 1: 开启闪烁功能
KBEN	Bit 0	R/W	**KBCU 功能** 0: 关闭 KBCU 功能 1: 开启 KBCU 功能

12. 5. 2. 8 控制寄存器 2 (KBCU_CON2)

控制寄存器 2 (KBCU_CON2)

偏移地址：0x1C

复位值：0x0000 00FF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COLVALUE <4:0>					DTVALUE <2:0>			FCVALUE <7:0>								FRDIV <7:0>								ARVALUE <7:0>							

COLVALUE	Bit 31-27	R/W	**COLUMN列计数周期次数** 设置一个COLUMN内计数周期次数，时钟源为KBCU_CLK，由零计数至ARVALUE为一个计数周期。 00000: 1个计数数周期 00001: 2个计数数周期 00010: 3个计数数周期 … 11111: 32个计数数周期
DTVALUE	Bit 26-24	R/W	**死区时间数值** 设置切换 COLUMN 列时插入死区时间数值，时钟源为 KBCU_CLK x (COLVALUE+1) 000: 0 个死区时间 001: 1 个死区时间 010: 2 个死区时间

			… 111: 7 个死区时间
FCVALUE	Bit 23-16	R/W	**Frame 计数数值** 设置 Frame 计数数值，可计数 FCVALUE+1 次完成 Frame 次数。 注: 配置此位设定 FRAME 原始中断状态与闪烁的产生周期。
FRDIV	Bit 15-8	R/W	**HCLK 预分频器** 设置预分频器数值，时钟源为 KBCU HCLK，可预分频 FRDIV+1。 注: 预分频器是一个可重载寄存器，在 Frame 结束时将 FRDIV 数值加载预装载寄存器中。
ARVALUE	Bit 7-0	R/W	**自动装载数值** 设置计数器的递增边界，时钟源为 KBCU_CLK，由零计数至 ARVALUE 数值，再由零开始计数。

12. 5. 2. 9 按键扫描寄存器 0 (KBCU_SCAN0)

按键扫描寄存器 0 (KBCU_SCAN0)

偏移地址：0x20

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	COLUMN3 <6:0>								COLUMN2 <6:0>								COLUMN1 <6:0>								COLUMN0 <6:0>							

—	Bit 31	—	—
COLUMN3	Bit 30-24	R	**COLUMN3 按键按压数值** Bit n: 击键 n 侦测到按压(n=0~6) 读取 KBCU_SCAN0 后，硬件自动清除
—	Bit 23	—	—
COLUMN2	Bit 22-16	R	**COLUMN2 按键按压数值** Bit n: 击键 n 侦测到按压(n=0~6) 读取 KBCU_SCAN0 后，硬件自动清除
—	Bit 15	—	—
COLUMN1	Bit 14-8	R	**COLUMN1 按键按压数值** Bit n: 击键 n 侦测到按压(n=0~6)

			读取 KBCU_SCAN0 后，硬件自动清除
—	Bit 7	—	—
COLUMN0	Bit 6-0	R	**COLUMN0 按键按压数值** Bit n: 击键 n 侦测到按压(n=0~6) 读取 KBCU_SCAN0 后，硬件自动清除

12. 5. 2. 10 按键扫描寄存器 1 (KBCU_SCAN1)

按键扫描寄存器 1 (KBCU_SCAN1)

偏移地址：0x24

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	COLUMN7 <6:0>								COLUMN6 <6:0>								COLUMN5 <6:0>								COLUMN4 <6:0>							

—	Bit 31	—	—
COLUMN7	Bit 30-24	R	**COLUMN7 按键按压数值** Bit n: 击键 n 侦测到按压(n=0~6) 读取 KBCU_SCAN1 后，硬件自动清除
—	Bit 23	—	—
COLUMN6	Bit 22-16	R	**COLUMN6 按键按压数值** Bit n: 击键 n 侦测到按压(n=0~6) 读取 KBCU_SCAN1 后，硬件自动清除
—	Bit 15	—	—
COLUMN5	Bit 14-8	R	**COLUMN5 按键按压数值** Bit n: 击键 n 侦测到按压(n=0~6) 读取 KBCU_SCAN1 后，硬件自动清除
—	Bit 7	—	—
COLUMN4	Bit 6-0	R	**COLUMN4 按键按压数值** Bit n: 击键 n 侦测到按压(n=0~6) 读取 KBCU_SCAN1 后，硬件自动清除

12. 5. 2. 11 按键扫描寄存器 2 (KBCU_SCAN2)

按键扫描寄存器 2 (KBCU_SCAN2)																															
偏移地址：0x28																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	COLUMN11 <6:0>							—	COLUMN10 <6:0>							—	COLUMN9 <6:0>							—	COLUMN8 <6:0>						

—	Bit 31	—	—
COLUMN11	Bit 30-24	R	**COLUMN11 按键按压数值** Bit n: 击键 n 侦测到按压(n=0~6) 读取 KBCU_SCAN2 后，硬件自动清除
—	Bit 23	—	—
COLUMN10	Bit 22-16	R	**COLUMN10 按键按压数值** Bit n: 击键 n 侦测到按压(n=0~6) 读取 KBCU_SCAN2 后，硬件自动清除
—	Bit 15	—	—
COLUMN9	Bit 14-8	R	**COLUMN9 按键按压数值** Bit n: 击键 n 侦测到按压(n=0~6) 读取 KBCU_SCAN2 后，硬件自动清除
—	Bit 7	—	—
COLUMN8	Bit 6-0	R	**COLUMN8 按键按压数值** Bit n: 击键 n 侦测到按压(n=0~6) 读取 KBCU_SCAN2 后，硬件自动清除

12. 5. 2. 12 按键扫描寄存器 3 (KBCU_SCAN3)

按键扫描寄存器 3 (KBCU_SCAN3)																															
偏移地址：0x2C																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	COLUMN15 <6:0>							—	COLUMN14 <6:0>							—	COLUMN13 <6:0>							—	COLUMN12 <6:0>						

—	Bit 31	—	—
COLUMN15	Bit 30-24	R	**COLUMN15 按键按压数值** Bit n: 击键 n 侦测到按压(n=0~6) 读取 KBCU_SCAN3 后，硬件自动清除
—	Bit 23	—	—
COLUMN14	Bit 22-16	R	**COLUMN14 按键按压数值** Bit n: 击键 n 侦测到按压(n=0~6) 读取 KBCU_SCAN3 后，硬件自动清除
—	Bit 15	—	—
COLUMN13	Bit 14-8	R	**COLUMN13 按键按压数值** Bit n: 击键 n 侦测到按压(n=0~6) 读取 KBCU_SCAN3 后，硬件自动清除
—	Bit 7	—	—
COLUMN12	Bit 6-0	R	**COLUMN12 按键按压数值** Bit n: 击键 n 侦测到按压(n=0~6) 读取 KBCU_SCAN3 后，硬件自动清除

12. 5. 2. 13 按键扫描寄存器 4 (KBCU_SCAN4))

按键扫描寄存器 4 (KBCU_SCAN4)																															
偏移地址：0x30																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	COLUMN19 <6:0>							—	COLUMN18 <6:0>							—	COLUMN17 <6:0>							—	COLUMN16 <6:0>						

—	Bit 31	—	—
COLUMN19	Bit 30-24	R	**COLUMN19 按键按压数值** Bit n: 击键 n 侦测到按压(n=0~6) 读取 KBCU_SCAN4 后，硬件自动清除
—	Bit 23	—	—
COLUMN18	Bit 22-16	R	**COLUMN18 按键按压数值** Bit n: 击键 n 侦测到按压(n=0~6) 读取 KBCU_SCAN4 后，硬件自动清除
—	Bit 15	—	—
COLUMN17	Bit 14-8	R	**COLUMN17 按键按压数值** Bit n: 击键 n 侦测到按压(n=0~6) 读取 KBCU_SCAN4 后，硬件自动清除
—	Bit 7	—	—
COLUMN16	Bit 6-0	R	**COLUMN16 按键按压数值** Bit n: 击键 n 侦测到按压(n=0~6) 读取 KBCU_SCAN4 后，硬件自动清除

12. 5. 2. 14 按键扫描寄存器 5 (KBCU_SCAN5)

按键扫描寄存器 5 (KBCU_SCAN5)																															
偏移地址：0x34																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	COLUMN23 <6:0>							—	COLUMN22 <6:0>							—	COLUMN21 <6:0>							—	COLUMN20 <6:0>						

—	Bit 31	—	—
COLUMN23	Bit 30-24	R	**COLUMN23 按键按压数值** Bit n: 击键 n 侦测到按压(n=0~6) 读取 KBCU_SCAN5 后，硬件自动清除
—	Bit 23	—	—
COLUMN22	Bit 22-16	R	**COLUMN22 按键按压数值** Bit n: 击键 n 侦测到按压(n=0~6) 读取 KBCU_SCAN5 后，硬件自动清除
—	Bit 15	—	—
COLUMN21	Bit 14-8	R	**COLUMN21 按键按压数值** Bit n: 击键 n 侦测到按压(n=0~6) 读取 KBCU_SCAN5 后，硬件自动清除
—	Bit 7	—	—
COLUMN20	Bit 6-0	R	**COLUMN20 按键按压数值** Bit n: 击键 n 侦测到按压(n=0~6) 读取 KBCU_SCAN5 后，硬件自动清除

12. 5. 2. 15 按键扫描状态寄存器 (KBCU_STAT)

按键扫描状态寄存器 (KBCU_STAT)																															
偏移地址：0x38																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	COLUMN<23:0>																							

—	Bit 31-24	—	—
COLUMN	Bit 23-0	R	**按键扫描状态** Bit n: 按键扫描至 COLUMNn 时，硬件侦测到击键准位改变(n=0~23) 读取 KBCU_STAT 后，硬件自动清除

12. 5. 2. 16 LED 寄存器 0 (KBCU_LED0)

LED 寄存器 0 (KBCU_LED0)																															
偏移地址：0x40																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MASK <4:0>					DUTY2_H	DUTY1_H	DUTY0_H	DUTY2 <7:0>								DUTY1 <7:0>								DUTY0 <7:0>							

MASK	Bit 31-27	R/W	**选择PWM0~3屏蔽COLUMN内计数周期次数** 00000: 关闭屏蔽 00001: 屏蔽1个计数数周期 00010: 屏蔽2个计数数周期 … 11111: 屏蔽31个计数数周期
DUTY2_H	Bit 26	R/W	**PWM2 输出高准位配置** PWM2 计数周期内输出高准位，占空比=100%
DUTY1_H	Bit 25	R/W	**PWM1 输出高准位配置** PWM1 计数周期内输出高准位，占空比=100%
DUTY0_H	Bit 24	R/W	**PWM0 输出高准位配置** PWM0 计数周期内输出高准位，占空比=100%
DUTY2	Bit 23-16	R/W	**PWM2 占空比配置**

			占空比= DUTY2/(ARVALUE+1)
DUTY1	Bit 15-8	R/W	**PWM1 占空比配置** 占空比= DUTY1/(ARVALUE+1)
DUTY0	Bit 7-0	R/W	**PWM0 占空比配置** 占空比= DUTY0/(ARVALUE+1)

12. 5. 2. 17 LED 寄存器 1 (KBCU_LED1)

LED 寄存器 1 (KBCU_LED1)

偏移地址：0x44

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MASK <4:0>					DUTY2_H	DUTY1_H	DUTY0_H	DUTY2 <7:0>								DUTY1 <7:0>								DUTY0 <7:0>							

MASK	Bit 31-27	R/W	**选择PWM0~3屏蔽COLUMN内计数周期次数** 00000: 关闭屏蔽 00001: 屏蔽1个计数数周期 00010: 屏蔽2个计数数周期 … 11111: 屏蔽31个计数数周期
DUTY2_H	Bit 26	R/W	**PWM2 输出高准位配置** PWM2 计数周期内输出高准位，占空比=100%
DUTY1_H	Bit 25	R/W	**PWM1 输出高准位配置** PWM1 计数周期内输出高准位，占空比=100%
DUTY0_H	Bit 24	R/W	**PWM0 输出高准位配置** PWM0 计数周期内输出高准位，占空比=100%
DUTY2	Bit 23-16	R/W	**PWM2 占空比配置** 占空比= DUTY2/(ARVALUE+1)
DUTY1	Bit 15-8	R/W	**PWM1 占空比配置** 占空比= DUTY1/(ARVALUE+1)
DUTY0	Bit 7-0	R/W	**PWM0 占空比配置** 占空比= DUTY0/(ARVALUE+1)

12. 5. 2. 18 LED 寄存器 2 (KBCU_LED2)

LED 寄存器 2 (KBCU_LED2)																															
偏移地址：0x48																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MASK <4:0>					DUTY2_H	DUTY1_H	DUTY0_H	DUTY2 <7:0>								DUTY1 <7:0>								DUTY0 <7:0>							

MASK	Bit 31-27	R/W	**选择PWM0~3屏蔽COLUMN内计数周期次数** 00000: 关闭屏蔽 00001: 屏蔽1个计数数周期 00010: 屏蔽2个计数数周期 … 11111: 屏蔽31个计数数周期
DUTY2_H	Bit 26	R/W	**PWM2 输出高准位配置** PWM2 计数周期内输出高准位，占空比=100%
DUTY1_H	Bit 25	R/W	**PWM1 输出高准位配置** PWM1 计数周期内输出高准位，占空比=100%
DUTY0_H	Bit 24	R/W	**PWM0 输出高准位配置** PWM0 计数周期内输出高准位，占空比=100%
DUTY2	Bit 23-16	R/W	**PWM2 占空比配置** 占空比= DUTY2/(ARVALUE+1)
DUTY1	Bit 15-8	R/W	**PWM1 占空比配置** 占空比= DUTY1/(ARVALUE+1)
DUTY0	Bit 7-0	R/W	**PWM0 占空比配置** 占空比= DUTY0/(ARVALUE+1)

12. 5. 2. 19 LED 寄存器 3 (KBCU_LED3)

LED 寄存器 3 (KBCU_LED3)																															
偏移地址：0x4C																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MASK <4:0>					DUTY2_H	DUTY1_H	DUTY0_H	DUTY2 <7:0>								DUTY1 <7:0>								DUTY0 <7:0>							

MASK	Bit 31-27	R/W	**选择PWM0~3屏蔽COLUMN内计数周期次数** 00000: 关闭屏蔽 00001: 屏蔽1个计数数周期 00010: 屏蔽2个计数数周期 … 11111: 屏蔽31个计数数周期
DUTY2_H	Bit 26	R/W	**PWM2 输出高准位配置** PWM2 计数周期内输出高准位，占空比=100%
DUTY1_H	Bit 25	R/W	**PWM1 输出高准位配置** PWM1 计数周期内输出高准位，占空比=100%
DUTY0_H	Bit 24	R/W	**PWM0 输出高准位配置** PWM0 计数周期内输出高准位，占空比=100%
DUTY2	Bit 23-16	R/W	**PWM2 占空比配置** 占空比= DUTY2/(ARVALUE+1)
DUTY1	Bit 15-8	R/W	**PWM1 占空比配置** 占空比= DUTY1/(ARVALUE+1)
DUTY0	Bit 7-0	R/W	**PWM0 占空比配置** 占空比= DUTY0/(ARVALUE+1)

12. 5. 2. 20 LED 寄存器 4 (KBCU_LED4)

LED 寄存器 4 (KBCU_LED4)																															
偏移地址：0x50																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MASK <4:0>					DUTY2_H	DUTY1_H	DUTY0_H	DUTY2 <7:0>								DUTY1 <7:0>								DUTY0 <7:0>							

MASK	Bit 31-27	R/W	**选择PWM0~3屏蔽COLUMN内计数周期次数** 00000: 关闭屏蔽 00001: 屏蔽1个计数数周期 00010: 屏蔽2个计数数周期 … 11111: 屏蔽31个计数数周期
DUTY2_H	Bit 26	R/W	**PWM2 输出高准位配置** PWM2 计数周期内输出高准位，占空比=100%
DUTY1_H	Bit 25	R/W	**PWM1 输出高准位配置** PWM1 计数周期内输出高准位，占空比=100%
DUTY0_H	Bit 24	R/W	**PWM0 输出高准位配置** PWM0 计数周期内输出高准位，占空比=100%
DUTY2	Bit 23-16	R/W	**PWM2 占空比配置** 占空比= DUTY2/(ARVALUE+1)
DUTY1	Bit 15-8	R/W	**PWM1 占空比配置** 占空比= DUTY1/(ARVALUE+1)
DUTY0	Bit 7-0	R/W	**PWM0 占空比配置** 占空比= DUTY0/(ARVALUE+1)

12. 5. 2. 21 LED 寄存器 5 (KBCU_LED5)

LED 寄存器 5 (KBCU_LED5)																															
偏移地址：0x54																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MASK <4:0>					DUTY2_H	DUTY1_H	DUTY0_H	DUTY2 <7:0>								DUTY1 <7:0>								DUTY0 <7:0>							

MASK	Bit 31-27	R/W	**选择PWM0~3屏蔽COLUMN内计数周期次数** 00000: 关闭屏蔽 00001: 屏蔽1个计数数周期 00010: 屏蔽2个计数数周期 … 11111: 屏蔽31个计数数周期
DUTY2_H	Bit 26	R/W	**PWM2 输出高准位配置** PWM2 计数周期内输出高准位，占空比=100%
DUTY1_H	Bit 25	R/W	**PWM1 输出高准位配置** PWM1 计数周期内输出高准位，占空比=100%
DUTY0_H	Bit 24	R/W	**PWM0 输出高准位配置** PWM0 计数周期内输出高准位，占空比=100%
DUTY2	Bit 23-16	R/W	**PWM2 占空比配置** 占空比= DUTY2/(ARVALUE+1)
DUTY1	Bit 15-8	R/W	**PWM1 占空比配置** 占空比= DUTY1/(ARVALUE+1)
DUTY0	Bit 7-0	R/W	**PWM0 占空比配置** 占空比= DUTY0/(ARVALUE+1)

12. 5. 2. 22 LED 寄存器 6 (KBCU_LED6)

LED 寄存器 6 (KBCU_LED6)																															
偏移地址：0x58																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MASK <4:0>					DUTY2_H	DUTY1_H	DUTY0_H	DUTY2 <7:0>								DUTY1 <7:0>								DUTY0 <7:0>							

MASK	Bit 31-27	R/W	**选择PWM0~3屏蔽COLUMN内计数周期次数** 00000: 关闭屏蔽 00001: 屏蔽1个计数数周期 00010: 屏蔽2个计数数周期 … 11111: 屏蔽31个计数数周期
DUTY2_H	Bit 26	R/W	**PWM2 输出高准位配置** PWM2 计数周期内输出高准位，占空比=100%
DUTY1_H	Bit 25	R/W	**PWM1 输出高准位配置** PWM1 计数周期内输出高准位，占空比=100%
DUTY0_H	Bit 24	R/W	**PWM0 输出高准位配置** PWM0 计数周期内输出高准位，占空比=100%
DUTY2	Bit 23-16	R/W	**PWM2 占空比配置** 占空比= DUTY2/(ARVALUE+1)
DUTY1	Bit 15-8	R/W	**PWM1 占空比配置** 占空比= DUTY1/(ARVALUE+1)
DUTY0	Bit 7-0	R/W	**PWM0 占空比配置** 占空比= DUTY0/(ARVALUE+1)

第13章 直接存储器访问控制器 (DMA)

13. 1 概述

DMA 控制器可独立于 CPU 对内部存储进行操作，利用 DMA 可减轻 CPU 的负担并且节省功耗。每个 DMA 通道可选择芯片上的任意外设资源，实现数据的搬运、传输及控制。

13. 2 特性

- 支持 6 个独立的 DMA 通道
- 仲裁到达的请求
- 指示有效通道
- 指示通道完成
- 使能低速外设，用来拖延 DMA 周期
- 完成一个 DMA 周期前，等待清零请求
- 进行多个或单个 DMA 传输
- 进行以下不同类型的 DMA 传输
  - 存储器到存储器
  - 存储器到外设
  - 外设到存储器

注： 因每个通道只提供单个 DMA 请求接口，因此不支持外设到外设传输。

13. 3 结构图

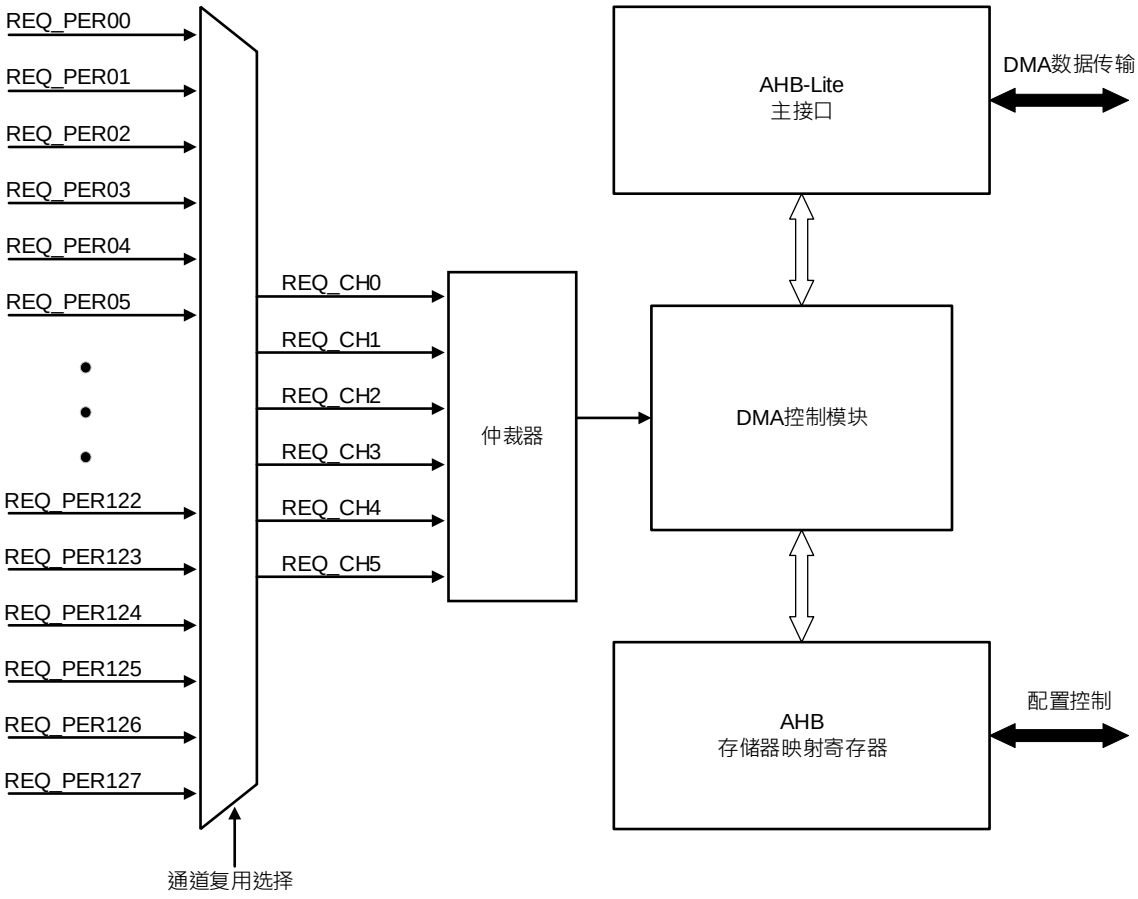


图 13-1 DMA 结构框图

13. 4 功能描述

DMA 控制器具有高度的灵活性。 它能够在外围设备和内存之间传输数据，而无需处理器内核的参与。 这可以通过减轻处理器的负担来复制大量数据，或者避免频繁中断需要更多数据或具有可用数据的服务外围设备，从而提高系统性能。

除基本传输模式外，DMA 控制器还支持两种高级传输模式：乒乓和分散聚集。乒乓传输非常适合用于高速外围通信的数据，因为在处理器内核仍在处理先前的数据时，DMA 将准备立即检索下一个传入的数据字节。分散聚集涉及从内存执行一系列任务，并允许通过软件实现复杂的方案。

通过为通道使用不同的优先级级别并设置 DMA 控制器重新仲裁之后的字节数，可以确保对时间要求严格的传输按时进行

13. 4. 1 通道选择配置

通道选择模块可以选择要连接到每个 DMA 通道的外设请求线路。该配置是由软件通过控制寄

存器 **DMA_CH0_SELCON-DMA_CH5_SELCON** 完成的。这些控制寄存器都是由 MSIGSEL 选择外设信号。

注：
1. 当所选外设的时钟关闭时，DMA 通道不应该被使能。
2. 传输类型为存储器到存储器，通道选择必须配置为 MEMORY。

请求编号	外设	请求编号	外设	请求编号	外设	请求编号	外设
0	UART1_TX	32	BS16T1_UP	64	GP16C2T1_CH1	96	
1	UART2_TX	33	AD16C4T1_CH1	65	GP16C2T1_CH2	97	
2	UART3_TX	34	AD16C4T1_CH2	66	GP16C2T1_UP	98	
3	UART4_TX	35	AD16C4T1_CH3	67	GP16C2T1_TRG	99	
4		36	AD16C4T1_CH4	68	GP16C2T1_COM	100	
5	SPI1_TX	37	AD16C4T1_UP	69		101	
6	SPI2_TX	38	AD16C4T1_TRG	70	GP16C2T2_CH1	102	
7	I2C1_TX	39	AD16C4T1_COM	71	GP16C2T2_CH2	103	
8	I2C2_TX	40	GP32C4T1_CH1	72	GP16C2T2_UP	104	
9	AES_IN	41	GP32C4T1_CH2	73	GP16C2T2_TRG	105	
10		42	GP32C4T1_CH3	74	GP16C2T2_COM	106	
11	CRC	43	GP32C4T1_CH4	75		107	
12	SPI3_TX	44	GP32C4T1_UP	76	GP16C2T3_CH1	108	
13		45	GP32C4T1_TRG	77	GP16C2T3_CH2	109	
14		46	GP16C4T1_CH1	78	GP16C2T3_UP	110	
15	UART1_RX	47	GP16C4T1_CH2	79	GP16C2T3_TRG	111	
16	UART2_RX	48	GP16C4T1_CH3	80	GP16C2T3_COM	112	
17	UART3_RX	49	GP16C4T1_CH4	81		113	
18	UART4_RX	50	GP16C4T1_UP	82	GP16C2T4_CH1	114	
19		51	GP16C4T1_TRG	83	GP16C2T4_CH2	115	
20	SPI1_RX	52	GP16C4T2_CH1	84	GP16C2T4_UP	116	
21	SPI2_RX	53	GP16C4T2_CH2	85	GP16C2T4_TRG	117	
22	I2C1_RX	54	GP16C4T2_CH3	86	GP16C2T4_COM	118	
23	I2C2_RX	55	GP16C4T2_CH4	87		119	
24	AES_OUT	56	GP16C4T2_UP	88		120	
25	ADC	57	GP16C4T2_TRG	89		121	
26		58	GP16C4T3_CH1	90		122	
27		59	GP16C4T3_CH2	91		123	
28		60	GP16C4T3_CH3	92		124	
29	SPI3_RX	61	GP16C4T3_CH4	93		125	
30		62	GP16C4T3_UP	94		126	
31	KBCU	63	GP16C4T3_TRG	95		127	MEMORY

表 13-1 外设请求对应表

13. 4. 2 DMA 控制

13. 4. 2. 1 DMA 仲裁率

在 DMA 传输过程中，用户可配置控制器何时进行仲裁。该动作可缩短响应高优先通道的延时。控制器提供 4 个比特位，用来配置在重新进行仲裁前 AHB 总线传输的次数。这些位称为 R_POWER 位，因为您输入的数值 R 会提高到 2 的次方(2^R)，进而决定了仲裁率。当 R = 4，则仲裁率为 2^4 = 16，即每进行 16 次 DMA 传输就进行一次仲裁。

R_POWER	x 次 DMA 传输后进行仲裁
b0000	x = 1
b0001	x = 2
b0010	x = 4
b0011	x = 8
b0100	x = 16
b0101	x = 32
b0110	x = 64
b0111	x = 128
b1000	x = 256
b1001	x = 512
b1010-b1111	x = 1024

表 13-2 仲裁设置

注：优先级低的通道中 R_POWER 值不要配置太大，这样会导致在重新进行仲裁前，控制器不会响应优先级高的请求。

需要完成的 DMA 传输次数 N 是由使用者指定的。当 N > 2^R 且 N 不是 2^R 的整数倍，控制器会依次先完成 2^R 次传输直到剩余的次数 N 小于 2^R。剩余的次数 N 会在 DMA 周期的最后完成。用户可将 R_POWER 的值保存在通道控制数据结构中。

13. 4. 2. 2 优先级

当控制器进行仲裁的时候，下一个进行仲裁的通道可由以下信息决定：

- 通道数
- 通道优先级

每个通道都可以通过 **CHNL_PRIORITY_SET** 寄存器设置为默认优先级或者高优先级。通道 0 的优先级最高。随着通道数增高，优先级随之降低。

通道数	优先级设置	优先级(由高到低)
0	高	最高优先级
1	高	-
2	高	-
3	高	-
4	高	-
5	高	-
0	默认	-
1	默认	-
2	默认	-
3	默认	-
4	默认	-
5	默认	最低优先级

表 13-3 DMA 通道优先级

当完成一个 DMA 传输，控制器将轮询所有可用的 DMA 通道。下方为轮询流程图。

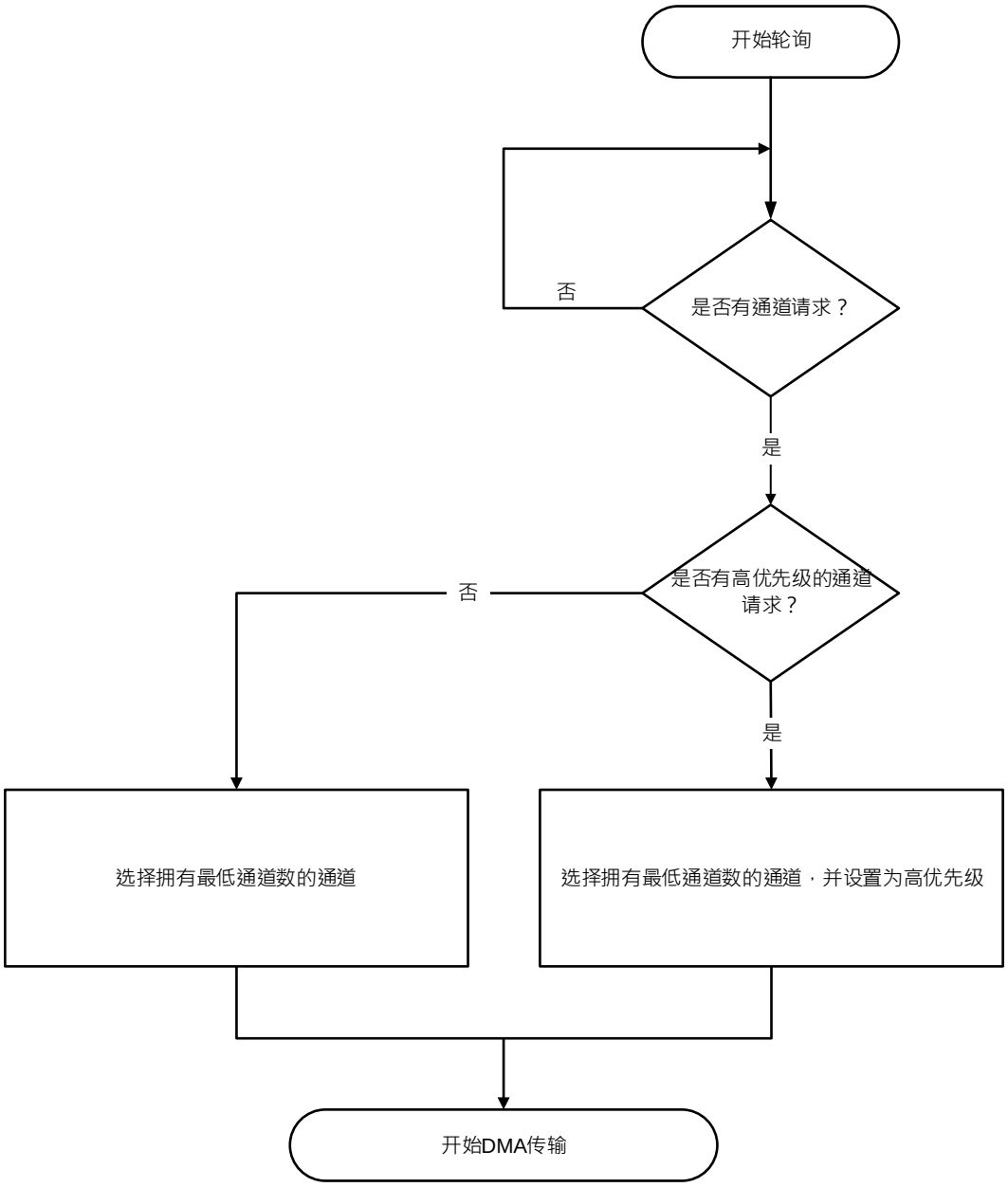


图 13-2 轮询流程图

13. 4. 2. 3 DMA 周期类型

控制器可通过 CYCLE_CTRL 来选择 DMA 周期的类型，请参考下表。

CYCLE_CTRL	功能描述
b000	通道控制数据结构无效
b001	基础 DMA 传输
b010	自动请求
b011	乒乓
b100	存储器分散-聚集(主要数据结构)
b101	存储器分散-聚集(交替数据结构)
b110	外设分散-聚集(主要数据结构)
b111	外设分散-聚集(交替数据结构)

表 13-4 DMA 周期类型

注：CYCLE_CTRL 位于 CHANNEL_CFG 存储地址。

在所有的周期模式下，控制器在完成 2^R 次传输后进行仲裁。若一个低优先级通道被赋予了一个较大的 2^R 值，则到该通道完成 DMA 传输之前，所有其它的通道都不会进行 DMA 传输。因此，使用者需谨慎设置 R_POWER 的值，避免增加高优先级通道的延时。

- 无效模式

  当完成一个 DMA 传输后，控制器会将周期类型设置为无效，避免控制器发送同一个 DMA 周期。

- 基础模式

  在此模式下，用户可以设置控制器使用主要数据结构或者交替数据结构。当通道使能后且控制器接收到该通道上的请求信号，此 DMA 周期的流程如下：

  1. 控制器展开 2^R 次传输。如果剩余的传输次数为 0，则继续步骤 3。
  2. 控制器仲裁如下：
     - 若高优先级通道有请求信号，则控制器先响应该通道
     - 若外设或者软件向控制器发出请求信号，则继续进行步骤 1
  3. 控制器将 dma_done[C]置高一个 hclk 周期，向主机处理器表明该 DMA 周期已完成。

- 自动请求模式

  在自动请求模式下，仅需要收到一次请求信号就可以完成整个 DMA 周期。无须大幅度增加响应高优先级请求的延时，也无须多次向处理器或者外设发出请求，就可以完成大数据的传输。

  用户可以配置控制器使用主要数据结构或者交替数据结构。当通道使能后且控制器接收到该通道上的请求，则流程如下：

  1. 控制器展开 2^R 次传输。如果剩余的传输次数为 0，则继续步骤 3。

2. 控制器进行仲裁。当通道 C 的优先级最高，则继续进行步骤 1。
3. 控制器将 dma_done[C]置高一个 hclk 周期，向主机处理器表明该 DMA 周期已完成。

◆ 乒乓模式

在乒乓模式下，控制器先使用其中一种数据结构完成一个 DMA 周期，接着再使用另外一种数据结构完成一次 DMA 周期。控制器将会继续转换这两种数据结构直到读到无效的数据结构或者通道被主控处理器禁止。

下图显示为在乒乓模式下的 DMA 传输。

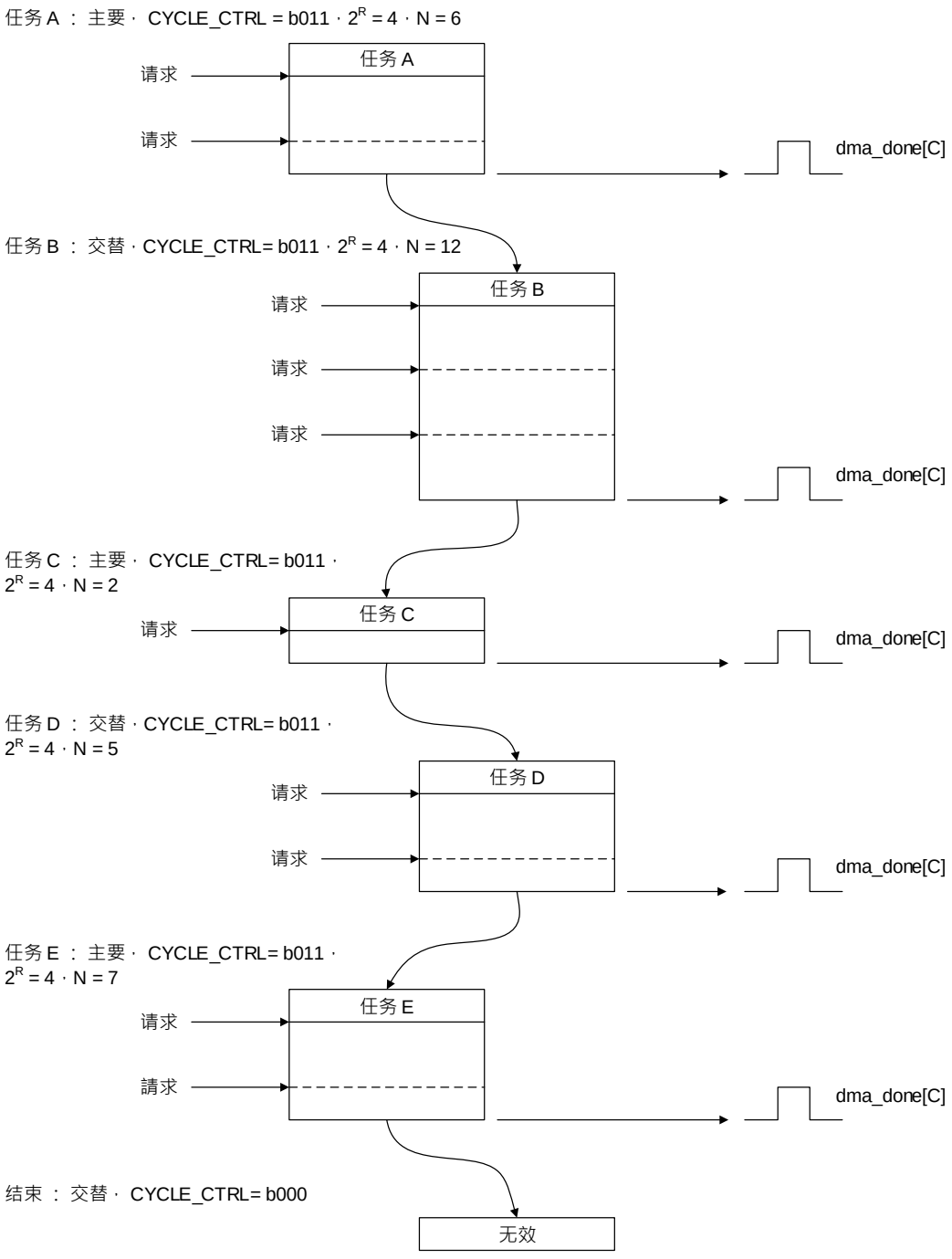


图 13-3 乒乓示例图

任务 A

1. 主控处理器配置任务 A 为主要数据结构。
2. 主控处理器配置任务 B 为交替数据结构。当任务 A 完成时，控制器会立刻转换去任务 B，前提是没有高优先级通道提出请求。
3. 控制器接收到一个请求并完成 4 次 DMA 传输。
4. 控制器进行仲裁。当控制器接收到该通道上的请求，如果该通道具有最高优先级，则继续流程。
5. 控制器进行剩余的 2 次 DMA 传输。
6. 控制器将 dma_done[C]置高一个 hclk 周期，并进入仲裁流程。

当任务 A 完成后，主控处理器可配置任务 C 为主要数据结构。在任务 B 完成之后，控制器可立即转换去任务 C，前提是没有高优先级通道提出请求。

当控制器接收到该通道上新的请求且拥有最高优先级，则任务 B 开始执行：

任务 B

7. 控制器进行 4 次 DMA 传输。
8. 控制器进行仲裁。当控制器接收到该通道上的请求，如果该通道具有最高优先级，则继续流程。
9. 控制器进行 4 次 DMA 传输。
10. 控制器进行仲裁。当控制器接收到该通道上的请求，如果该通道具有最高优先级，则继续流程。
11. 控制器进行剩余的 4 次 DMA 传输。
12. 控制器将 dma_done[C]置高一个 hclk 周期，并进入仲裁流程。

当任务 B 完成后，主控处理器可将任务 D 配置为交替数据结构。

当控制器接收到该通道上新的请求且拥有最高优先级，则任务 C 开始执行：

任务 C

13. 控制器进行 2 次 DMA 传输。
14. 控制器将 dma_done[C]置高一个 hclk 周期，并进入仲裁流程。

当任务 C 完成后，主控处理器可将任务 E 配置为主要数据结构。

当控制器接收到该通道上新的请求且拥有最高优先级，则任务 D 开始执行：

任务 D

15. 控制器进行 4 次 DMA 传输。
16. 控制器进行仲裁。当控制器接收到该通道上的请求，如果该通道具有最高优先级，则继续流程。
17. 控制器进行剩余的 DMA 传输。
18. 控制器将 dma_done[C]置高一个 hclk 周期，并进入仲裁流程。

当控制器接收到该通道上新的请求且拥有最高优先级，则任务 E 开始执行：

任务 E

19. 控制器进行 4 次 DMA 传输。
20. 控制器进行仲裁。当控制器接收到该通道上的请求，如果该通道具有最高优先级，则继续流程。
21. 控制器进行剩余的 3 次 DMA 传输。
22. 控制器将 dma_done[C]置高一个 hclk 周期，并进入仲裁流程。

若控制器接收到该通道上的新请求且拥有最高优先级，则控制器会企图开始下一个任务。但由于主控处理器尚未配置交替数据结构，且当任务 D 完成的时候 cycle_ctrl 被设置为 b000，则会终止乒乓 DMA 传输。

注：使用者可通过设置 CYCLE_CTRL 为 b001 将任务 E 配置为基础 DMA 周期，以用来终止乒乓 DMA 周期。

◆ 存储器分散-聚集

在存储器分散-聚集模式下，控制器先接收到一个初始请求，接着采用主要数据结构进行 4 次 DMA 传输。当传输完成时，会以交替数据结构开始一个新的 DMA 周期。当该周期完成时，控制器将会采用主要数据结构开始又一轮 4 次 DMA 传输。若发生以下任意一种情况，则控制器将停止主要数据结构和交替数据结构的转换：

- 主控处理器将交替数据结构配置为一个基础周期
- 读取到一个无效数据结构

注：当完成 N 次主要数据结构的传输后，控制器将 CYCLE_CTRL 设置为 b000 使其变为无效的数据结构。

当完成一个自动请求周期的分散-聚集模式传输，控制器仅将 dma_done[C]置为有效。

在分散-聚集模式下，控制器利用主要数据结构来编程交替数据结构。下表列出了主要数据结构的 CHANNEL_CFG 配置，分为固定值配置和用户配置。

位	名称	数值	功能描述
固定配置字段			
[31:30]	DST_INC	b10	配置控制器使用字作为地址增量
[29:28]	DST_SIZE	b10	配置控制器使用字传输
[27:26]	SRC_INC	b10	配置控制器使用字作为地址增量
[25:24]	SRC_SIZE	b10	配置控制器使用字传输
[17:14]	R_POWER	b0010	配置控制器进行 4 次 DMA 传输
[3]	NEXT_USEBURST	b0	当配置为存储器分散-聚集模式时，该位必须设置为 0
[2:0]	CYCLE_CTRL	b100	配置控制器执行存储器分散-聚集 DMA 周期

位	名称	数值	功能描述
用户配置字段			
[13:4]	N_MINUS_1	N(注)	配置控制器进行 N 次 DMA 传输，其中 N 为 4 的倍数

表 13-5 主要数据结构的 CHANNEL_CFG 配置

注：由于 R_POWER 配置为 4，因此 N 必须设置为 4 的倍数。 N/4 的值为配置交替数据结构的次数。

存储器分散-聚集模式的示例：

初始化：

1. 配置主要数据结构来使能复制任务 A，B，C 和 D 的操作：CYCLE_CTRL= b100，2^R = 4，N = 16
2. 利用下表中的结构，将主要源数据写入存储器。 .各任务描述配置示例

	SRC_DATA_END_PTR	DST_DATA_END_PTR	CHANNEL_CFG	Unused
任务 A 数据	0x0A000000	0x0AE00000	CYCLE_CTRL= b101，2^R = 4，N = 3	0xXXXXXXXX
任务 B 数据	0x0B000000	0x0BE00000	CYCLE_CTRL= b101，2^R = 2，N = 8	0xXXXXXXXX
任务 C 数据	0x0C000000	0x0CE00000	CYCLE_CTRL= b101，2^R = 8，N = 5	0xXXXXXXXX
任务 D 数据	0x0D000000	0x0DE00000	CYCLE_CTRL= b010，2^R = 4，N = 4	0xXXXXXXXX

表 13-6 各任务描述配置示例

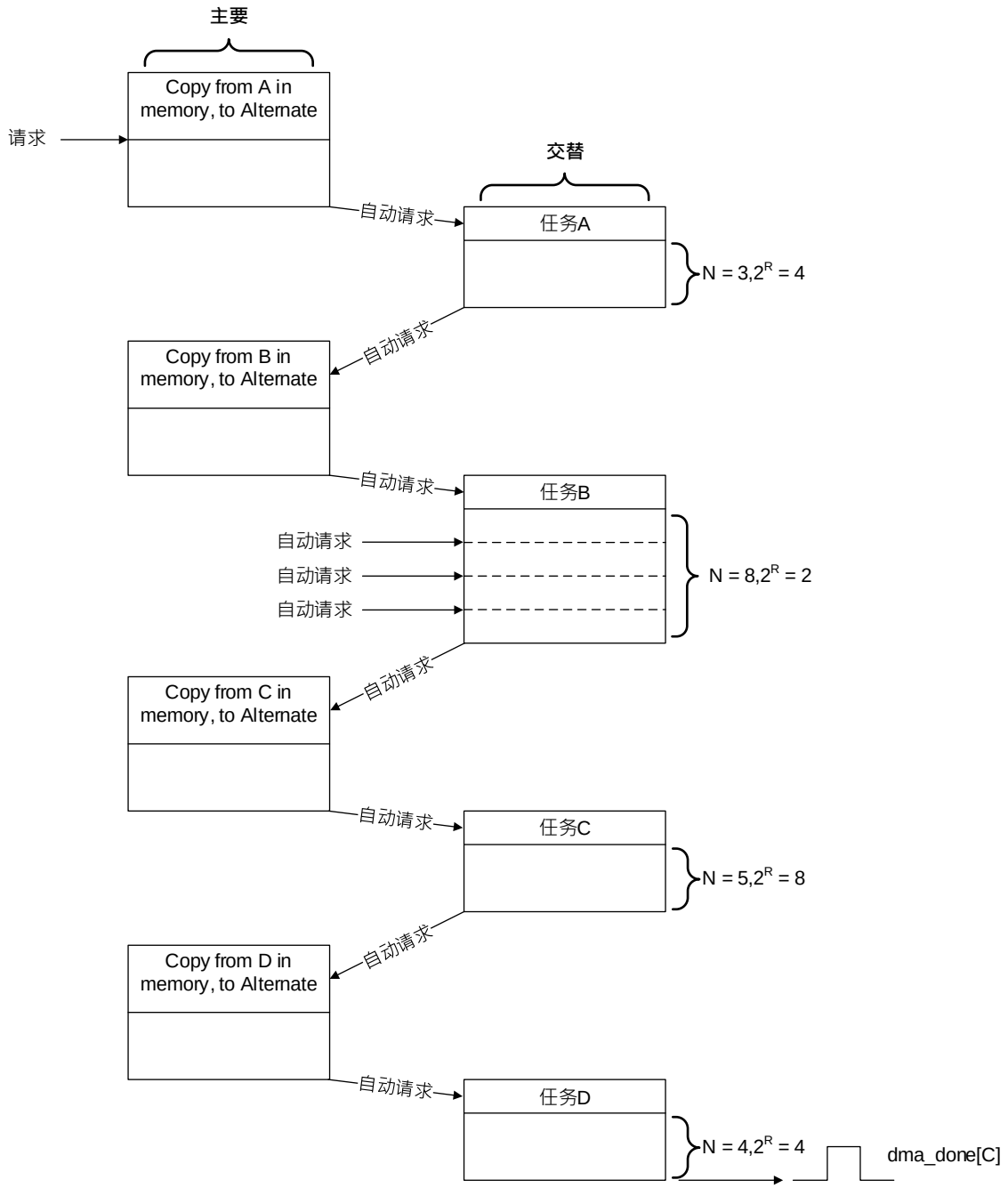


图 13-4 存储器分散-聚集示例

初始化

1. 主控处理器通过设置 CYCLE_CTRL 为 b100，使主要数据结构运行于存储器分散-聚集模式。由于单个通道的数据结构包含 4 个字，所以 2^R 必须设置为 4。在该示例中，有 4 个任务，因此 N 设为 16。
2. 主控处理器将任务 A，B，C 和 D 的数据结构写入由主要 SRC_DATA_END_PTR 指定的存储器地址中。
3. 主控处理器使能该通道。

当控制器接收到 dma_req[ ]请求或者来自主控处理器的手动请求，则存储器分散-聚集传输开始执行，流程如下：

主要，复制 A

1. 在接收到请求后，控制器进行 4 次 DMA 传输，将任务 A 的数据结构写入到交替数据结构。
2. 控制器在该通道上生成一个自动请求接着进行仲裁。

任务 A

3. 控制器进行任务 A。当任务 A 完成，控制器在该通道上生成一个自动请求，接着进行仲裁。

主要，复制 B

4. 控制器进行 4 次 DMA 传输，将任务 B 的数据结构写入到交替数据结构。
5. 控制器在该通道上生成一个自动请求接着进行仲裁。

任务 B

6. 控制器进行任务 B。当任务 B 完成，控制器在该通道上生成一个自动请求，接着进行仲裁。

主要，复制 C

7. 控制器进行 4 次 DMA 传输，将任务 C 的数据结构写入到交替数据结构。
8. 控制器在该通道上生成一个自动请求接着进行仲裁。

任务 C

9. 控制器进行任务 C。当任务 C 完成，控制器在该通道上生成一个自动请求，接着进行仲裁。

主要，复制 D

10. 控制器进行 4 次 DMA 传输，将任务 D 的数据结构写入到交替数据结构。
11. 控制器设置主要数据结构的 CYCLE_CTRL 为 b000，表明该数据结构为无效。
12. 控制器在该通道上生成一个自动请求接着进行仲裁。

任务 D

13. 控制器使用自动请求周期执行任务 D。
14. 控制器将 dma_done[C]置高一个 hclk 周期，并进入仲裁流程。

◆ 外设分散-聚集

在外设分散-聚集模式下，控制器接收到一个来自外设的初始请求，接着使用主要数据结构执行 4 次 DMA 传输，然后立即使用交替数据结构启动一个新的 DMA 周期，无须重新仲裁。

注：仅在该状况下，当完成主要数据结构的传输后，控制器无须进入仲裁流程。

在该 DMA 周期完成后，控制器重新仲裁。如果控制器接收到外设请求且拥有最高优先级，则执行又一轮 4 次主要数据结构的 DMA 传输。接着立即启动一个交替数据结构的 DMA 周期，无须重新仲裁。若发生以下任意一种情况，则控制器将停止主要数据结构和交替数据结构的转换：

- 主控处理器将交替数据结构配置为一个基础周期
- 读取到一个无效数据结构

注：当完成 N 次主要数据结构的传输后，控制器将 CYCLE_CTRL 设置为 b000 使其变为无效的数据结构。

当完成一个基础周期的分散-聚集模式传输，控制器将 dma_done[C]置为有效。在分散-聚集模式下，控制器利用主要数据结构来编程交替数据结构。

下表列出了主要数据结构的 CHANNEL_CFG 配置，分为固定值配置和用户配置。

位	名称	数值	功能描述
固定配置字段			
[31:30]	DST_INC	b10	配置控制器使用字作为地址增量
[29:28]	DST_SIZE	b10	配置控制器使用字传输
[27:26]	SRC_INC	b10	配置控制器使用字作为地址增量
[25:24]	SRC_SIZE	b10	配置控制器使用字传输
[17:14]	R_POWER	b0010	配置控制器进行 4 次 DMA 传输
[2:0]	CYCLE_CTRL	b110	配置控制器执行外设分散-聚集模式 DMA 周期
用户配置字段			
[13:4]	N_MINUS_1	N(注)	配置控制器进行 N 次 DMA 传输，其中 N 为 4 的倍数
[3]	NEXT _USEBURST	-	当设置为 1，在交替传输完成后，控制器会将 CHNL_USEBURST_SET[C]置 1

表 13-7 主要数据结构的 CHANNEL_CFG 配置

注：由于 R_POWER 配置为 4，因此 N 必须设置为 4 的倍数。 N/4 的值为配置交替数据结构的次数。

外设分散-聚集模式的示例：

初始化：

1. 配置主要数据结构来使能复制任务 A，B，C 和 D 的操作：CYCLE_CTRL = b110，2^R = 4，N = 16
2. 利用下表中的结构，将主要源数据写入存储器。 .各任务描述配置示例

	SRC_DATA_END_PTR	DST_DATA_END_PTR	CHANNEL_CFG	Unused
任务 A 数据	0x0A000000	0x0AE00000	CYCLE_CTRL = b111，2^R = 4，N = 3	0xXXXXXXXX
任务 B 数据	0x0B000000	0x0BE00000	CYCLE_CTRL = b111，2^R = 2，N = 8	0xXXXXXXXX
任务 C 数据	0x0C000000	0x0CE00000	CYCLE_CTRL = b111，2^R = 8，N = 5	0xXXXXXXXX
任务 D 数据	0x0D000000	0x0DE00000	CYCLE_CTRL = b001，2^R = 4，N = 4	0xXXXXXXXX

表 13-8 各任务描述配置示例

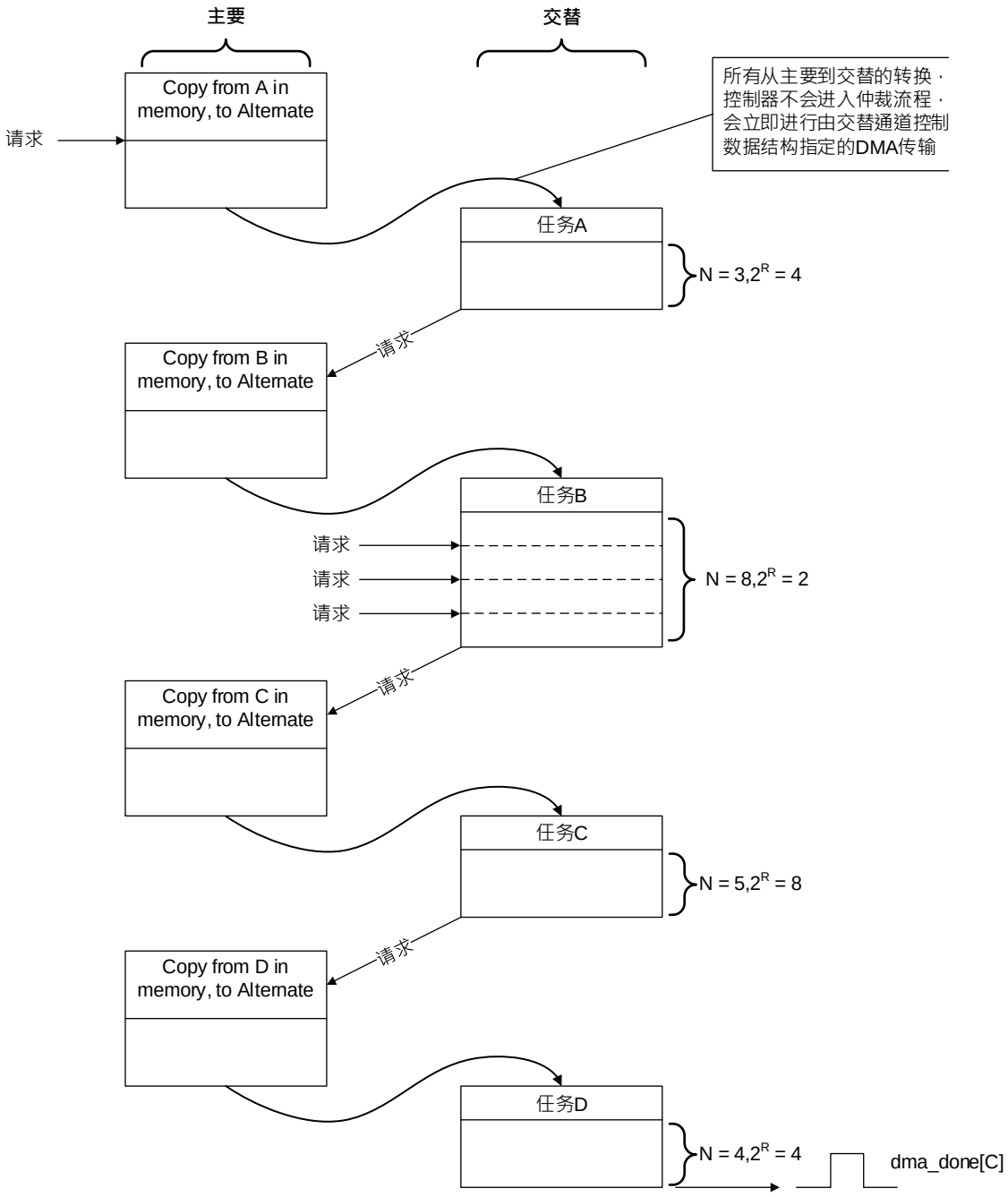


图 13-5 外设分散-聚集示例

初始化

1. 主控处理器通过设置 CYCLE_CTRL 为 b110，使主要数据结构运行于外设分散-聚集模式。由于单个通道的数据结构包含 4 个字，所以 2^R 必须设置为 4。在该示例中，有 4 个任务，因此 N 设为 16。
2. 主控处理器将任务 A，B，C 和 D 的数据结构写入由主要 SRC_DATA_END_PTR 指定的存储器地址中。
3. 主控处理器使能该通道。

当控制器接收到 dma_req[ ]请求，则外设分散-聚集传输开始执行，流程如下：

主要，复制 A

1. 在接收到请求后，控制器进行 4 次 DMA 传输，将任务 A 的数据结构写入到交替数据结构。

任务 A

2. 控制器进行任务 A。
3. 当完成任务 A 后，控制器进入仲裁流程。

在外设发出一个新的请求且拥有最高优先级，则继续以下流程：

主要，复制 B

4. 控制器进行 4 次 DMA 传输，将任务 B 的数据结构写入到交替数据结构。

任务 B

5. 控制器执行任务 B。为使控制器完成该任务，外设还必须再发出 3 次请求。
6. 当任务 B 完成，控制器进入仲裁流程。

在外设发出一个新的请求且拥有最高优先级，则继续以下流程：

主要，复制 C

7. 控制器进行 4 次 DMA 传输，将任务 C 的数据结构写入到交替数据结构。

任务 C

8. 控制器执行任务 C。
9. 当任务 C 完成，控制器进入仲裁流程。

在外设发出一个新的请求且拥有最高优先级，则继续以下流程：

主要，复制 D

10. 控制器进行 4 次 DMA 传输，将任务 D 的数据结构写入到交替数据结构。
11. 控制器设置主要数据结构的 CYCLE_CTRL 为 b000，表明该数据结构为无效。

任务 D

12. 控制器使用基础 DMA 周期执行任务 D。
13. 控制器将 dma_done[C]置高一个 hclk 周期，并进入仲裁流程。

13. 4. 3 通道控制数据结构

DMA 控制器包含 6 组主要和交替通道控制数据结构。每一个通道控制数据结构是由来源数据结束指针、目标数据结束指针与控制数据配置寄存器所组成的。 下图为 6 组主要和交替通道控制数据结构寄存器映射。

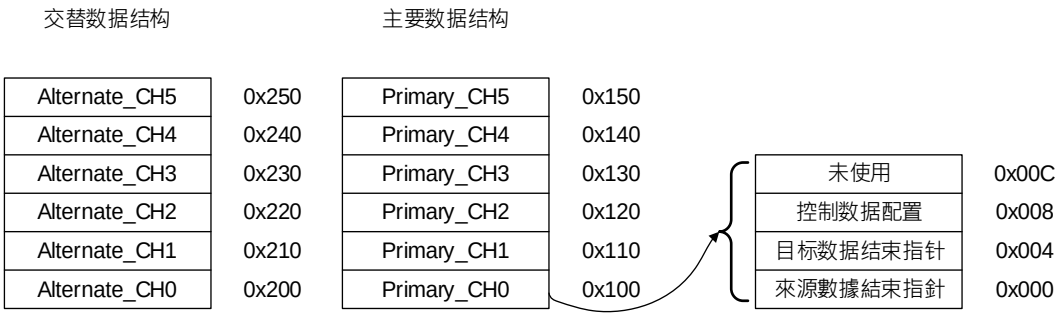


图 13-6 6 组主要和交替通道控制数据结构寄存器映射

通道控制数据结构中寄存器的设置步骤:

1. 设置数值到寄存器。
2. 读回寄存器的数值。
3. 比对设置与读回数值，如果数值不同则继续步骤 1。

注: 通道控制数据结构中的来源数据结束指针、目标数据结束指针与控制数据配置寄存器，都需依照步骤进行设置。

13. 4. 4 地址计算

为了计算 DMA 传输的源地址，控制器必须将 N_MINUS_1 的值向左移，移动值由 SRC_INC 定义。接着从源数据结束指针中减去移动后的 N_MINUS_1 的值。同样地，为了计算 DMA 传输的目标地址，控制器也必须将 N_MINUS_1 的值向左移，移动量由 DST_INC 定义，接着从目标数据结束指针中减去移动后的 N_MINUS_1 的值。

根据 SRC_INC 和 DST_INC 的值，源地址与目标地址可用以下等式计算：

SRC_INC = b00，DST_INC = b00

- 来源地址= SRC_DATA_END_PTR – N_MINUS_1
- 目标地址= DST_DATA_END_PTR - N_MINUS_1

SRC_INC = b01，DST_INC = b01

- 来源地址= SRC_DATA_END_PTR －(N_MINUS_1<<1)
- 目标地址= DST_DATA_END_PTR －(N_MINUS_1<<1)

SRC_INC = b10，DST_INC = b10

- 来源地址= SRC_DATA_END_PTR －(N_MINUS_1<<2)
- 目标地址= DST_DATA_END_PTR －(N_MINUS_1<<2)

SRC_INC = b11，DST_INC = b11

- 来源地址= SRC_DATA_END_PTR
- 目标地址= DST_DATA_END_PTR

13. 5 特殊功能寄存器

13. 5. 1 寄存器列表

DMA 寄存器列表			
名称	偏移地址	类型	描述
DMA_STATUS	0000_H	R	DMA 状态寄存器
DMA_CFG	0004_H	W	DMA 配置寄存器
DMA_CHWAITSTATUS	0010_H	R	DMA 通道等待请求状态寄存器
DMA_CHSWREQ	0014_H	W1	DMA 通道软件请求寄存器
DMA_CHUSEBURSTSET	0018_H	R/W	DMA 通道使用突发设置寄存器
DMA_CHUSEBURSTCLR	$001C_H$	W1	DMA 通道使用突发清除寄存器
DMA_CHREQMASKSET	0020_H	R/W	DMA 通道请求屏蔽设置寄存器
DMA_CHREQMASKCLR	0024_H	W1	DMA 通道请求屏蔽清除寄存器
DMA_CHENSET	0028_H	R/W	DMA 通道使能设置寄存器
DMA_CHENCLR	$002C_H$	W1	DMA 通道使能清除寄存器
DMA_CHPRIALTSET	0030_H	R/W	DMA 通道主要-交替设置寄存器
DMA_CHPRIALTCLR	0034_H	W1	DMA 通道主要-交替清除寄存器
DMA_CHPRSET	0038_H	R/W	DMA 通道优先级设置寄存器
DMA_CHPRCLR	$003C_H$	W1	DMA 通道优先级清除寄存器
DMA_IER	0050_H	W1	DMA 中断始能寄存器
DMA_IDR	0054_H	W1	DMA 中断禁用寄存器
DMA_IVS	0058_H	R	DMA 中断有效状态寄存器
DMA_RIF	$005C_H$	R	DMA 原始中断事件标志寄存器
DMA_IFM	0060_H	R	DMA 中断标志位状态寄存器
DMA_ICR	0064_H	C_W1	DMA 中断清除寄存器
DMA_CH0_SELCON	0070_H	R/W	DMA 通道 0 复用选择寄存器
DMA_CH1_SELCON	0074_H	R/W	DMA 通道 1 复用选择寄存器
DMA_CH2_SELCON	0078_H	R/W	DMA 通道 2 复用选择寄存器
DMA_CH3_SELCON	$007C_H$	R/W	DMA 通道 3 复用选择寄存器
DMA_CH4_SELCON	0080_H	R/W	DMA 通道 4 复用选择寄存器
DMA_CH5_SELCON	0084_H	R/W	DMA 通道 5 复用选择寄存器
PRI_CH00_SRC_DATA_END_PTR	0100_H	R/W	DMA 主要通道 0 来源数据结束指针寄存器
PRI_CH00_DST_DATA_END_PTR	0104_H	R/W	DMA 主要通道 0 目标数据结束指针寄存器
PRI_CH00_CHANNEL_CFG	0108_H	R/W	DMA 主要通道 0 控制数据配置寄存器

PRI_CH01_SRC_DATA_END_PTR	0110_H	R/W	DMA 主要通道 1 来源数据结束指针寄存器
PRI_CH01_DST_DATA_END_PTR	0114_H	R/W	DMA 主要通道 1 目标数据结束指针寄存器
PRI_CH01_CHANNEL_CFG	0118_H	R/W	DMA 主要通道 1 控制数据配置寄存器
PRI_CH02_SRC_DATA_END_PTR	0120_H	R/W	DMA 主要通道 2 来源数据结束指针寄存器
PRI_CH02_DST_DATA_END_PTR	0124_H	R/W	DMA 主要通道 2 目标数据结束指针寄存器
PRI_CH02_CHANNEL_CFG	0128_H	R/W	DMA 主要通道 2 控制数据配置寄存器
PRI_CH03_SRC_DATA_END_PTR	0130_H	R/W	DMA 主要通道 3 来源数据结束指针寄存器
PRI_CH03_DST_DATA_END_PTR	0134_H	R/W	DMA 主要通道 3 目标数据结束指针寄存器
PRI_CH03_CHANNEL_CFG	0138_H	R/W	DMA 主要通道 3 控制数据配置寄存器
PRI_CH04_SRC_DATA_END_PTR	0140_H	R/W	DMA 主要通道 4 来源数据结束指针寄存器
PRI_CH04_DST_DATA_END_PTR	0144_H	R/W	DMA 主要通道 4 目标数据结束指针寄存器
PRI_CH04_CHANNEL_CFG	0148_H	R/W	DMA 主要通道 4 控制数据配置寄存器
PRI_CH05_SRC_DATA_END_PTR	0150_H	R/W	DMA 主要通道 5 来源数据结束指针寄存器
PRI_CH05_DST_DATA_END_PTR	0154_H	R/W	DMA 主要通道 5 目标数据结束指针寄存器
PRI_CH05_CHANNEL_CFG	0158_H	R/W	DMA 主要通道 5 控制数据配置寄存器
ALT_CH00_SRC_DATA_END_PTR	0200_H	R/W	DMA 交替通道 0 来源数据结束指针寄存器
ALT_CH00_DST_DATA_END_PTR	0204_H	R/W	DMA 交替通道 0 目标数据结束指针寄存器
ALT_CH00_CHANNEL_CFG	0208_H	R/W	DMA 交替通道 0 控制数据配置寄存器
ALT_CH01_SRC_DATA_END_PTR	0210_H	R/W	DMA 交替通道 1 来源数据结束指针寄存器

ALT_CH01_DST_DATA_END_PTR	0214_H	R/W	DMA 交替通道 1 目标数据结束指针寄存器
ALT_CH01_CHANNEL_CFG	0218_H	R/W	DMA 交替通道 1 控制数据配置寄存器
ALT_CH02_SRC_DATA_END_PTR	0220_H	R/W	DMA 交替通道 2 来源数据结束指针寄存器
ALT_CH02_DST_DATA_END_PTR	0224_H	R/W	DMA 交替通道 2 目标数据结束指针寄存器
ALT_CH02_CHANNEL_CFG	0228_H	R/W	DMA 交替通道 2 控制数据配置寄存器
ALT_CH03_SRC_DATA_END_PTR	0230_H	R/W	DMA 交替通道 3 来源数据结束指针寄存器
ALT_CH03_DST_DATA_END_PTR	0234_H	R/W	DMA 交替通道 3 目标数据结束指针寄存器
ALT_CH03_CHANNEL_CFG	0238_H	R/W	DMA 交替通道 3 控制数据配置寄存器
ALT_CH04_SRC_DATA_END_PTR	0240_H	R/W	DMA 交替通道 4 来源数据结束指针寄存器
ALT_CH04_DST_DATA_END_PTR	0244_H	R/W	DMA 交替通道 4 目标数据结束指针寄存器
ALT_CH04_CHANNEL_CFG	0248_H	R/W	DMA 交替通道 4 控制数据配置寄存器
ALT_CH05_SRC_DATA_END_PTR	0250_H	R/W	DMA 交替通道 5 来源数据结束指针寄存器
ALT_CH05_DST_DATA_END_PTR	0254_H	R/W	DMA 交替通道 5 目标数据结束指针寄存器
ALT_CH05_CHANNEL_CFG	0258_H	R/W	DMA 交替通道 5 控制数据配置寄存器

13. 5. 2 寄存器描述

DMA 寄存器必须按字(32 位)进行访问。

13. 5. 2. 1 DMA 状态寄存器 (DMA_STATUS)

DMA 状态寄存器 (DMA_STATUS)

偏移地址：0x000

复位值：0x0005 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	CHNLS_ MINUS1 <4:0>					—	—	—	—	—	—	—	—	STATUS <3:0>				—	—	—	MASTER_ ENABLE

—	Bit 31-21	—	—
CHNLS_ MINUS1	Bit 20-16	R	**可用 DMA 通道数减一。例如：** b00000 =控制器配置为使用 1 个 DMA 通道 b00001 =控制器配置为使用 2 个 DMA 通道 b00010 =控制器配置为使用 3 个 DMA 通道 … b01011 =控制器配置为使用 12 个 DMA 通道 b01100-b11111 =未定义
—	Bit 15-8	—	—
STATUS	Bit 7-4	R	**控制状态机的当前状态** b0000: 空闲 b0001: 读取通道控制器数据 b0010: 读取源数据结束指针 b0011: 读取目标数据结束指针 b0100: 读取源数据 b0101: 写目标数据 b0110: 等待 DMA 请求清除 b0111: 写通道控制器数据 b1000: 延迟 b1001: 完成 b1010: 外设分散-聚集转换 b1011-b1111: 未定义
—	Bit 3-1	—	—
MASTER_ ENABLE	Bit 0	R	**使能控制器** 0: 禁止控制器 1: 使能控制器

13. 5. 2. 2 DMA 配置寄存器 (DMA_CFG)

DMA 配置寄存器 (DMA_CFG)																												
偏移地址：0x004																												
复位值：0x0000 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																															MASTER_ ENABLE

—	Bit 31-1	—	—
MASTER_ ENABLE	Bit 0	W	**使能控制器** 0: 禁止控制器 1: 使能控制器

13. 5. 2. 3 DMA 通道等待请求状态寄存器 (DMA_CHWAITSTATUS)

DMA 通道等待请求状态寄存器 (DMA_CHWAITSTATUS)																												
偏移地址：0x010																												
复位值：0x0000 003F																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																										DMA_ WAITONREQ_ STATUS <5:0>					

—	Bit 31-6	—	—
DMA_WAITONREQ _ STATUS	Bit 5-0	R	**通道等待请求状态** 0: dma_waitonreq[n]为低电平 1: dma_waitonreq[n]为高电平

13. 5. 2. 4 DMA 通道软件请求寄存器 (DMA_CHSWREQ)

DMA 通道软件请求寄存器 (DMA_CHSWREQ)																													
偏移地址：0x014																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																										CHSWREQ <5:0>					

—	Bit 31-6	—	—
CHSWREQ	Bit 5-0	W1	**通道软件请求** 0: 通道 n 上不生成 DMA 请求 1: 在通道 n 上生成一个 DMA 请求

13. 5. 2. 5 DMA 通道使用突发设置寄存器 (DMA_CHUSEBURSTSET)

DMA 通道使用突发设置寄存器 (DMA_CHUSEBURSTSET)																													
偏移地址：0x018																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																										CHNL_ USEBURST_SET <5:0>					

—	Bit 31-6	—	—
CHNL_ USEBURST_SET	Bit 5-0	R/W	**返回突发的使用状态，或禁止 dma_sreq[C] 产生 DMA 请求** 读取: 0: 通道 C 对 dma_req[C]或 dma_sreq[C]请求做出回应。控制器执行 2^R 或单次总线传输。 1: 通道 C 不回应 dma_sreq[C]请求。控制器只响应 dma_req[C]请求，执行 2^R 次传输。 写入: 0: 无效。使用 CHNL_USEBURST_CLR 寄存器将 bit[C]写 0。 1: 禁止 dma_sreq[C]产生 DMA 请求。控制器执行 2^R 次传输。

13. 5. 2. 6 DMA 通道使用突发清除寄存器 (DMA_CHUSEBURSTCLR)

DMA 通道使用突发清除寄存器 (DMA_CHUSEBURSTCLR)																															
偏移地址：0x01C																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																										CHNL_USEBURST_CLR<5:0>					

—	Bit 31-6	—	—
CHNL_ USEBURST_CLR	Bit 5-0	W1	**使能dma_sreq[C]产生请求** 写入: 0: 无效。使用CHNL_USEBURST_SET寄存器禁止dma_sreq[ ]产生请求。 1: 使能dma_sreq[C]产生DMA请求。

13. 5. 2. 7 DMA 通道请求屏蔽设置寄存器 (DMA_CHREQMASKSET)

DMA 通道请求屏蔽设置寄存器 (DMA_CHREQMASKSET)																															
偏移地址：0x020																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																										CHNL_REQ_MASK_SET<5:0>					

—	Bit 31-6	—	—
CHNL_ REQ_MASK_SET	Bit 5-0	R/W	**返回 dma_req[ ]和 dma_sreq[ ]的屏蔽状态，或禁止相应通道产生 DMA 请求** 读取: 0: 通道 C 上的外部请求已使能。 1: 通道 C 上的外部请求已禁止。 写入: 0: 无效。使用 CHNL_REQ_MASK_CLR 寄存器来使能 DMA 请求。 1: 禁止 dma_req[C] 和 dma_sreq[C] 产生 DMA 请求。

13. 5. 2. 8 DMA 通道请求屏蔽清除寄存器 (DMA_CHREQMASKCLR)

DMA 通道请求屏蔽清除寄存器 (DMA_CHREQMASKCLR)																													
偏移地址：0x024																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																										CHNL_REQ_MASK_CLR <5:0>				

—	Bit 31-6	—	—
CHNL_ REQ_MASK_CLR	Bit 5-0	W1	**使能通道上的 dma_req[ ]和 dma_sreq[ ]请求** 写入: 0: 无效。使用 CHNL_REQ_MASK_SET 寄存器禁止 dma_req[ ]和 dma_sreq[ ]产生请求。 1: 使能 dma_sreq[C]或 dma_sreq[C]产生 DMA 请求。

13. 5. 2. 9 DMA 通道使能设置寄存器 (DMA_CHENSET)

DMA 通道使能设置寄存器 (DMA_CHENSET)																													
偏移地址：0x028																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																										CHNL_ENABLE_SET <5:0>				

—	Bit 31-6	—	—
CHNL_ ENABLE_SET	Bit 5-0	R/W	**返回通道的状态，或使能相应的通道** 读取: 0: 通道 C 禁止。 1: 通道 C 使能。 写入: 0: 无效。设置 CHNL_ENABLE_CLR 用来禁止某通道。 1: 使能相应通道。

13. 5. 2. 10 DMA 通道使能清除寄存器 (DMA_CHENCLR)

DMA 通道使能清除寄存器 (DMA_CHENCLR)																													
偏移地址：0x02C																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																										CHNL_ ENABLE_CLR <5:0>				

—	Bit 31-6	—	—
CHNL_ ENABLE_CLR	Bit 5-0	W1	**禁止相应 DMA 通道** 写入: 0: 无效。设置 CHNL_ENABLE_SET 寄存器来使能 DMA 通道。 1: 禁止相应通道。

13. 5. 2. 11 DMA 通道主要-交替设置寄存器 (DMA_CHPRIALTSET)

DMA 通道主要-交替设置寄存器 (DMA_CHPRIALTSET)																													
偏移地址：0x030																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																										CHNL_ PRI_ALT_SET <5:0>				

—	Bit 31-6	—	—
CHNL_ PRI_ALT_SET	Bit 5-0	R/W	**返回通道的控制数据结构的状态，或为相应的 DMA 通道选择交替数据结构** 读取: 0: 相应 DMA 通道使用的是主要数据结构。 1: 相应 DMA 通道使用的是交替数据结构。 写入: 0: 无效。设置 CHNL_PRI_ALT_CLR 中相应的比特位为 0。 1: 为相应 DMA 通道选择交替数据结构。

13. 5. 2. 12 DMA 通道主要-交替清除寄存器 (DMA_CHPRIALTCLR)

DMA 通道主要-交替清除寄存器 (DMA_CHPRIALTCLR)																													
偏移地址：0x034																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																										CHNL_PRI_ALT_CLR <5:0>				

—	Bit 31-6	—	—
CHNL_ PRI_ALT_CLR	Bit 5-0	W1	**设置相应的比特位，为相应的 DMA 通道选择主要数据结构** 写入: 0: 无效。设置 CHNL_PRI_ALT_SET 寄存器用来选择交替数据结构。 1: 为相应 DMA 通道选择主要数据结构。

13. 5. 2. 13 DMA 通道优先级设置寄存器 (DMA_CHPRSET)

DMA 通道优先级设置寄存器 (DMA_CHPRSET)																													
偏移地址：0x038																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																										CHNL_PRIORITY_SET <5:0>				

—	Bit 31-6	—	—
CHNL_ PRIORITY_SET	Bit 5-0	R/W	**返回通道的优先级屏蔽状态，或设置通道优先级为高** 读取: 0: 相应 DMA 通道为默认优先级。 1: 相应 DMA 通道为高优先级。 写入: 0: 无效。设置 CHNL_PRIORITY_CLR 寄存器将相应通道设置为默认优先级。 1: 设置相应 DMA 通道为高优先级。

13. 5. 2. 14 DMA 通道优先级清除寄存器 (DMA_CHPRCLR)

DMA 通道优先级清除寄存器 (DMA_CHPRCLR)																													
偏移地址：0x03C																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																										CHNL_PRIORITY_CLR<5:0>				

—	Bit 31-6	—	—
CHNL_ PRIORITY_CLR	Bit 5-0	W1	**设置相应的比特位，为相应的 DMA 通道选择默认优先级** 写入: 0: 无效。设置 CHNL_PRIORITY_SET 寄存器，将相应 DMA 通道设置为高优先级。 1: 将相应 DMA 通道设置为默认优先级。

13. 5. 2. 15 DMA 中断开启寄存器 (DMA_IER)

DMA 中断开启寄存器 (DMA_IER)																												
偏移地址：0x050																												
复位值：0x0000 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																										CH5DONE	CH4DONE	CH3DONE	CH2DONE	CH1DONE	CH0DONE

—	Bit 31-6	—	—
CH5DONE	Bit 5	W1	**开启DMA通道5结束中断** 0: 写入0无效 1: 开启DMA通道5结束中断
CH4DONE	Bit 4	W1	**开启DMA通道4结束中断** 0: 写入0无效 1: 开启DMA通道4结束中断
CH3DONE	Bit 3	W1	**开启DMA通道3结束中断** 0: 写入0无效 1: 开启DMA通道3结束中断
CH2DONE	Bit 2	W1	**开启DMA通道2结束中断** 0: 写入0无效 1: 开启DMA通道2结束中断
CH1DONE	Bit 1	W1	**开启DMA通道1结束中断** 0: 写入0无效 1: 开启DMA通道1结束中断
CH0DONE	Bit 0	W1	**开启DMA通道0结束中断** 0: 写入0无效 1: 开启DMA通道0结束中断

13. 5. 2. 16 DMA 中断关闭寄存器 (DMA_IDR)

DMA 中断关闭寄存器 (DMA_IDR)																													
偏移地址：0x054																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																										CH5DONE	CH4DONE	CH3DONE	CH2DONE	CH1DONE	CH0DONE

—	Bit 31-6	—	—
CH5DONE	Bit 5	W1	**关闭DMA通道5结束中断** 0: 写入0无效 1: 关闭DMA通道5结束中断
CH4DONE	Bit 4	W1	**关闭DMA通道4结束中断** 0: 写入0无效 1: 关闭DMA通道4结束中断
CH3DONE	Bit 3	W1	**关闭DMA通道3结束中断** 0: 写入0无效 1: 关闭DMA通道3结束中断
CH2DONE	Bit 2	W1	**关闭DMA通道2结束中断** 0: 写入0无效 1: 关闭DMA通道2结束中断
CH1DONE	Bit 1	W1	**关闭DMA通道1结束中断** 0: 写入0无效 1: 关闭DMA通道1结束中断
CH0DONE	Bit 0	W1	**关闭DMA通道0结束中断** 0: 写入0无效 1: 关闭DMA通道0结束中断

13. 5. 2. 17 DMA 中断功能有效状态寄存器 (DMA_IVS)

DMA 中断功能有效状态寄存器 (DMA_IVS)																												
偏移地址：0x058																												
复位值：0x0000 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																										CH5DONE	CH4DONE	CH3DONE	CH2DONE	CH1DONE	CH0DONE

—	Bit 31-6	—	—
CH5DONE	Bit 5	R	**DMA通道5结束中断使能状态** 0: 禁止DMA通道5结束中断 1: 使能DMA通道5结束中断
CH4DONE	Bit 4	R	**DMA通道4结束中断使能状态** 0: 禁止DMA通道4结束中断 1: 使能DMA通道4结束中断
CH3DONE	Bit 3	R	**DMA通道3结束中断使能状态** 0: 禁止DMA通道3结束中断 1: 使能DMA通道3结束中断
CH2DONE	Bit 2	R	**DMA通道2结束中断使能状态** 0: 禁止DMA通道2结束中断 1: 使能DMA通道2结束中断
CH1DONE	Bit 1	R	**DMA通道1结束中断使能状态** 0: 禁止DMA通道1结束中断 1: 使能DMA通道1结束中断
CH0DONE	Bit 0	R	**DMA通道0结束中断使能状态** 0: 禁止DMA通道0结束中断 1: 使能DMA通道0结束中断

DMA_IVS 寄存器，是实时反映系统配置 DMA_IER 与 DMA_IDR 的中断开启状态。此寄存器状态是将 DMA_IER 与 DMA_IDR 进行硬件运算，公式如下：

DMA_IVS = DMA_IER & ~DMA_IDR

13. 5. 2. 18 DMA 原始中断状态寄存器 (DMA_RIF)

DMA 原始中断状态寄存器 (DMA_RIF)																												
偏移地址：0x05C																												
复位值：0x0000 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																										CH5DONE	CH4DONE	CH3DONE	CH2DONE	CH1DONE	CH0DONE

—	Bit 31-6	—	—
CH5DONE	Bit 5	R	**DMA通道5结束，原始中断状态** 0: 未发生中断事件 1: 发生中断事件
CH4DONE	Bit 4	R	**DMA通道4结束，原始中断状态** 0: 未发生中断事件 1: 发生中断事件
CH3DONE	Bit 3	R	**DMA通道3结束，原始中断状态** 0: 未发生中断事件 1: 发生中断事件
CH2DONE	Bit 2	R	**DMA通道2结束，原始中断状态** 0: 未发生中断事件 1: 发生中断事件
CH1DONE	Bit 1	R	**DMA通道1结束，原始中断状态** 0: 未发生中断事件 1: 发生中断事件
CH0DONE	Bit 0	R	**DMA通道0结束，原始中断状态** 0: 未发生中断事件 1: 发生中断事件

13. 5. 2. 19 DMA 中断标志位状态寄存器 (DMA_IFM)

DMA 中断标志位状态寄存器 (DMA_IFM)																												
偏移地址：0x060																												
复位值：0x0000 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																										CH5DONE	CH4DONE	CH3DONE	CH2DONE	CH1DONE	CH0DONE

—	Bit 31-6	—	—
CH5DONE	Bit 5	R	**DMA通道5结束中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
CH4DONE	Bit 4	R	**DMA通道4结束中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
CH3DONE	Bit 3	R	**DMA通道3结束中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
CH2DONE	Bit 2	R	**DMA通道2结束中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
CH1DONE	Bit 1	R	**DMA通道1结束中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
CH0DONE	Bit 0	R	**DMA通道0结束中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断

DMA_IFM 寄存器，是滤除已关闭中断功能的中断事件，只关注开启中断功能的事件， 此寄存器状态是将 DMA_RIF 与 DMA_IVS 进行硬件运算，公式如下：

DMA_IFM = DMA_RIF & DMA_IVS

13. 5. 2. 20 DMA 中断清除寄存器 (DMA_ICR)

DMA 中断清除寄存器 (DMA_ICR)																												
偏移地址：0x064																												
复位值：0x0000 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																										CH5DONE	CH4DONE	CH3DONE	CH2DONE	CH1DONE	CH0DONE

—	Bit 31-6	—	—
CH5DONE	Bit 5	C_W1	**DMA通道5结束中断清除** 0: 写入0无效 1: 清除中断事件与中断
CH4DONE	Bit 4	C_W1	**DMA通道4结束中断清除** 0: 写入0无效 1: 清除中断事件与中断
CH3DONE	Bit 3	C_W1	**DMA通道3结束中断清除** 0: 写入0无效 1: 清除中断事件与中断
CH2DONE	Bit 2	C_W1	**DMA通道2结束中断清除** 0: 写入0无效 1: 清除中断事件与中断
CH1DONE	Bit 1	C_W1	**DMA通道1结束中断清除** 0: 写入0无效 1: 清除中断事件与中断
CH0DONE	Bit 0	C_W1	**DMA通道0结束中断清除** 0: 写入0无效 1: 清除中断事件与中断

DMA_ICR 寄存器设置时，将清除 DMA_RIF 与 DMA_IFM 中断标志状态；此设置不影响中断 DMA_IER、DMA_IDR 与 DMA_IVS 寄存器，只清除标志状态 DMA_RIF 与 DMA_IFM。 此寄存器通过硬件清除中断，公式如下：

DMA_RIF = DMA_RIF & ~DMA_ICR

13. 5. 2. 21 DMA 通道 0 复用选择寄存器 (DMA_CH0_SELCON)

DMA 通道 0 复用选择寄存器 (DMA_CH0_SELCON)																													
偏移地址：0x070																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																									MSIGSEL <6:0>						

—	Bit 31-7	—	—
MSIGSEL	Bit 6-0	R/W	复用选择

13. 5. 2. 22 DMA 通道 1 复用选择寄存器 (DMA_CH1_SELCON)

DMA 通道 1 复用选择寄存器 (DMA_CH1_SELCON)																													
偏移地址：0x074																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																									MSIGSEL <6:0>						

—	Bit 31-7	—	—
MSIGSEL	Bit 6-0	R/W	复用选择

13. 5. 2. 23 DMA 通道 2 复用选择寄存器 (DMA_CH2_SELCON)

DMA 通道 2 复用选择寄存器 (DMA_CH2_SELCON)																													
偏移地址：0x078																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																									MSIGSEL <6:0>						

—	Bit 31-7	—	—
MSIGSEL	Bit 6-0	R/W	复用选择

13. 5. 2. 24 DMA 通道 3 复用选择寄存器 (DMA_CH3_SELCON)

DMA 通道 3 复用选择寄存器 (DMA_CH3_SELCON)																												
偏移地址：0x07C																												
复位值：0x0000 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																									MSIGSEL <6:0>						

—	Bit 31-7	—	—
MSIGSEL	Bit 6-0	R/W	复用选择

13. 5. 2. 25 DMA 通道 4 复用选择寄存器 (DMA_CH4_SELCON)

DMA 通道 4 复用选择寄存器 (DMA_CH4_SELCON)																												
偏移地址：0x080																												
复位值：0x0000 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																									MSIGSEL <6:0>						

—	Bit 31-7	—	—
MSIGSEL	Bit 6-0	R/W	复用选择

13. 5. 2. 26 DMA 通道 5 复用选择寄存器 (DMA_CH5_SELCON)

DMA 通道 5 复用选择寄存器 (DMA_CH5_SELCON)																												
偏移地址：0x084																												
复位值：0x0000 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																									MSIGSEL <6:0>						

—	Bit 31-7	—	—
MSIGSEL	Bit 6-0	R/W	复用选择

13. 5. 2. 27 DMA 主要通道 0 来源数据结束指针寄存器 (PRI_CH00_SRC_DATA_END_PTR)

DMA 主要通道 0 来源数据结束指针寄存器 (PRI_CH00_SRC_DATA_END_PTR)																															
偏移地址：0x100																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRC_DATA_END_PTR<31:0>																															

SRC_ DATA_END_PTR	Bit 31-0	R/W	**来源数据结束指针** 包含一个指针，指向来源数据的最后一个地址。在执行DMA传输前，该存储地址写入来源数据的结束地址。当启动2R次DMA传输时，控制器读取SRC_ DATA_END_PTR。

13. 5. 2. 28 DMA 主要通道 0 目标数据结束指针寄存器 (PRI_CH00_DST_DATA_END_PTR)

DMA 主要通道 0 目标数据结束指针寄存器 (PRI_CH00_DST_DATA_END_PTR)																															
偏移地址：0x104																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DST_DATA_END_PTR<31:0>																															

DST_ DATA_END_PTR	Bit 31-0	R/W	**目标数据结束指针** 包含一个指针，指向目标数据的最后一个地址。在执行DMA传输前，该存储地址写入目标数据的结束地址。当启动2R次DMA传输时，控制器读取DST_ DATA_END_PTR。

13. 5. 2. 29 DMA 主要通道 0 控制数据配置寄存器 (PRI_CH00_CHANNEL_CFG)

DMA 主要通道 0 控制数据配置寄存器 (PRI_CH00_CHANNEL_CFG)

偏移地址：0x108

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DST_INC <1:0<>		DST_SIZE <1:0>		SRC_INC <1:0>		SRC_SIZE <1:0>								R_POWER <3:0>				N_MINUS_1 <9:0>										NEXT_USEBURST	CYCLE_CTRL <2:0>		

DST_INC	Bit 31-30	R/W	**目标地址增量** 地址增量取决于来源数据的宽度： 来源数据宽度 = 字节 b00 = 字节 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是DST_DATA_END_PTR中包含的地址。 来源数据宽度 = 半字 b00 = 保留 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是DST_DATA_END_PTR中包含的地址。 来源数据宽度 = 字 b00 = 保留 b01 = 保留 b10 = 字 b11 = 无增量。地址仍然是DST_DATA_END_PTR中包含的地址。 注: 当地址增量设置小于数据宽度时，其地址增量采用数据宽度。
DST_SIZE	Bit 29-28	R/W	**目标数据大小** 需要注意的是 DST_SIZE 和 SRC_SIZE 的值必须一致。
SRC_INC	Bit 27-26	R/W	**来源地址增量** 地址增量取决于来源数据的宽度： 来源数据宽度 = 字节

			b00 = 字节 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 来源数据宽度 = 半字 b00 = 保留 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 来源数据宽度 = 字 b00 = 保留 b01 = 保留 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 注: 当地址增量设置小于数据宽度时，其地址增量采用数据宽度。
SRC_SIZE	Bit 25-24	R/W	**设置该位段用来匹配来源数据大小** b00 = 字节 b01 = 半字 b10 = 字 b11 = 保留
—	Bit 23-18	—	—
R_POWER	Bit 17-14	R/W	**在控制器重新仲裁前，该位段决定了 DMA 传输可以发生的次数** b0000: 发生 1 次 DMA 传输后仲裁 b0001: 发生 2 次 DMA 传输后仲裁 b0010: 发生 4 次 DMA 传输后仲裁 b0011: 发生 8 次 DMA 传输后仲裁 b0100: 发生 16 次 DMA 传输后仲裁 b0101: 发生 32 次 DMA 传输后仲裁 b0110: 发生 64 次 DMA 传输后仲裁 b0111: 发生 128 次 DMA 传输后仲裁 b1000: 发生 256 次 DMA 传输后仲裁 b1001: 发生 512 次 DMA 传输后仲裁 b1010-b1111: 发生 1024 次 DMA 传输后仲

			裁。由于最大的传输次数为 1024，由此表明 DMA 传输中无仲裁发生。
N_MINUS_1	Bit 13-4	R/W	在 DMA 周期开始前，该位段代表的是 DMA 周期中包含的 DMA 传输的总次数。使用者须根据所需要的 DMA 周期的大小来设置该位段。该 10 位值为 DMA 传输次数减 1。 b000000000: 1 次 DMA 传输 b000000001: 2 次 DMA 传输 b000000010: 3 次 DMA 传输 b000000011: 4 次 DMA 传输 b000000100: 5 次 DMA 传输 …… b111111111: 1024 次 DMA 传输 在进入仲裁流程前，控制器会立即更新该位段，可使控制器保存该 DMA 周期中还需完成的剩下的 DMA 传输次数。
NEXT_USEBURST	Bit 3	R/W	**当控制器在外设分散-聚集模式下，且使用交替数据结构，该位段控制 CHNL_USEBURST_SET[C]是否置 1。** 需要注意的是，在完成由交替数据结构指定的 DMA 周期前，如果剩余的传输次数小于 2^R，控制器会将 CHNL_USEBURST_SET[C]设置为 0。NEXT_USEBURST 的设定控制了是否需要再次修改 CHNL_USEBURST_SET[C]。 在外设分散-聚集 DMA 周期模式下，当使用交替数据结构的 DMA 周期完成后，会发生以下任一情况: 0: 控制器不改变 CHNL_USEBURST_SET[C]的值。当进行使用交替数据结构的 DMA 周期时，如果 CHNL_USEBURST_SET[C]为 0，则对于所有在外设分散-聚集模式下的剩余的 DMA 周期，控制器将响应 dma_req[ ]和 dma_sreq[ ]的请求。 1: 控制器将 CHNL_USEBURST_SET[C]置 1。因此，当进行使用交替数据结构的 DMA 周期时，对于所有在外设分散-聚集模式下的

			剩余的 DMA 周期，控制器仅响应 dma_req[ ] 的请求。
CYCLE_CTRL	Bit 2-0	R/W	**DMA 周期的工作模式：** b000: 停止。表明该数据结构无效。 b001: 基础。在进入仲裁流程前，控制器必须接收到一个新的请求才能完成 DMA 周期。 b010: 自动请求。在仲裁过程中，控制器在合适的通道上自动插入一个请求。这就意味着最初的请求已足够完成 DMA 周期。 b011: 乒乓。控制器使用一种数据结构完成一个 DMA 周期。当该周期完成后，控制器使用另一种数据结构完成一个 DMA 周期。在该周期完成后，且如果主控处理器已更新了原始数据结构，则控制器使用原始数据结构执行一次 DMA 周期。控制器将会继续进行 DMA 周期，直到读取到无效数据结构或者主机处理器将 CYCLE_CTRL 改为 b001 或 b010。 b100: 存储器分散-聚集。当控制器运行在存储器分散-聚集模式下，用户仅可在主要数据结构下使用该值。 b101: 存储器分散-聚集。当控制器运行在存储器分散-聚集模式下，用户仅可在交替数据结构下使用该值。 b110: 外设分散-聚集。当控制器运行在外设分散-聚集模式下，用户仅可在主要数据结构下使用该值。 b111: 外设分散-聚集。当控制器运行在外设分散-聚集模式下，用户仅可在交替数据结构下使用该值。

在 DMA 周期或者 2^RDMA 传输开始的时候，控制器会从寄存器中获取 CHANNEL_CFG 的值。当完成 2^R 或 N 次传输后，新的 CHANNEL_CFG 值会被存储到系统存储器中。

控制器不支持 DST_SIZE 和 SRC_SIZE 拥有两个不同的值。如果检测到两个值不匹配，SRC_SIZE 的值会被作为源数据和目标数据的大小。当下一次 N_MINUS_1 更新时，DST_SIZE 将被设置为 SRC_SIZE 的值。

当完成 N 次传输后，控制器会将 CYCLE_CTRL 设置为 b000，以此表明 CHANNEL_CFG 数据为无效，用来防止控制器重复相同的 DMA 传输。

13. 5. 2. 30 DMA 主要通道 1 来源数据结束指针寄存器 (PRI_CH01_SRC_DATA_END_PTR)

DMA 主要通道 1 来源数据结束指针寄存器 (PRI_CH01_SRC_DATA_END_PTR)																															
偏移地址：0x110																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRC_DATA_END_PTR<31:0>																															

SRC_ DATA_END_PTR	Bit 31-0	R/W	**来源数据结束指针** 包含一个指针，指向来源数据的最后一个地址。在执行DMA传输前，该存储地址写入来源数据的结束地址。当启动2^R次DMA传输时，控制器读取SRC_ DATA_END_PTR。

13. 5. 2. 31 DMA 主要通道 1 目标数据结束指针寄存器 (PRI_CH01_DST_DATA_END_PTR)

DMA 主要通道 1 目标数据结束指针寄存器 (PRI_CH01_DST_DATA_END_PTR)																															
偏移地址：0x114																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DST_DATA_END_PTR<31:0>																															

DST_ DATA_END_PTR	Bit 31-0	R/W	**目标数据结束指针** 包含一个指针，指向目标数据的最后一个地址。在执行 DMA 传输前，该存储地址写入目标数据的结束地址。当启动 2^R 次 DMA 传输时，控制器读取 DST_ DATA_END_PTR。

13. 5. 2. 32 DMA 主要通道 1 控制数据配置寄存器 (PRI_CH01_CHANNEL_CFG)

DMA 主要通道 1 控制数据配置寄存器 (PRI_CH01_CHANNEL_CFG)

偏移地址：0x118

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DST_INC <1:0>		DST_SIZE <1:0>		SRC_INC <1:0>		SRC_SIZE <1:0>								R_POWER <3:0>				N_MINUS_1 <9:0>										NEXT_USEBURST	CYCLE_CTRL <2:0>		

DST_INC	Bit 31-30	R/W	**目标地址增量** 地址增量取决于来源数据的宽度： 来源数据宽度 = 字节 b00 = 字节 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 来源数据宽度 = 半字 b00 = 保留 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 来源数据宽度 = 字 b00 = 保留 b01 = 保留 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 注: 当地址增量设置小于数据宽度时，其地址增量采用数据宽度。
DST_SIZE	Bit 29-28	R/W	**目标数据大小** 需要注意的是 DST_SIZE 和 SRC_SIZE 的值必须一致。
SRC_INC	Bit 27-26	R/W	**来源地址增量** 地址增量取决于来源数据的宽度： 来源数据宽度 = 字节

			b00 = 字节 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 来源数据宽度 = 半字 b00 = 保留 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 来源数据宽度 = 字 b00 = 保留 b01 = 保留 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 注: 当地址增量设置小于数据宽度时，其地址增量采用数据宽度。
SRC_SIZE	Bit 25-24	R/W	**设置该位段用来匹配来源数据大小** b00 = 字节 b01 = 半字 b10 = 字 b11 = 保留
—	Bit 23-18	—	—
R_POWER	Bit 17-14	R/W	**在控制器重新仲裁前，该位段决定了 DMA 传输可以发生的次数** b0000: 发生 1 次 DMA 传输后仲裁 b0001: 发生 2 次 DMA 传输后仲裁 b0010: 发生 4 次 DMA 传输后仲裁 b0011: 发生 8 次 DMA 传输后仲裁 b0100: 发生 16 次 DMA 传输后仲裁 b0101: 发生 32 次 DMA 传输后仲裁 b0110: 发生 64 次 DMA 传输后仲裁 b0111: 发生 128 次 DMA 传输后仲裁 b1000: 发生 256 次 DMA 传输后仲裁 b1001: 发生 512 次 DMA 传输后仲裁 b1010-b1111: 发生 1024 次 DMA 传输后仲

			裁。由于最大的传输次数为 1024，由此表明 DMA 传输中无仲裁发生。
N_MINUS_1	Bit 13-4	R/W	在 DMA 周期开始前，该位段代表的是 DMA 周期中包含的 DMA 传输的总次数。使用者须根据所需要的 DMA 周期的大小来设置该位段。该 10 位值为 DMA 传输次数减 1。 b000000000: 1 次 DMA 传输 b000000001: 2 次 DMA 传输 b000000010: 3 次 DMA 传输 b000000011: 4 次 DMA 传输 b000000100: 5 次 DMA 传输 …… b111111111: 1024 次 DMA 传输 在进入仲裁流程前，控制器会立即更新该位段，可使控制器保存该 DMA 周期中还需完成的剩下的 DMA 传输次数。
NEXT_USEBURST	Bit 3	R/W	**当控制器在外设分散-聚集模式下，且使用交替数据结构，该位段控制 CHNL_USEBURST_SET[C]是否置 1。** 需要注意的是，在完成由交替数据结构指定的 DMA 周期前，如果剩余的传输次数小于 2^R，控制器会将 CHNL_USEBURST_SET[C]设置为 0。NEXT_USEBURST 的设定控制了是否需要再次修改 CHNL_USEBURST_SET[C]。 在外设分散-聚集 DMA 周期模式下，当使用交替数据结构的 DMA 周期完成后，会发生以下任一情况: 0: 控制器不改变 CHNL_USEBURST_SET[C]的值。当进行使用交替数据结构的 DMA 周期时，如果 CHNL_USEBURST_SET[C]为 0，则对于所有在外设分散-聚集模式下的剩余的 DMA 周期，控制器将响应 dma_req[ ]和 dma_sreq[ ]的请求。 1: 控制器将 CHNL_USEBURST_SET[C]置 1。因此，当进行使用交替数据结构的 DMA 周期时，对于所有在外设分散-聚集模式下的

			剩余的 DMA 周期，控制器仅响应 dma_req[ ] 的请求。
CYCLE_CTRL	Bit 2-0	R/W	**DMA 周期的工作模式：** b000: 停止。表明该数据结构无效。 b001: 基础。在进入仲裁流程前，控制器必须接收到一个新的请求才能完成 DMA 周期。 b010: 自动请求。在仲裁过程中，控制器在合适的通道上自动插入一个请求。这就意味着最初的请求已足够完成 DMA 周期。 b011: 乒乓。控制器使用一种数据结构完成一个 DMA 周期。当该周期完成后，控制器使用另一种数据结构完成一个 DMA 周期。在该周期完成后，且如果主控处理器已更新了原始数据结构，则控制器使用原始数据结构执行一次 DMA 周期。控制器将会继续进行 DMA 周期，直到读取到无效数据结构或者主机处理器将 CYCLE_CTRL 改为 b001 或 b010。 b100: 存储器分散-聚集。当控制器运行在存储器分散-聚集模式下，用户仅可在主要数据结构下使用该值。 b101: 存储器分散-聚集。当控制器运行在存储器分散-聚集模式下，用户仅可在交替数据结构下使用该值。 b110: 外设分散-聚集。当控制器运行在外设分散-聚集模式下，用户仅可在主要数据结构下使用该值。 b111: 外设分散-聚集。当控制器运行在外设分散-聚集模式下，用户仅可在交替数据结构下使用该值。

在 DMA 周期或者 2^RDMA 传输开始的时候，控制器会从寄存器中获取 CHANNEL_CFG 的值。当完成 2^R 或 N 次传输后，新的 CHANNEL_CFG 值会被存储到系统存储器中。

控制器不支持 DST_SIZE 和 SRC_SIZE 拥有两个不同的值。如果检测到两个值不匹配，SRC_SIZE 的值会被作为源数据和目标数据的大小。当下一次 N_MINUS_1 更新时，DST_SIZE 将被设置为 SRC_SIZE 的值。

当完成 N 次传输后，控制器会将 CYCLE_CTRL 设置为 b000，以此表明 CHANNEL_CFG 数据为无效，用来防止控制器重复相同的 DMA 传输。

13. 5. 2. 33 DMA 主要通道 2 来源数据结束指针寄存器 (PRI_CH02_SRC_DATA_END_PTR)

DMA 主要通道 2 来源数据结束指针寄存器 (PRI_CH02_SRC_DATA_END_PTR)																															
偏移地址：0x120																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRC_DATA_END_PTR<31:0>																															

SRC_ DATA_END_PTR	Bit 31-0	R/W	**来源数据结束指针** 包含一个指针，指向来源数据的最后一个地址。在执行 DMA 传输前，该存储地址写入来源数据的结束地址。当启动 2^R 次 DMA 传输时，控制器读取 SRC_ DATA_END_PTR。

13. 5. 2. 34 DMA 主要通道 2 目标数据结束指针寄存器 (PRI_CH02_DST_DATA_END_PTR)

DMA 主要通道 2 目标数据结束指针寄存器 (PRI_CH02_DST_DATA_END_PTR)																															
偏移地址：0x124																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DST_DATA_END_PTR<31:0>																															

DST_ DATA_END_PTR	Bit 31-0	R/W	**目标数据结束指针** 包含一个指针，指向目标数据的最后一个地址。在执行DMA传输前，该存储地址写入目标数据的结束地址。当启动2^R次DMA传输时，控制器读取DST_ DATA_END_PTR。

13. 5. 2. 35 DMA 主要通道 2 控制数据配置寄存器 (PRI_CH02_CHANNEL_CFG)

DMA 主要通道 2 控制数据配置寄存器 (PRI_CH02_CHANNEL_CFG)

偏移地址：0x128

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DST_INC <1:0>		DST_SIZE <1:0>		SRC_INC <1:0>		SRC_SIZE <1:0>								R_POWER <3:0>				N_MINUS_1 <9:0>										NEXT_USEBURST	CYCLE_CTRL <2:0>		

DST_INC	Bit 31-30	R/W	**目标地址增量** 地址增量取决于来源数据的宽度： 来源数据宽度 = 字节 b00 = 字节 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 来源数据宽度 = 半字 b00 = 保留 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 来源数据宽度 = 字 b00 = 保留 b01 = 保留 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 注: 当地址增量设置小于数据宽度时，其地址增量采用数据宽度。
DST_SIZE	Bit 29-28	R/W	**目标数据大小** 需要注意的是 DST_SIZE 和 SRC_SIZE 的值必须一致。
SRC_INC	Bit 27-26	R/W	**来源地址增量** 地址增量取决于来源数据的宽度： 来源数据宽度 = 字节

			b00 = 字节 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 来源数据宽度 = 半字 b00 = 保留 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 来源数据宽度 = 字 b00 = 保留 b01 = 保留 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 注: 当地址增量设置小于数据宽度时，其地址增量采用数据宽度。
SRC_SIZE	Bit 25-24	R/W	**设置该位段用来匹配来源数据大小** b00 = 字节 b01 = 半字 b10 = 字 b11 = 保留
—	Bit 23-18	—	—
R_POWER	Bit 17-14	R/W	**在控制器重新仲裁前，该位段决定了 DMA 传输可以发生的次数** b0000: 发生 1 次 DMA 传输后仲裁 b0001: 发生 2 次 DMA 传输后仲裁 b0010: 发生 4 次 DMA 传输后仲裁 b0011: 发生 8 次 DMA 传输后仲裁 b0100: 发生 16 次 DMA 传输后仲裁 b0101: 发生 32 次 DMA 传输后仲裁 b0110: 发生 64 次 DMA 传输后仲裁 b0111: 发生 128 次 DMA 传输后仲裁 b1000: 发生 256 次 DMA 传输后仲裁 b1001: 发生 512 次 DMA 传输后仲裁 b1010-b1111: 发生 1024 次 DMA 传输后仲

			裁。由于最大的传输次数为 1024，由此表明 DMA 传输中无仲裁发生。
N_MINUS_1	Bit 13-4	R/W	在 DMA 周期开始前，该位段代表的是 DMA 周期中包含的 DMA 传输的总次数。使用者须根据所需要的 DMA 周期的大小来设置该位段。该 10 位值为 DMA 传输次数减 1。 b000000000: 1 次 DMA 传输 b000000001: 2 次 DMA 传输 b000000010: 3 次 DMA 传输 b000000011: 4 次 DMA 传输 b000000100: 5 次 DMA 传输 …… b111111111: 1024 次 DMA 传输 在进入仲裁流程前，控制器会立即更新该位段，可使控制器保存该 DMA 周期中还需完成的剩下的 DMA 传输次数。
NEXT_USEBURST	Bit 3	R/W	**当控制器在外设分散-聚集模式下，且使用交替数据结构，该位段控制 CHNL_USEBURST_SET[C]是否置 1。** 需要注意的是，在完成由交替数据结构指定的 DMA 周期前，如果剩余的传输次数小于 2^R，控制器会将 CHNL_USEBURST_SET[C]设置为 0。NEXT_USEBURST 的设定控制了是否需要再次修改 CHNL_USEBURST_SET[C]。 在外设分散-聚集 DMA 周期模式下，当使用交替数据结构的 DMA 周期完成后，会发生以下任一情况: 0: 控制器不改变 CHNL_USEBURST_SET[C]的值。当进行使用交替数据结构的 DMA 周期时，如果 CHNL_USEBURST_SET[C]为 0，则对于所有在外设分散-聚集模式下的剩余的 DMA 周期，控制器将响应 dma_req[ ]和 dma_sreq[ ]的请求。 1: 控制器将 CHNL_USEBURST_SET[C]置 1。因此，当进行使用交替数据结构的 DMA 周期时，对于所有在外设分散-聚集模式下的

			剩余的 DMA 周期，控制器仅响应 dma_req[ ] 的请求。
CYCLE_CTRL	Bit 2-0	R/W	**DMA 周期的工作模式：** b000: 停止。表明该数据结构无效。 b001: 基础。在进入仲裁流程前，控制器必须接收到一个新的请求才能完成 DMA 周期。 b010: 自动请求。在仲裁过程中，控制器在合适的通道上自动插入一个请求。这就意味着最初的请求已足够完成 DMA 周期。 b011: 乒乓。控制器使用一种数据结构完成一个 DMA 周期。当该周期完成后，控制器使用另一种数据结构完成一个 DMA 周期。在该周期完成后，且如果主控处理器已更新了原始数据结构，则控制器使用原始数据结构执行一次 DMA 周期。控制器将会继续进行 DMA 周期，直到读取到无效数据结构或者主机处理器将 CYCLE_CTRL 改为 b001 或 b010。 b100: 存储器分散-聚集。当控制器运行在存储器分散-聚集模式下，用户仅可在主要数据结构下使用该值。 b101: 存储器分散-聚集。当控制器运行在存储器分散-聚集模式下，用户仅可在交替数据结构下使用该值。 b110: 外设分散-聚集。当控制器运行在外设分散-聚集模式下，用户仅可在主要数据结构下使用该值。 b111: 外设分散-聚集。当控制器运行在外设分散-聚集模式下，用户仅可在交替数据结构下使用该值。

在 DMA 周期或者 2^RDMA 传输开始的时候，控制器会从寄存器中获取 CHANNEL_CFG 的值。当完成 2^R 或 N 次传输后，新的 CHANNEL_CFG 值会被存储到系统存储器中。

控制器不支持 DST_SIZE 和 SRC_SIZE 拥有两个不同的值。如果检测到两个值不匹配，SRC_SIZE 的值会被作为源数据和目标数据的大小。当下一次 N_MINUS_1 更新时，DST_SIZE 将被设置为 SRC_SIZE 的值。

当完成 N 次传输后，控制器会将 CYCLE_CTRL 设置为 b000，以此表明 CHANNEL_CFG 数据为无效，用来防止控制器重复相同的 DMA 传输。

13. 5. 2. 36 DMA 主要通道 3 来源数据结束指针寄存器 (PRI_CH03_SRC_DATA_END_PTR)

DMA 主要通道 3 来源数据结束指针寄存器 (PRI_CH03_SRC_DATA_END_PTR)																															
偏移地址：0x130																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRC_DATA_END_PTR<31:0>																															

SRC_ DATA_END_PTR	Bit 31-0	R/W	**来源数据结束指针** 包含一个指针，指向来源数据的最后一个地址。在执行DMA传输前，该存储地址写入来源数据的结束地址。当启动2^R次DMA传输时，控制器读取SRC_ DATA_END_PTR。

13. 5. 2. 37 DMA 主要通道 3 目标数据结束指针寄存器 (PRI_CH03_DST_DATA_END_PTR)

DMA 主要通道 3 目标数据结束指针寄存器 (PRI_CH03_DST_DATA_END_PTR)																															
偏移地址：0x134																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DST_DATA_END_PTR<31:0>																															

DST_ DATA_END_PTR	Bit 31-0	R/W	**目标数据结束指针** 包含一个指针，指向目标数据的最后一个地址。在执行DMA传输前，该存储地址写入目标数据的结束地址。当启动2^R次DMA传输时，控制器读取DST_ DATA_END_PTR。

13. 5. 2. 38 DMA 主要通道 3 控制数据配置寄存器 (PRI_CH03_CHANNEL_CFG)

DMA 主要通道 3 控制数据配置寄存器 (PRI_CH03_CHANNEL_CFG)

偏移地址：0x138

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DST_INC <1:0>		DST_SIZE <1:0>		SRC_INC <1:0>		SRC_SIZE <1:0>								R_POWER <3:0>				N_MINUS_1 <9:0>										NEXT_USEBURST	CYCLE_CTRL <2:0>		

DST_INC	Bit 31-30	R/W	**目标地址增量** 地址增量取决于来源数据的宽度： 来源数据宽度 = 字节 b00 = 字节 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 来源数据宽度 = 半字 b00 = 保留 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 来源数据宽度 = 字 b00 = 保留 b01 = 保留 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 注: 当地址增量设置小于数据宽度时，其地址增量采用数据宽度。
DST_SIZE	Bit 29-28	R/W	**目标数据大小** 需要注意的是 DST_SIZE 和 SRC_SIZE 的值必须一致。
SRC_INC	Bit 27-26	R/W	**来源地址增量** 地址增量取决于来源数据的宽度： 来源数据宽度 = 字节

			b00 = 字节 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 来源数据宽度 = 半字 b00 = 保留 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 来源数据宽度 = 字 b00 = 保留 b01 = 保留 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 注: 当地址增量设置小于数据宽度时，其地址增量采用数据宽度。
SRC_SIZE	Bit 25-24	R/W	**设置该位段用来匹配来源数据大小** b00 = 字节 b01 = 半字 b10 = 字 b11 = 保留
—	Bit 23-18	—	—
R_POWER	Bit 17-14	R/W	**在控制器重新仲裁前，该位段决定了 DMA 传输可以发生的次数** b0000: 发生 1 次 DMA 传输后仲裁 b0001: 发生 2 次 DMA 传输后仲裁 b0010: 发生 4 次 DMA 传输后仲裁 b0011: 发生 8 次 DMA 传输后仲裁 b0100: 发生 16 次 DMA 传输后仲裁 b0101: 发生 32 次 DMA 传输后仲裁 b0110: 发生 64 次 DMA 传输后仲裁 b0111: 发生 128 次 DMA 传输后仲裁 b1000: 发生 256 次 DMA 传输后仲裁 b1001: 发生 512 次 DMA 传输后仲裁 b1010-b1111: 发生 1024 次 DMA 传输后仲

			裁。由于最大的传输次数为 1024，由此表明 DMA 传输中无仲裁发生。
N_MINUS_1	Bit 13-4	R/W	在 DMA 周期开始前，该位段代表的是 DMA 周期中包含的 DMA 传输的总次数。使用者须根据所需要的 DMA 周期的大小来设置该位段。该 10 位值为 DMA 传输次数减 1。 b000000000: 1 次 DMA 传输 b000000001: 2 次 DMA 传输 b000000010: 3 次 DMA 传输 b000000011: 4 次 DMA 传输 b000000100: 5 次 DMA 传输 …… b111111111: 1024 次 DMA 传输 在进入仲裁流程前，控制器会立即更新该位段，可使控制器保存该 DMA 周期中还需完成的剩下的 DMA 传输次数。
NEXT_USEBURST	Bit 3	R/W	**当控制器在外设分散-聚集模式下，且使用交替数据结构，该位段控制 CHNL_USEBURST_SET[C]是否置 1。** 需要注意的是，在完成由交替数据结构指定的 DMA 周期前，如果剩余的传输次数小于 2^R，控制器会将 CHNL_USEBURST_SET[C]设置为 0。NEXT_USEBURST 的设定控制了是否需要再次修改 CHNL_USEBURST_SET[C]。 在外设分散-聚集 DMA 周期模式下，当使用交替数据结构的 DMA 周期完成后，会发生以下任一情况： 0: 控制器不改变 CHNL_USEBURST_SET[C]的值。当进行使用交替数据结构的 DMA 周期时，如果 CHNL_USEBURST_SET[C]为 0，则对于所有在外设分散-聚集模式下的剩余的 DMA 周期，控制器将响应 dma_req[ ]和 dma_sreq[ ]的请求。 1: 控制器将 CHNL_USEBURST_SET[C]置 1。因此，当进行使用交替数据结构的 DMA 周期时，对于所有在外设分散-聚集模式下的

			剩余的 DMA 周期，控制器仅响应 dma_req[ ] 的请求。
CYCLE_CTRL	Bit 2-0	R/W	**DMA 周期的工作模式：** b000: 停止。表明该数据结构无效。 b001: 基础。在进入仲裁流程前，控制器必须接收到一个新的请求才能完成 DMA 周期。 b010: 自动请求。在仲裁过程中，控制器在合适的通道上自动插入一个请求。这就意味着最初的请求已足够完成 DMA 周期。 b011: 乒乓。控制器使用一种数据结构完成一个 DMA 周期。当该周期完成后，控制器使用另一种数据结构完成一个 DMA 周期。在该周期完成后，且如果主控处理器已更新了原始数据结构，则控制器使用原始数据结构执行一次 DMA 周期。控制器将会继续进行 DMA 周期，直到读取到无效数据结构或者主机处理器将 CYCLE_CTRL 改为 b001 或 b010。 b100: 存储器分散-聚集。当控制器运行在存储器分散-聚集模式下，用户仅可在主要数据结构下使用该值。 b101: 存储器分散-聚集。当控制器运行在存储器分散-聚集模式下，用户仅可在交替数据结构下使用该值。 b110: 外设分散-聚集。当控制器运行在外设分散-聚集模式下，用户仅可在主要数据结构下使用该值。 b111: 外设分散-聚集。当控制器运行在外设分散-聚集模式下，用户仅可在交替数据结构下使用该值。

在 DMA 周期或者 2^RDMA 传输开始的时候，控制器会从寄存器中获取 CHANNEL_CFG 的值。当完成 2^R 或 N 次传输后，新的 CHANNEL_CFG 值会被存储到系统存储器中。

控制器不支持 DST_SIZE 和 SRC_SIZE 拥有两个不同的值。如果检测到两个值不匹配，SRC_SIZE 的值会被作为源数据和目标数据的大小。当下一次 N_MINUS_1 更新时，DST_SIZE 将被设置为 SRC_SIZE 的值。

当完成 N 次传输后，控制器会将 CYCLE_CTRL 设置为 b000，以此表明 CHANNEL_CFG 数据为无效，用来防止控制器重复相同的 DMA 传输。

13. 5. 2. 39 DMA 主要通道 4 来源数据结束指针寄存器 (PRI_CH04_SRC_DATA_END_PTR)

DMA 主要通道 4 来源数据结束指针寄存器 (PRI_CH04_SRC_DATA_END_PTR)																															
偏移地址：0x140																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRC_DATA_END_PTR<31:0>																															

SRC_ DATA_END_PTR	Bit 31-0	R/W	**来源数据结束指针** 包含一个指针，指向来源数据的最后一个地址。在执行DMA传输前，该存储地址写入来源数据的结束地址。当启动2^R次DMA传输时，控制器读取SRC_ DATA_END_PTR。

13. 5. 2. 40 DMA 主要通道 4 目标数据结束指针寄存器 (PRI_CH04_DST_DATA_END_PTR)

DMA 主要通道 4 目标数据结束指针寄存器 (PRI_CH04_DST_DATA_END_PTR)																															
偏移地址：0x144																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DST_DATA_END_PTR<31:0>																															

DST_ DATA_END_PTR	Bit 31-0	R/W	**目标数据结束指针** 包含一个指针，指向目标数据的最后一个地址。在执行DMA传输前，该存储地址写入目标数据的结束地址。当启动2^R次DMA传输时，控制器读取DST_ DATA_END_PTR。

13. 5. 2. 41 DMA 主要通道 4 控制数据配置寄存器 (PRI_CH04_CHANNEL_CFG)

DMA 主要通道 4 控制数据配置寄存器 (PRI_CH04_CHANNEL_CFG)

偏移地址：0x148

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DST_INC <1:0>		DST_SIZE <1:0>		SRC_INC <1:0>		SRC_SIZE <1:0>								R_POWER <3:0>				N_MINUS_1 <9:0>										NEXT_USEBURST	CYCLE_CTRL <2:0>		

DST_INC	Bit 31-30	R/W	**目标地址增量** 地址增量取决于来源数据的宽度： 来源数据宽度 = 字节 b00 = 字节 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 来源数据宽度 = 半字 b00 = 保留 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 来源数据宽度 = 字 b00 = 保留 b01 = 保留 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 注: 当地址增量设置小于数据宽度时，其地址增量采用数据宽度。
DST_SIZE	Bit 29-28	R/W	**目标数据大小** 需要注意的是 DST_SIZE 和 SRC_SIZE 的值必须一致。
SRC_INC	Bit 27-26	R/W	**来源地址增量** 地址增量取决于来源数据的宽度： 来源数据宽度 = 字节

			b00 = 字节 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 来源数据宽度 = 半字 b00 = 保留 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 来源数据宽度 = 字 b00 = 保留 b01 = 保留 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 注: 当地址增量设置小于数据宽度时，其地址增量采用数据宽度。
SRC_SIZE	Bit 25-24	R/W	**设置该位段用来匹配来源数据大小** b00 = 字节 b01 = 半字 b10 = 字 b11 = 保留
—	Bit 23-18	—	—
R_POWER	Bit 17-14	R/W	**在控制器重新仲裁前，该位段决定了 DMA 传输可以发生的次数** b0000: 发生 1 次 DMA 传输后仲裁 b0001: 发生 2 次 DMA 传输后仲裁 b0010: 发生 4 次 DMA 传输后仲裁 b0011: 发生 8 次 DMA 传输后仲裁 b0100: 发生 16 次 DMA 传输后仲裁 b0101: 发生 32 次 DMA 传输后仲裁 b0110: 发生 64 次 DMA 传输后仲裁 b0111: 发生 128 次 DMA 传输后仲裁 b1000: 发生 256 次 DMA 传输后仲裁 b1001: 发生 512 次 DMA 传输后仲裁 b1010-b1111: 发生 1024 次 DMA 传输后仲

			裁。由于最大的传输次数为 1024，由此表明 DMA 传输中无仲裁发生。
N_MINUS_1	Bit 13-4	R/W	在 DMA 周期开始前，该位段代表的是 DMA 周期中包含的 DMA 传输的总次数。使用者须根据所需要的 DMA 周期的大小来设置该位段。该 10 位值为 DMA 传输次数减 1。 b000000000: 1 次 DMA 传输 b000000001: 2 次 DMA 传输 b000000010: 3 次 DMA 传输 b000000011: 4 次 DMA 传输 b000000100: 5 次 DMA 传输 …… b111111111: 1024 次 DMA 传输 在进入仲裁流程前，控制器会立即更新该位段，可使控制器保存该 DMA 周期中还需完成的剩下的 DMA 传输次数。
NEXT_USEBURST	Bit 3	R/W	**当控制器在外设分散-聚集模式下，且使用交替数据结构，该位段控制 CHNL_USEBURST_SET[C]是否置 1。** 需要注意的是，在完成由交替数据结构指定的 DMA 周期前，如果剩余的传输次数小于 2^R，控制器会将 CHNL_USEBURST_SET[C]设置为 0。NEXT_USEBURST 的设定控制了是否需要再次修改 CHNL_USEBURST_SET[C]。 在外设分散-聚集 DMA 周期模式下，当使用交替数据结构的 DMA 周期完成后，会发生以下任一情况: 0: 控制器不改变 CHNL_USEBURST_SET[C]的值。当进行使用交替数据结构的 DMA 周期时，如果 CHNL_USEBURST_SET[C]为 0，则对于所有在外设分散-聚集模式下的剩余的 DMA 周期，控制器将响应 dma_req[ ]和 dma_sreq[ ]的请求。 1: 控制器将 CHNL_USEBURST_SET[C]置 1。因此，当进行使用交替数据结构的 DMA 周期时，对于所有在外设分散-聚集模式下的

			剩余的 DMA 周期，控制器仅响应 dma_req[ ] 的请求。
CYCLE_CTRL	Bit 2-0	R/W	**DMA 周期的工作模式：** b000: 停止。表明该数据结构无效。 b001: 基础。在进入仲裁流程前，控制器必须接收到一个新的请求才能完成 DMA 周期。 b010: 自动请求。在仲裁过程中，控制器在合适的通道上自动插入一个请求。这就意味着最初的请求已足够完成 DMA 周期。 b011: 乒乓。控制器使用一种数据结构完成一个 DMA 周期。当该周期完成后，控制器使用另一种数据结构完成一个 DMA 周期。在该周期完成后，且如果主控处理器已更新了原始数据结构，则控制器使用原始数据结构执行一次 DMA 周期。控制器将会继续进行 DMA 周期，直到读取到无效数据结构或者主机处理器将 CYCLE_CTRL 改为 b001 或 b010。 b100: 存储器分散-聚集。当控制器运行在存储器分散-聚集模式下，用户仅可在主要数据结构下使用该值。 b101: 存储器分散-聚集。当控制器运行在存储器分散-聚集模式下，用户仅可在交替数据结构下使用该值。 b110: 外设分散-聚集。当控制器运行在外设分散-聚集模式下，用户仅可在主要数据结构下使用该值。 b111: 外设分散-聚集。当控制器运行在外设分散-聚集模式下，用户仅可在交替数据结构下使用该值。

在 DMA 周期或者 2^RDMA 传输开始的时候，控制器会从寄存器中获取 CHANNEL_CFG 的值。当完成 2^R 或 N 次传输后，新的 CHANNEL_CFG 值会被存储到系统存储器中。

控制器不支持 DST_SIZE 和 SRC_SIZE 拥有两个不同的值。如果检测到两个值不匹配，SRC_SIZE 的值会被作为源数据和目标数据的大小。当下一次 N_MINUS_1 更新时，DST_SIZE 将被设置为 SRC_SIZE 的值。

当完成 N 次传输后，控制器会将 CYCLE_CTRL 设置为 b000，以此表明 CHANNEL_CFG 数据为无效，用来防止控制器重复相同的 DMA 传输。

13. 5. 2. 42 DMA 主要通道 5 来源数据结束指针寄存器 (PRI_CH05_DST_DATA_END_PTR)

DMA 主要通道 5 来源数据结束指针寄存器 (PRI_CH05_DST_DATA_END_PTR)																															
偏移地址：0x150																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRC_DATA_END_PTR<31:0>																															

SRC_ DATA_END_PTR	Bit 31-0	R/W	**来源数据结束指针** 包含一个指针，指向来源数据的最后一个地址。在执行 DMA 传输前，该存储地址写入来源数据的结束地址。当启动 2^R 次 DMA 传输时，控制器读取 SRC_ DATA_END_PTR。

13. 5. 2. 43 DMA 主要通道 5 目标数据结束指针寄存器 (PRI_CH05_DST_DATA_END_PTR)

DMA 主要通道 5 目标数据结束指针寄存器 (PRI_CH05_DST_DATA_END_PTR)																															
偏移地址：0x154																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DST_DATA_END_PTR<31:0>																															

DST_ DATA_END_PTR	Bit 31-0	R/W	**目标数据结束指针** 包含一个指针，指向目标数据的最后一个地址。在执行DMA传输前，该存储地址写入目标数据的结束地址。当启动2^R次DMA传输时，控制器读取DST_ DATA_END_PTR。

13. 5. 2. 44 DMA 主要通道 5 控制数据配置寄存器 (PRI_CH05_CHANNEL_CFG)

DMA 主要通道 5 控制数据配置寄存器 (PRI_CH05_CHANNEL_CFG)

偏移地址：0x158

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DST_INC <1:0>		DST_SIZE <1:0>		SRC_INC <1:0>		SRC_SIZE <1:0>								R_POWER <3:0>				N_MINUS_1 <9:0>										NEXT_USEBURST	CYCLE_CTRL <2:0>		

DST_INC	Bit 31-30	R/W	**目标地址增量** 地址增量取决于来源数据的宽度： 来源数据宽度 = 字节 b00 = 字节 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 来源数据宽度 = 半字 b00 = 保留 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 来源数据宽度 = 字 b00 = 保留 b01 = 保留 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 注: 当地址增量设置小于数据宽度时，其地址增量采用数据宽度。
DST_SIZE	Bit 29-28	R/W	**目标数据大小** 需要注意的是 DST_SIZE 和 SRC_SIZE 的值必须一致。
SRC_INC	Bit 27-26	R/W	**来源地址增量** 地址增量取决于来源数据的宽度： 来源数据宽度 = 字节

			b00 = 字节 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 来源数据宽度 = 半字 b00 = 保留 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 来源数据宽度 = 字 b00 = 保留 b01 = 保留 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 注: 当地址增量设置小于数据宽度时，其地址增量采用数据宽度。
SRC_SIZE	Bit 25-24	R/W	**设置该位段用来匹配来源数据大小** b00 = 字节 b01 = 半字 b10 = 字 b11 = 保留
—	Bit 23-18	—	—
R_POWER	Bit 17-14	R/W	**在控制器重新仲裁前，该位段决定了 DMA 传输可以发生的次数** b0000: 发生 1 次 DMA 传输后仲裁 b0001: 发生 2 次 DMA 传输后仲裁 b0010: 发生 4 次 DMA 传输后仲裁 b0011: 发生 8 次 DMA 传输后仲裁 b0100: 发生 16 次 DMA 传输后仲裁 b0101: 发生 32 次 DMA 传输后仲裁 b0110: 发生 64 次 DMA 传输后仲裁 b0111: 发生 128 次 DMA 传输后仲裁 b1000: 发生 256 次 DMA 传输后仲裁 b1001: 发生 512 次 DMA 传输后仲裁 b1010-b1111: 发生 1024 次 DMA 传输后仲

			裁。由于最大的传输次数为 1024，由此表明 DMA 传输中无仲裁发生。
N_MINUS_1	Bit 13-4	R/W	在 DMA 周期开始前，该位段代表的是 DMA 周期中包含的 DMA 传输的总次数。使用者须根据所需要的 DMA 周期的大小来设置该位段。该 10 位值为 DMA 传输次数减 1。 b000000000: 1 次 DMA 传输 b000000001: 2 次 DMA 传输 b000000010: 3 次 DMA 传输 b000000011: 4 次 DMA 传输 b000000100: 5 次 DMA 传输 …… b111111111: 1024 次 DMA 传输 在进入仲裁流程前，控制器会立即更新该位段，可使控制器保存该 DMA 周期中还需完成的剩下的 DMA 传输次数。
NEXT_USEBURST	Bit 3	R/W	**当控制器在外设分散-聚集模式下，且使用交替数据结构，该位段控制 CHNL_USEBURST_SET[C]是否置 1。** 需要注意的是，在完成由交替数据结构指定的 DMA 周期前，如果剩余的传输次数小于 2^R，控制器会将 CHNL_USEBURST_SET[C]设置为 0。NEXT_USEBURST 的设定控制了是否需要再次修改 CHNL_USEBURST_SET[C]。 在外设分散-聚集 DMA 周期模式下，当使用交替数据结构的 DMA 周期完成后，会发生以下任一情况： 0: 控制器不改变 CHNL_USEBURST_SET[C]的值。当进行使用交替数据结构的 DMA 周期时，如果 CHNL_USEBURST_SET[C]为 0，则对于所有在外设分散-聚集模式下的剩余的 DMA 周期，控制器将响应 dma_req[ ]和 dma_sreq[ ]的请求。 1: 控制器将 CHNL_USEBURST_SET[C]置 1。因此，当进行使用交替数据结构的 DMA 周期时，对于所有在外设分散-聚集模式下的

			剩余的 DMA 周期，控制器仅响应 dma_req[ ] 的请求。
CYCLE_CTRL	Bit 2-0	R/W	**DMA 周期的工作模式：** b000: 停止。表明该数据结构无效。 b001: 基础。在进入仲裁流程前，控制器必须接收到一个新的请求才能完成 DMA 周期。 b010: 自动请求。在仲裁过程中，控制器在合适的通道上自动插入一个请求。这就意味着最初的请求已足够完成 DMA 周期。 b011: 乒乓。控制器使用一种数据结构完成一个 DMA 周期。当该周期完成后，控制器使用另一种数据结构完成一个 DMA 周期。在该周期完成后，且如果主控处理器已更新了原始数据结构，则控制器使用原始数据结构执行一次 DMA 周期。控制器将会继续进行 DMA 周期，直到读取到无效数据结构或者主机处理器将 CYCLE_CTRL 改为 b001 或 b010。 b100: 存储器分散-聚集。当控制器运行在存储器分散-聚集模式下，用户仅可在主要数据结构下使用该值。 b101: 存储器分散-聚集。当控制器运行在存储器分散-聚集模式下，用户仅可在交替数据结构下使用该值。 b110: 外设分散-聚集。当控制器运行在外设分散-聚集模式下，用户仅可在主要数据结构下使用该值。 b111: 外设分散-聚集。当控制器运行在外设分散-聚集模式下，用户仅可在交替数据结构下使用该值。

在 DMA 周期或者 2^RDMA 传输开始的时候，控制器会从寄存器中获取 CHANNEL_CFG 的值。当完成 2^R 或 N 次传输后，新的 CHANNEL_CFG 值会被存储到系统存储器中。

控制器不支持 DST_SIZE 和 SRC_SIZE 拥有两个不同的值。如果检测到两个值不匹配，SRC_SIZE 的值会被作为源数据和目标数据的大小。当下一次 DST_SIZE 更新时，DST_SIZE 将被设置为 SRC_SIZE 的值。

当完成 N 次传输后，控制器会将 CYCLE_CTRL 设置为 b000，以此表明 CHANNEL_CFG 数据为无效，用来防止控制器重复相同的 DMA 传输。

13. 5. 2. 45 DMA 交替通道 0 来源数据结束指针寄存器 (ALT_CH00_SRC_DATA_END_PTR)

DMA 交替通道 0 来源数据结束指针寄存器 (ALT_CH00_SRC_DATA_END_PTR)																															
偏移地址：0x200																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRC_DATA_END_PTR<31:0>																															

SRC_ DATA_END_PTR	Bit 31-0	R/W	**来源数据结束指针** 包含一个指针，指向来源数据的最后一个地址。在执行DMA传输前，该存储地址写入来源数据的结束地址。当启动2^R次DMA传输时，控制器读取SRC_ DATA_END_PTR。

13. 5. 2. 46 DMA 交替通道 0 目标数据结束指针寄存器 (ALT_CH00_DST_DATA_END_PTR)

DMA 交替通道 0 目标数据结束指针寄存器 (ALT_CH00_DST_DATA_END_PTR)																															
偏移地址：0x204																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DST_DATA_END_PTR<31:0>																															

DST_ DATA_END_PTR	Bit 31-0	R/W	**目标数据结束指针** 包含一个指针，指向目标数据的最后一个地址。在执行 DMA 传输前，该存储地址写入目标数据的结束地址。当启动 2^R 次 DMA 传输时，控制器读取 DST_ DATA_END_PTR。

13. 5. 2. 47 DMA 交替通道 0 控制数据配置寄存器 (ALT_CH00_CHANNEL_CFG)

DMA 交替通道 0 控制数据配置寄存器 (ALT_CH00_CHANNEL_CFG)

偏移地址：0x208

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DST_INC <1:0>		DST_SIZE <1:0>		SRC_INC <:0>		SRC_SIZE <1:0>								R_POWER <3:0>				N_MINUS_1 <9:0>										NEXT_USEBURST	CYCLE_CTRL <2:0>		

DST_INC	Bit 31-30	R/W	**目标地址增量** 地址增量取决于来源数据的宽度： 来源数据宽度 = 字节 b00 = 字节 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 来源数据宽度 = 半字 b00 = 保留 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 来源数据宽度 = 字 b00 = 保留 b01 = 保留 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 注: 当地址增量设置小于数据宽度时，其地址增量采用数据宽度。
DST_SIZE	Bit 29-28	R/W	**目标数据大小** 需要注意的是 DST_SIZE 和 SRC_SIZE 的值必须一致。
SRC_INC	Bit 27-26	R/W	**来源地址增量** 地址增量取决于来源数据的宽度： 来源数据宽度 = 字节

			b00 = 字节 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 来源数据宽度 = 半字 b00 = 保留 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 来源数据宽度 = 字 b00 = 保留 b01 = 保留 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 注: 当地址增量设置小于数据宽度时，其地址增量采用数据宽度。
SRC_SIZE	Bit 25-24	R/W	**设置该位段用来匹配来源数据大小** b00 = 字节 b01 = 半字 b10 = 字 b11 = 保留
—	Bit 23-18	—	—
R_POWER	Bit 17-14	R/W	**在控制器重新仲裁前，该位段决定了 DMA 传输可以发生的次数** b0000: 发生 1 次 DMA 传输后仲裁 b0001: 发生 2 次 DMA 传输后仲裁 b0010: 发生 4 次 DMA 传输后仲裁 b0011: 发生 8 次 DMA 传输后仲裁 b0100: 发生 16 次 DMA 传输后仲裁 b0101: 发生 32 次 DMA 传输后仲裁 b0110: 发生 64 次 DMA 传输后仲裁 b0111: 发生 128 次 DMA 传输后仲裁 b1000: 发生 256 次 DMA 传输后仲裁 b1001: 发生 512 次 DMA 传输后仲裁 b1010-b1111: 发生 1024 次 DMA 传输后仲

			裁。由于最大的传输次数为 1024，由此表明 DMA 传输中无仲裁发生。
N_MINUS_1	Bit 13-4	R/W	在 DMA 周期开始前，该位段代表的是 DMA 周期中包含的 DMA 传输的总次数。使用者须根据所需要的 DMA 周期的大小来设置该位段。该 10 位值为 DMA 传输次数减 1。 b000000000: 1 次 DMA 传输 b000000001: 2 次 DMA 传输 b000000010: 3 次 DMA 传输 b000000011: 4 次 DMA 传输 b000000100: 5 次 DMA 传输 …… b111111111: 1024 次 DMA 传输 在进入仲裁流程前，控制器会立即更新该位段，可使控制器保存该 DMA 周期中还需完成的剩下的 DMA 传输次数。
NEXT_USEBURST	Bit 3	R/W	**当控制器在外设分散-聚集模式下，且使用交替数据结构，该位段控制 CHNL_USEBURST_SET[C]是否置 1。** 需要注意的是，在完成由交替数据结构指定的 DMA 周期前，如果剩余的传输次数小于 2^R，控制器会将 CHNL_USEBURST_SET[C]设置为 0。NEXT_USEBURST 的设定控制了是否需要再次修改 CHNL_USEBURST_SET[C]。 在外设分散-聚集 DMA 周期模式下，当使用交替数据结构的 DMA 周期完成后，会发生以下任一情况: 0: 控制器不改变 CHNL_USEBURST_SET[C]的值。当进行使用交替数据结构的 DMA 周期时，如果 CHNL_USEBURST_SET[C]为 0，则对于所有在外设分散-聚集模式下的剩余的 DMA 周期，控制器将响应 dma_req[ ]和 dma_sreq[ ]的请求。 1: 控制器将 CHNL_USEBURST_SET[C]置 1。因此，当进行使用交替数据结构的 DMA 周期时，对于所有在外设分散-聚集模式下的

			剩余的 DMA 周期，控制器仅响应 dma_req[ ] 的请求。
CYCLE_CTRL	Bit 2-0	R/W	**DMA 周期的工作模式：** b000: 停止。表明该数据结构无效。 b001: 基础。在进入仲裁流程前，控制器必须接收到一个新的请求才能完成 DMA 周期。 b010: 自动请求。在仲裁过程中，控制器在合适的通道上自动插入一个请求。这就意味着最初的请求已足够完成 DMA 周期。 b011: 乒乓。控制器使用一种数据结构完成一个 DMA 周期。当该周期完成后，控制器使用另一种数据结构完成一个 DMA 周期。在该周期完成后，且如果主控处理器已更新了原始数据结构，则控制器使用原始数据结构执行一次 DMA 周期。控制器将会继续进行 DMA 周期，直到读取到无效数据结构或者主机处理器将 CYCLE_CTRL 改为 b001 或 b010。 b100: 存储器分散-聚集。当控制器运行在存储器分散-聚集模式下，用户仅可在主要数据结构下使用该值。 b101: 存储器分散-聚集。当控制器运行在存储器分散-聚集模式下，用户仅可在交替数据结构下使用该值。 b110: 外设分散-聚集。当控制器运行在外设分散-聚集模式下，用户仅可在主要数据结构下使用该值。 b111: 外设分散-聚集。当控制器运行在外设分散-聚集模式下，用户仅可在交替数据结构下使用该值。

在 DMA 周期或者 2^RDMA 传输开始的时候，控制器会从寄存器中获取 CHANNEL_CFG 的值。当完成 2^R 或 N 次传输后，新的 CHANNEL_CFG 值会被存储到系统存储器中。

控制器不支持 DST_SIZE 和 SRC_SIZE 拥有两个不同的值。如果检测到两个值不匹配，SRC_SIZE 的值会被作为源数据和目标数据的大小。当下一次 N_MINUS_1 更新时，DST_SIZE 将被设置为 SRC_SIZE 的值。

当完成 N 次传输后，控制器会将 CYCLE_CTRL 设置为 b000，以此表明 CHANNEL_CFG 数据为无效，用来防止控制器重复相同的 DMA 传输。

13. 5. 2. 48 DMA 交替通道 1 来源数据结束指针寄存器 (ALT_CH01_SRC_DATA_END_PTR)

DMA 交替通道 1 来源数据结束指针寄存器 (ALT_CH01_SRC_DATA_END_PTR)																															
偏移地址：0x210																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRC_DATA_END_PTR<31:0>																															

SRC_ DATA_END_PTR	Bit 31-0	R/W	**来源数据结束指针** 包含一个指针，指向来源数据的最后一个地址。在执行 DMA 传输前，该存储地址写入来源数据的结束地址。当启动 2^R 次 DMA 传输时，控制器读取 SRC_ DATA_END_PTR。

13. 5. 2. 49 DMA 交替通道 1 目标数据结束指针寄存器 (ALT_CH01_DST_DATA_END_PTR)

DMA 交替通道 1 目标数据结束指针寄存器 (ALT_CH01_DST_DATA_END_PTR)																															
偏移地址：0x214																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DST_DATA_END_PTR<31:0>																															

DST_ DATA_END_PTR	Bit 31-0	R/W	**目标数据结束指针** 包含一个指针，指向目标数据的最后一个地址。在执行DMA传输前，该存储地址写入目标数据的结束地址。当启动2^R次DMA传输时，控制器读取DST_ DATA_END_PTR。

13. 5. 2. 50 DMA 交替通道 1 控制数据配置寄存器 (ALT_CH01_CHANNEL_CFG)

DMA 交替通道 1 控制数据配置寄存器 (ALT_CH01_CHANNEL_CFG)

偏移地址：0x218

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DST_INC <1:0>		DST_SIZE <1:0>		SRC_INC <1:0>		SRC_SIZE <1:0>								R_POWER <3:0>				N_MINUS_1 <9:0>										NEXT_USEBURST	CYCLE_CTRL <2:0>		

DST_INC	Bit 31-30	R/W	**目标地址增量** 地址增量取决于来源数据的宽度： 来源数据宽度 = 字节 b00 = 字节 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 来源数据宽度 = 半字 b00 = 保留 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 来源数据宽度 = 字 b00 = 保留 b01 = 保留 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 注: 当地址增量设置小于数据宽度时，其地址增量采用数据宽度。
DST_SIZE	Bit 29-28	R/W	**目标数据大小** 需要注意的是 DST_SIZE 和 SRC_SIZE 的值必须一致。
SRC_INC	Bit 27-26	R/W	**来源地址增量** 地址增量取决于来源数据的宽度： 来源数据宽度 = 字节

			b00 = 字节 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 来源数据宽度 = 半字 b00 = 保留 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 来源数据宽度 = 字 b00 = 保留 b01 = 保留 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 注: 当地址增量设置小于数据宽度时，其地址增量采用数据宽度。
SRC_SIZE	Bit 25-24	R/W	**设置该位段用来匹配来源数据大小** b00 = 字节 b01 = 半字 b10 = 字 b11 = 保留
—	Bit 23-18	—	—
R_POWER	Bit 17-14	R/W	**在控制器重新仲裁前，该位段决定了 DMA 传输可以发生的次数** b0000: 发生 1 次 DMA 传输后仲裁 b0001: 发生 2 次 DMA 传输后仲裁 b0010: 发生 4 次 DMA 传输后仲裁 b0011: 发生 8 次 DMA 传输后仲裁 b0100: 发生 16 次 DMA 传输后仲裁 b0101: 发生 32 次 DMA 传输后仲裁 b0110: 发生 64 次 DMA 传输后仲裁 b0111: 发生 128 次 DMA 传输后仲裁 b1000: 发生 256 次 DMA 传输后仲裁 b1001: 发生 512 次 DMA 传输后仲裁 b1010-b1111: 发生 1024 次 DMA 传输后仲

			裁。由于最大的传输次数为 1024，由此表明 DMA 传输中无仲裁发生。
N_MINUS_1	Bit 13-4	R/W	在 DMA 周期开始前，该位段代表的是 DMA 周期中包含的 DMA 传输的总次数。使用者须根据所需要的 DMA 周期的大小来设置该位段。该 10 位值为 DMA 传输次数减 1。 b000000000: 1 次 DMA 传输 b000000001: 2 次 DMA 传输 b000000010: 3 次 DMA 传输 b000000011: 4 次 DMA 传输 b000000100: 5 次 DMA 传输 …… b111111111: 1024 次 DMA 传输 在进入仲裁流程前，控制器会立即更新该位段，可使控制器保存该 DMA 周期中还需完成的剩下的 DMA 传输次数。
NEXT_USEBURST	Bit 3	R/W	**当控制器在外设分散-聚集模式下，且使用交替数据结构，该位段控制 CHNL_USEBURST_SET[C]是否置 1。** 需要注意的是，在完成由交替数据结构指定的 DMA 周期前，如果剩余的传输次数小于 2^R，控制器会将 CHNL_USEBURST_SET[C]设置为 0。NEXT_USEBURST 的设定控制了是否需要再次修改 CHNL_USEBURST_SET[C]。 在外设分散-聚集 DMA 周期模式下，当使用交替数据结构的 DMA 周期完成后，会发生以下任一情况: 0: 控制器不改变 CHNL_USEBURST_SET[C]的值。当进行使用交替数据结构的 DMA 周期时，如果 CHNL_USEBURST_SET[C]为 0，则对于所有在外设分散-聚集模式下的剩余的 DMA 周期，控制器将响应 dma_req[ ]和 dma_sreq[ ]的请求。 1: 控制器将 CHNL_USEBURST_SET[C]置 1。因此，当进行使用交替数据结构的 DMA 周期时，对于所有在外设分散-聚集模式下的

			剩余的 DMA 周期，控制器仅响应 dma_req[ ] 的请求。
CYCLE_CTRL	Bit 2-0	R/W	**DMA 周期的工作模式：** b000: 停止。表明该数据结构无效。 b001: 基础。在进入仲裁流程前，控制器必须接收到一个新的请求才能完成 DMA 周期。 b010: 自动请求。在仲裁过程中，控制器在合适的通道上自动插入一个请求。这就意味着最初的请求已足够完成 DMA 周期。 b011: 乒乓。控制器使用一种数据结构完成一个 DMA 周期。当该周期完成后，控制器使用另一种数据结构完成一个 DMA 周期。在该周期完成后，且如果主控处理器已更新了原始数据结构，则控制器使用原始数据结构执行一次 DMA 周期。控制器将会继续进行 DMA 周期，直到读取到无效数据结构或者主机处理器将 CYCLE_CTRL 改为 b001 或 b010。 b100: 存储器分散-聚集。当控制器运行在存储器分散-聚集模式下，用户仅可在主要数据结构下使用该值。 b101: 存储器分散-聚集。当控制器运行在存储器分散-聚集模式下，用户仅可在交替数据结构下使用该值。 b110: 外设分散-聚集。当控制器运行在外设分散-聚集模式下，用户仅可在主要数据结构下使用该值。 b111: 外设分散-聚集。当控制器运行在外设分散-聚集模式下，用户仅可在交替数据结构下使用该值。

在 DMA 周期或者 2^RDMA 传输开始的时候，控制器会从寄存器中获取 CHANNEL_CFG 的值。当完成 2^R 或 N 次传输后，新的 CHANNEL_CFG 值会被存储到系统存储器中。

控制器不支持 DST_SIZE 和 SRC_SIZE 拥有两个不同的值。如果检测到两个值不匹配，SRC_SIZE 的值会被作为源数据和目标数据的大小。当下一次 N_MINUS_1 更新时，DST_SIZE 将被设置为 SRC_SIZE 的值。

当完成 N 次传输后，控制器会将 CYCLE_CTRL 设置为 b000，以此表明 CHANNEL_CFG 数据为无效，用来防止控制器重复相同的 DMA 传输。

13. 5. 2. 51 DMA 交替通道 2 来源数据结束指针寄存器 (ALT_CH02_SRC_DATA_END_PTR)

DMA 交替通道 2 来源数据结束指针寄存器 (ALT_CH02_SRC_DATA_END_PTR)																															
偏移地址：0x220																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRC_DATA_END_PTR<31:0>																															

SRC_ DATA_END_PTR	Bit 31-0	R/W	**来源数据结束指针** 包含一个指针，指向来源数据的最后一个地址。在执行DMA传输前，该存储地址写入来源数据的结束地址。当启动2^R次DMA传输时，控制器读取SRC_ DATA_END_PTR。

13. 5. 2. 52 DMA 交替通道 2 目标数据结束指针寄存器 (ALT_CH02_DST_DATA_END_PTR)

DMA 交替通道 2 目标数据结束指针寄存器 (ALT_CH02_DST_DATA_END_PTR)																															
偏移地址：0x224																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DST_DATA_END_PTR<31:0>																															

DST_ DATA_END_PTR	Bit 31-0	R/W	**目标数据结束指针** 包含一个指针，指向目标数据的最后一个地址。在执行 DMA 传输前，该存储地址写入目标数据的结束地址。当启动 2^R 次 DMA 传输时，控制器读取 DST_ DATA_END_PTR。

13. 5. 2. 53 DMA 交替通道 2 控制数据配置寄存器 (ALT_CH02_CHANNEL_CFG)

DMA 交替通道 2 控制数据配置寄存器 (ALT_CH02_CHANNEL_CFG)

偏移地址：0x228

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DST_INC <1:0>		DST_SIZE <1:0>		SRC_INC <1:0>		SRC_SIZE <1:0>								R_POWER <3:0>				N_MINUS_1 <9:0>										NEXT_USEBURST	CYCLE_CTRL <2:0>		

DST_INC	Bit 31-30	R/W	**目标地址增量** 地址增量取决于来源数据的宽度: 来源数据宽度 = 字节 b00 = 字节 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 来源数据宽度 = 半字 b00 = 保留 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 来源数据宽度 = 字 b00 = 保留 b01 = 保留 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 注: 当地址增量设置小于数据宽度时，其地址增量采用数据宽度。
DST_SIZE	Bit 29-28	R/W	**目标数据大小** 需要注意的是 DST_SIZE 和 SRC_SIZE 的值必须一致。
SRC_INC	Bit 27-26	R/W	**来源地址增量** 地址增量取决于来源数据的宽度: 来源数据宽度 = 字节

			b00 = 字节 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 来源数据宽度 = 半字 b00 = 保留 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 来源数据宽度 = 字 b00 = 保留 b01 = 保留 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 注: 当地址增量设置小于数据宽度时，其地址增量采用数据宽度。
SRC_SIZE	Bit 25-24	R/W	**设置该位段用来匹配来源数据大小** b00 = 字节 b01 = 半字 b10 = 字 b11 = 保留
—	Bit 23-18	—	—
R_POWER	Bit 17-14	R/W	**在控制器重新仲裁前，该位段决定了 DMA 传输可以发生的次数** b0000: 发生 1 次 DMA 传输后仲裁 b0001: 发生 2 次 DMA 传输后仲裁 b0010: 发生 4 次 DMA 传输后仲裁 b0011: 发生 8 次 DMA 传输后仲裁 b0100: 发生 16 次 DMA 传输后仲裁 b0101: 发生 32 次 DMA 传输后仲裁 b0110: 发生 64 次 DMA 传输后仲裁 b0111: 发生 128 次 DMA 传输后仲裁 b1000: 发生 256 次 DMA 传输后仲裁 b1001: 发生 512 次 DMA 传输后仲裁 b1010-b1111: 发生 1024 次 DMA 传输后仲

			裁。由于最大的传输次数为 1024，由此表明 DMA 传输中无仲裁发生。
N_MINUS_1	Bit 13-4	R/W	在 DMA 周期开始前，该位段代表的是 DMA 周期中包含的 DMA 传输的总次数。使用者须根据所需要的 DMA 周期的大小来设置该位段。该 10 位值为 DMA 传输次数减 1。 b000000000: 1 次 DMA 传输 b000000001: 2 次 DMA 传输 b000000010: 3 次 DMA 传输 b000000011: 4 次 DMA 传输 b000000100: 5 次 DMA 传输 …… b111111111: 1024 次 DMA 传输 在进入仲裁流程前，控制器会立即更新该位段，可使控制器保存该 DMA 周期中还需完成的剩下的 DMA 传输次数。
NEXT_USEBURST	Bit 3	R/W	**当控制器在外设分散-聚集模式下，且使用交替数据结构，该位段控制 CHNL_USEBURST_SET[C]是否置 1。** 需要注意的是，在完成由交替数据结构指定的 DMA 周期前，如果剩余的传输次数小于 2^R，控制器会将 CHNL_USEBURST_SET[C]设置为 0。NEXT_USEBURST 的设定控制了是否需要再次修改 CHNL_USEBURST_SET[C]。 在外设分散-聚集 DMA 周期模式下，当使用交替数据结构的 DMA 周期完成后，会发生以下任一情况： 0: 控制器不改变 CHNL_USEBURST_SET[C]的值。当进行使用交替数据结构的 DMA 周期时，如果 CHNL_USEBURST_SET[C]为 0，则对于所有在外设分散-聚集模式下的剩余的 DMA 周期，控制器将响应 dma_req[ ]和 dma_sreq[ ]的请求。 1: 控制器将 CHNL_USEBURST_SET[C]置 1。因此，当进行使用交替数据结构的 DMA 周期时，对于所有在外设分散-聚集模式下的

			剩余的 DMA 周期，控制器仅响应 dma_req[ ] 的请求。
CYCLE_CTRL	Bit 2-0	R/W	**DMA 周期的工作模式：** b000 :停止。表明该数据结构无效。 b001: 基础。在进入仲裁流程前，控制器必须接收到一个新的请求才能完成 DMA 周期。 b010 :自动请求。在仲裁过程中，控制器在合适的通道上自动插入一个请求。这就意味着最初的请求已足够完成 DMA 周期。 b011: 乒乓。控制器使用一种数据结构完成一个 DMA 周期。当该周期完成后，控制器使用另一种数据结构完成一个 DMA 周期。在该周期完成后，且如果主控处理器已更新了原始数据结构，则控制器使用原始数据结构执行一次 DMA 周期。控制器将会继续进行 DMA 周期，直到读取到无效数据结构或者主机处理器将 CYCLE_CTRL 改为 b001 或 b010。 b100: 存储器分散-聚集。当控制器运行在存储器分散-聚集模式下，用户仅可在主要数据结构下使用该值。 b101: 存储器分散-聚集。当控制器运行在存储器分散-聚集模式下，用户仅可在交替数据结构下使用该值。 b110: 外设分散-聚集。当控制器运行在外设分散-聚集模式下，用户仅可在主要数据结构下使用该值。 b111: 外设分散-聚集。当控制器运行在外设分散-聚集模式下，用户仅可在交替数据结构下使用该值。

在 DMA 周期或者 2^RDMA 传输开始的时候，控制器会从寄存器中获取 CHANNEL_CFG 的值。当完成 2^R 或 N 次传输后，新的 CHANNEL_CFG 值会被存储到系统存储器中。

控制器不支持 DST_SIZE 和 SRC_SIZE 拥有两个不同的值。如果检测到两个值不匹配，SRC_SIZE 的值会被作为源数据和目标数据的大小。当下一次 N_MINUS_1 更新时，DST_SIZE 将被设置为 SRC_SIZE 的值。

当完成 N 次传输后，控制器会将 CYCLE_CTRL 设置为 b000，以此表明 CHANNEL_CFG 数据为无效，用来防止控制器重复相同的 DMA 传输。

13. 5. 2. 54 DMA 交替通道 3 来源数据结束指针寄存器 (ALT_CH03_SRC_DATA_END_PTR)

DMA 交替通道 3 来源数据结束指针寄存器 (ALT_CH03_SRC_DATA_END_PTR)																															
偏移地址：0x230																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRC_DATA_END_PTR<31:0>																															

SRC_ DATA_END_PTR	Bit 31-0	R/W	**来源数据结束指针** 包含一个指针，指向来源数据的最后一个地址。在执行DMA传输前，该存储地址写入来源数据的结束地址。当启动2^R次DMA传输时，控制器读取SRC_ DATA_END_PTR。

13. 5. 2. 55 DMA 交替通道 3 目标数据结束指针寄存器 (ALT_CH03_DST_DATA_END_PTR)

DMA 交替通道 3 目标数据结束指针寄存器 (ALT_CH03_DST_DATA_END_PTR)																															
偏移地址：0x234																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DST_DATA_END_PTR<31:0>																															

DST_ DATA_END_PTR	Bit 31-0	R/W	**目标数据结束指针** 包含一个指针，指向目标数据的最后一个地址。在执行DMA传输前，该存储地址写入目标数据的结束地址。当启动2^R次DMA传输时，控制器读取DST_ DATA_END_PTR。

13. 5. 2. 56 DMA 交替通道 3 控制数据配置寄存器 (ALT_CH03_CHANNEL_CFG)

DMA 交替通道 3 控制数据配置寄存器 (ALT_CH03_CHANNEL_CFG)

偏移地址：0x238

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DST_INC <1:0>		DST_SIZE <1:0>		SRC_INC <1;0>		SRC_SIZE <1:0>								R_POWER <3:0>				N_MINUS_1 <9:0>										NEXT_USEBURST	CYCLE_CTRL <2:0>		

DST_INC	Bit 31-30	R/W	**目标地址增量** 地址增量取决于来源数据的宽度: 来源数据宽度 = 字节 b00 = 字节 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 来源数据宽度 = 半字 b00 = 保留 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 来源数据宽度 = 字 b00 = 保留 b01 = 保留 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 注: 当地址增量设置小于数据宽度时，其地址增量采用数据宽度。
DST_SIZE	Bit 29-28	R/W	**目标数据大小** 需要注意的是 DST_SIZE 和 SRC_SIZE 的值必须一致。
SRC_INC	Bit 27-26	R/W	**来源地址增量** 地址增量取决于来源数据的宽度: 来源数据宽度 = 字节

			b00 = 字节 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 来源数据宽度 = 半字 b00 = 保留 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 来源数据宽度 = 字 b00 = 保留 b01 = 保留 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 注: 当地址增量设置小于数据宽度时，其地址增量采用数据宽度。
SRC_SIZE	Bit 25-24	R/W	**设置该位段用来匹配来源数据大小** b00 = 字节 b01 = 半字 b10 = 字 b11 = 保留
—	Bit 23-18	—	—
R_POWER	Bit 17-14	R/W	**在控制器重新仲裁前，该位段决定了 DMA 传输可以发生的次数** b0000: 发生 1 次 DMA 传输后仲裁 b0001: 发生 2 次 DMA 传输后仲裁 b0010: 发生 4 次 DMA 传输后仲裁 b0011: 发生 8 次 DMA 传输后仲裁 b0100: 发生 16 次 DMA 传输后仲裁 b0101: 发生 32 次 DMA 传输后仲裁 b0110: 发生 64 次 DMA 传输后仲裁 b0111: 发生 128 次 DMA 传输后仲裁 b1000: 发生 256 次 DMA 传输后仲裁 b1001: 发生 512 次 DMA 传输后仲裁 b1010-b1111: 发生 1024 次 DMA 传输后仲

			裁。由于最大的传输次数为 1024，由此表明 DMA 传输中无仲裁发生。
N_MINUS_1	Bit 13-4	R/W	在 DMA 周期开始前，该位段代表的是 DMA 周期中包含的 DMA 传输的总次数。使用者须根据所需要的 DMA 周期的大小来设置该位段。该 10 位值为 DMA 传输次数减 1。 b000000000: 1 次 DMA 传输 b000000001: 2 次 DMA 传输 b000000010: 3 次 DMA 传输 b000000011: 4 次 DMA 传输 b000000100: 5 次 DMA 传输 …… b111111111: 1024 次 DMA 传输 在进入仲裁流程前，控制器会立即更新该位段，可使控制器保存该 DMA 周期中还需完成的剩下的 DMA 传输次数。
NEXT_USEBURST	Bit 3	R/W	**当控制器在外设分散-聚集模式下，且使用交替数据结构，该位段控制 CHNL_USEBURST_SET[C]是否置 1。** 需要注意的是，在完成由交替数据结构指定的 DMA 周期前，如果剩余的传输次数小于 2^R，控制器会将 CHNL_USEBURST_SET[C]设置为 0。NEXT_USEBURST 的设定控制了是否需要再次修改 CHNL_USEBURST_SET[C]。 在外设分散-聚集 DMA 周期模式下，当使用交替数据结构的 DMA 周期完成后，会发生以下任一情况： 0: 控制器不改变 CHNL_USEBURST_SET[C]的值。当进行使用交替数据结构的 DMA 周期时，如果 CHNL_USEBURST_SET[C]为 0，则对于所有在外设分散-聚集模式下的剩余的 DMA 周期，控制器将响应 dma_req[ ]和 dma_sreq[ ]的请求。 1: 控制器将 CHNL_USEBURST_SET[C]置 1。因此，当进行使用交替数据结构的 DMA 周期时，对于所有在外设分散-聚集模式下的

			剩余的 DMA 周期，控制器仅响应 dma_req[ ] 的请求。
CYCLE_CTRL	Bit 2-0	R/W	**DMA 周期的工作模式：** b000: 停止。表明该数据结构无效。 b001 :基础。在进入仲裁流程前，控制器必须接收到一个新的请求才能完成 DMA 周期。 b010: 自动请求。在仲裁过程中，控制器在合适的通道上自动插入一个请求。这就意味着最初的请求已足够完成 DMA 周期。 b011: 乒乓。控制器使用一种数据结构完成一个 DMA 周期。当该周期完成后，控制器使用另一种数据结构完成一个 DMA 周期。在该周期完成后，且如果主控处理器已更新了原始数据结构，则控制器使用原始数据结构执行一次 DMA 周期。控制器将会继续进行 DMA 周期，直到读取到无效数据结构或者主机处理器将 CYCLE_CTRL 改为 b001 或 b010。 b100: 存储器分散-聚集。当控制器运行在存储器分散-聚集模式下，用户仅可在主要数据结构下使用该值。 b101: 存储器分散-聚集。当控制器运行在存储器分散-聚集模式下，用户仅可在交替数据结构下使用该值。 b110: 外设分散-聚集。当控制器运行在外设分散-聚集模式下，用户仅可在主要数据结构下使用该值。 b111: 外设分散-聚集。当控制器运行在外设分散-聚集模式下，用户仅可在交替数据结构下使用该值。

在 DMA 周期或者 2^RDMA 传输开始的时候，控制器会从寄存器中获取 CHANNEL_CFG 的值。当完成 2^R 或 N 次传输后，新的 CHANNEL_CFG 值会被存储到系统存储器中。

控制器不支持 DST_SIZE 和 SRC_SIZE 拥有两个不同的值。如果检测到两个值不匹配，SRC_SIZE 的值会被作为源数据和目标数据的大小。当下一次 N_MINUS_1 更新时，DST_SIZE 将被设置为 SRC_SIZE 的值。

当完成 N 次传输后，控制器会将 CYCLE_CTRL 设置为 b000，以此表明 CHANNEL_CFG 数据为无效，用来防止控制器重复相同的 DMA 传输。

13. 5. 2. 57 DMA 交替通道 4 来源数据结束指针寄存器 (ALT_CH04_SRC_DATA_END_PTR)

DMA 交替通道 4 来源数据结束指针寄存器 (ALT_CH04_SRC_DATA_END_PTR)																															
偏移地址：0x240																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRC_DATA_END_PTR<31:0>																															

SRC_ DATA_END_PTR	Bit 31-0	R/W	**来源数据结束指针** 包含一个指针，指向来源数据的最后一个地址。在执行DMA传输前，该存储地址写入来源数据的结束地址。当启动2^R次DMA传输时，控制器读取SRC_ DATA_END_PTR。

13. 5. 2. 58 DMA 交替通道 4 目标数据结束指针寄存器 (ALT_CH04_DST_DATA_END_PTR)

DMA 交替通道 4 目标数据结束指针寄存器 (ALT_CH04_DST_DATA_END_PTR)																															
偏移地址：0x244																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DST_DATA_END_PTR<31:0>																															

DST_ DATA_END_PTR	Bit 31-0	R/W	**目标数据结束指针** 包含一个指针，指向目标数据的最后一个地址。在执行 DMA 传输前，该存储地址写入目标数据的结束地址。当启动 2^R 次 DMA 传输时，控制器读取 DST_ DATA_END_PTR。

13. 5. 2. 59 DMA 交替通道 4 控制数据配置寄存器 (ALT_CH04_CHANNEL_CFG)

DMA 交替通道 4 控制数据配置寄存器 (ALT_CH04_CHANNEL_CFG)																															
偏移地址：0x248																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DST_INC <1:0>		DST_SIZE <1:0>		SRC_INC <1:0>		SRC_SIZE <1:0>								R_POWER <3:0>				N_MINUS_1 <9:0>										NEXT_USEBURST	CYCLE_CTRL <2:0>		

DST_INC	Bit 31-30	R/W	**目标地址增量** 地址增量取决于来源数据的宽度: 来源数据宽度 = 字节 b00 = 字节 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 来源数据宽度 = 半字 b00 = 保留 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 来源数据宽度 = 字 b00 = 保留 b01 = 保留 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 注: 当地址增量设置小于数据宽度时，其地址增量采用数据宽度。
DST_SIZE	Bit 29-28	R/W	**目标数据大小** 需要注意的是 DST_SIZE 和 SRC_SIZE 的值必须一致。
SRC_SIZE	Bit 27-26	R/W	**来源地址增量** 地址增量取决于来源数据的宽度: 来源数据宽度 = 字节

			b00 = 字节 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 来源数据宽度 = 半字 b00 = 保留 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 来源数据宽度 = 字 b00 = 保留 b01 = 保留 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 注: 当地址增量设置小于数据宽度时，其地址增量采用数据宽度。
SRC_SIZE	Bit 25-24	R/W	**设置该位段用来匹配来源数据大小** b00 = 字节 b01 = 半字 b10 = 字 b11 = 保留
—	Bit 23-18	—	—
R_POWER	Bit 17-14	R/W	**在控制器重新仲裁前，该位段决定了 DMA 传输可以发生的次数** b0000: 发生 1 次 DMA 传输后仲裁 b0001: 发生 2 次 DMA 传输后仲裁 b0010: 发生 4 次 DMA 传输后仲裁 b0011: 发生 8 次 DMA 传输后仲裁 b0100: 发生 16 次 DMA 传输后仲裁 b0101: 发生 32 次 DMA 传输后仲裁 b0110: 发生 64 次 DMA 传输后仲裁 b0111: 发生 128 次 DMA 传输后仲裁 b1000: 发生 256 次 DMA 传输后仲裁 b1001: 发生 512 次 DMA 传输后仲裁 b1010-b1111: 发生 1024 次 DMA 传输后仲

			裁。由于最大的传输次数为 1024，由此表明 DMA 传输中无仲裁发生。
N_MINUS_1	Bit 13-4	R/W	在 DMA 周期开始前，该位段代表的是 DMA 周期中包含的 DMA 传输的总次数。使用者须根据所需要的 DMA 周期的大小来设置该位段。该 10 位值为 DMA 传输次数减 1。 b000000000: 1 次 DMA 传输 b000000001: 2 次 DMA 传输 b000000010: 3 次 DMA 传输 b000000011: 4 次 DMA 传输 b000000100: 5 次 DMA 传输 …… b111111111: 1024 次 DMA 传输 在进入仲裁流程前，控制器会立即更新该位段，可使控制器保存该 DMA 周期中还需完成的剩下的 DMA 传输次数。
NEXT_USEBURST	Bit 3	R/W	**当控制器在外设分散-聚集模式下，且使用交替数据结构，该位段控制 CHNL_USEBURST_SET[C]是否置 1。** 需要注意的是，在完成由交替数据结构指定的 DMA 周期前，如果剩余的传输次数小于 2^R，控制器会将 CHNL_USEBURST_SET[C]设置为 0。NEXT_USEBURST 的设定控制了是否需要再次修改 CHNL_USEBURST_SET[C]。 在外设分散-聚集 DMA 周期模式下，当使用交替数据结构的 DMA 周期完成后，会发生以下任一情况: 0: 控制器不改变 CHNL_USEBURST_SET[C]的值。当进行使用交替数据结构的 DMA 周期时，如果 CHNL_USEBURST_SET[C]为 0，则对于所有在外设分散-聚集模式下的剩余的 DMA 周期，控制器将响应 dma_req[ ]和 dma_sreq[ ]的请求。 1: 控制器将 CHNL_USEBURST_SET[C]置 1。因此，当进行使用交替数据结构的 DMA 周期时，对于所有在外设分散-聚集模式下的

			剩余的 DMA 周期，控制器仅响应 dma_req[ ] 的请求。
CYCLE_CTRL	Bit 2-0	R/W	**DMA 周期的工作模式：** b000: 停止。表明该数据结构无效。 b001: 基础。在进入仲裁流程前，控制器必须接收到一个新的请求才能完成 DMA 周期。 b010: 自动请求。在仲裁过程中，控制器在合适的通道上自动插入一个请求。这就意味着最初的请求已足够完成 DMA 周期。 b011: 乒乓。控制器使用一种数据结构完成一个 DMA 周期。当该周期完成后，控制器使用另一种数据结构完成一个 DMA 周期。在该周期完成后，且如果主控处理器已更新了原始数据结构，则控制器使用原始数据结构执行一次 DMA 周期。控制器将会继续进行 DMA 周期，直到读取到无效数据结构或者主机处理器将 CYCLE_CTRL 改为 b001 或 b010。 b100: 存储器分散-聚集。当控制器运行在存储器分散-聚集模式下，用户仅可在主要数据结构下使用该值。 b101: 存储器分散-聚集。当控制器运行在存储器分散-聚集模式下，用户仅可在交替数据结构下使用该值。 b110: 外设分散-聚集。当控制器运行在外设分散-聚集模式下，用户仅可在主要数据结构下使用该值。 b111: 外设分散-聚集。当控制器运行在外设分散-聚集模式下，用户仅可在交替数据结构下使用该值。

在 DMA 周期或者 2^RDMA 传输开始的时候，控制器会从寄存器中获取 CHANNEL_CFG 的值。当完成 2^R 或 N 次传输后，新的 CHANNEL_CFG 值会被存储到系统存储器中。

控制器不支持 DST_SIZE 和 SRC_SIZE 拥有两个不同的值。如果检测到两个值不匹配，SRC_SIZE 的值会被作为源数据和目标数据的大小。当下一次 N_MINUS_1 更新时，DST_SIZE 将被设置为 SRC_SIZE 的值。

当完成 N 次传输后，控制器会将 CYCLE_CTRL 设置为 b000，以此表明 CHANNEL_CFG 数据为无效，用来防止控制器重复相同的 DMA 传输。

13. 5. 2. 60 DMA 交替通道 5 来源数据结束指针寄存器 (ALT_CH05_SRC_DATA_END_PTR)

DMA 交替通道 5 来源数据结束指针寄存器 (ALT_CH05_SRC_DATA_END_PTR)																															
偏移地址：0x250																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRC_DATA_END_PTR<31:0>																															

SRC_ DATA_END_PTR	Bit 31-0	R/W	**来源数据结束指针** 包含一个指针，指向来源数据的最后一个地址。在执行 DMA 传输前，该存储地址写入来源数据的结束地址。当启动 2^R 次 DMA 传输时，控制器读取 SRC_ DATA_END_PTR。

13. 5. 2. 61 DMA 交替通道 5 目标数据结束指针寄存器 (ALT_CH05_DST_DATA_END_PTR)

DMA 交替通道 5 目标数据结束指针寄存器 (ALT_CH05_DST_DATA_END_PTR)																															
偏移地址：0x254																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DST_DATA_END_PTR<31:0>																															

DST_ DATA_END_PTR	Bit 31-0	R/W	**目标数据结束指针** 包含一个指针，指向目标数据的最后一个地址。在执行DMA传输前，该存储地址写入目标数据的结束地址。当启动2^R次DMA传输时，控制器读取DST_ DATA_END_PTR。

13. 5. 2. 62 DMA 交替通道 5 控制数据配置寄存器 (ALT_CH05_CHANNEL_CFG)

DMA 交替通道 5 控制数据配置寄存器 (ALT_CH05_CHANNEL_CFG)

偏移地址：0x258

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DST_INC <1:0>		DST_SIZE <1:0>		SRC_INC <1:0>		SRC_SIZE <1:0>								R_POWER <3:0>				N_MINUS_1 <9:0>										NEXT_USEBURST	CYCLE_CTRL <2:0>		

DST_INC	Bit 31-30	R/W	**目标地址增量** 地址增量取决于来源数据的宽度: 来源数据宽度 = 字节 b00 = 字节 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 来源数据宽度 = 半字 b00 = 保留 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 来源数据宽度 = 字 b00 = 保留 b01 = 保留 b10 = 字 b11 = 无增量。地址仍然是 DST_DATA_END_PTR中包含的地址。 注: 当地址增量设置小于数据宽度时，其地址增量采用数据宽度。
DST_SIZE	Bit 29-28	R/W	**目标数据大小** 需要注意的是 DST_SIZE 和 SRC_SIZE 的值必须一致。
SRC_INC	Bit 27-26	R/W	**来源地址增量** 地址增量取决于来源数据的宽度: 来源数据宽度 = 字节

			b00 = 字节 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 来源数据宽度 = 半字 b00 = 保留 b01 = 半字 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 来源数据宽度 = 字 b00 = 保留 b01 = 保留 b10 = 字 b11 = 无增量。地址仍然是 SRC_DATA_END_PTR 中包含的地址。 注: 当地址增量设置小于数据宽度时，其地址增量采用数据宽度。
SRC_SIZE	Bit 25-24	R/W	**设置该位段用来匹配来源数据大小** b00 = 字节 b01 = 半字 b10 = 字 b11 = 保留
—	Bit 23-18	—	—
R_POWER	Bit 17-14	R/W	**在控制器重新仲裁前，该位段决定了 DMA 传输可以发生的次数** b0000: 发生 1 次 DMA 传输后仲裁 b0001: 发生 2 次 DMA 传输后仲裁 b0010: 发生 4 次 DMA 传输后仲裁 b0011: 发生 8 次 DMA 传输后仲裁 b0100: 发生 16 次 DMA 传输后仲裁 b0101: 发生 32 次 DMA 传输后仲裁 b0110: 发生 64 次 DMA 传输后仲裁 b0111: 发生 128 次 DMA 传输后仲裁 b1000: 发生 256 次 DMA 传输后仲裁 b1001: 发生 512 次 DMA 传输后仲裁 b1010-b1111: 发生 1024 次 DMA 传输后仲

			裁。由于最大的传输次数为 1024，由此表明 DMA 传输中无仲裁发生。
N_MINUS_1	Bit 13-4	R/W	在 DMA 周期开始前，该位段代表的是 DMA 周期中包含的 DMA 传输的总次数。使用者须根据所需要的 DMA 周期的大小来设置该位段。该 10 位值为 DMA 传输次数减 1。 b000000000: 1 次 DMA 传输 b000000001: 2 次 DMA 传输 b000000010: 3 次 DMA 传输 b000000011: 4 次 DMA 传输 b000000100: 5 次 DMA 传输 …… b111111111: 1024 次 DMA 传输 在进入仲裁流程前，控制器会立即更新该位段，可使控制器保存该 DMA 周期中还需完成的剩下的 DMA 传输次数。
NEXT_USEBURST	Bit 3	R/W	**当控制器在外设分散-聚集模式下，且使用交替数据结构，该位段控制 CHNL_USEBURST_SET[C]是否置 1。** 需要注意的是，在完成由交替数据结构指定的 DMA 周期前，如果剩余的传输次数小于 2^R，控制器会将 CHNL_USEBURST_SET[C]设置为 0。NEXT_USEBURST 的设定控制了是否需要再次修改 CHNL_USEBURST_SET[C]。 在外设分散-聚集 DMA 周期模式下，当使用交替数据结构的 DMA 周期完成后，会发生以下任一情况: 0: 控制器不改变 CHNL_USEBURST_SET[C]的值。当进行使用交替数据结构的 DMA 周期时，如果 CHNL_USEBURST_SET[C]为 0，则对于所有在外设分散-聚集模式下的剩余的 DMA 周期，控制器将响应 dma_req[ ]和 dma_sreq[ ]的请求。 1: 控制器将 CHNL_USEBURST_SET[C]置 1。因此，当进行使用交替数据结构的 DMA 周期时，对于所有在外设分散-聚集模式下的

			剩余的 DMA 周期，控制器仅响应 dma_req[ ] 的请求。
CYCLE_CTRL	Bit 2-0	R/W	**DMA 周期的工作模式：** b000: 停止。表明该数据结构无效。 b001: 基础。在进入仲裁流程前，控制器必须接收到一个新的请求才能完成 DMA 周期。 b010: 自动请求。在仲裁过程中，控制器在合适的通道上自动插入一个请求。这就意味着最初的请求已足够完成 DMA 周期。 b011: 乒乓。控制器使用一种数据结构完成一个 DMA 周期。当该周期完成后，控制器使用另一种数据结构完成一个 DMA 周期。在该周期完成后，且如果主控处理器已更新了原始数据结构，则控制器使用原始数据结构执行一次 DMA 周期。控制器将会继续进行 DMA 周期，直到读取到无效数据结构或者主机处理器将 CYCLE_CTRL 改为 b001 或 b010。 b100: 存储器分散-聚集。当控制器运行在存储器分散-聚集模式下，用户仅可在主要数据结构下使用该值。 b101: 存储器分散-聚集。当控制器运行在存储器分散-聚集模式下，用户仅可在交替数据结构下使用该值。 b110: 外设分散-聚集。当控制器运行在外设分散-聚集模式下，用户仅可在主要数据结构下使用该值。 b111: 外设分散-聚集。当控制器运行在外设分散-聚集模式下，用户仅可在交替数据结构下使用该值。

在 DMA 周期或者 2^RDMA 传输开始的时候，控制器会从寄存器中获取 CHANNEL_CFG 的值。当完成 2^R 或 N 次传输后，新的 CHANNEL_CFG 值会被存储到系统存储器中。

控制器不支持 DST_SIZE 和 SRC_SIZE 拥有两个不同的值。如果检测到两个值不匹配，SRC_SIZE 的值会被作为源数据和目标数据的大小。当下一次 N_MINUS_1 更新时，DST_SIZE 将被设置为 SRC_SIZE 的值。

当完成 N 次传输后，控制器会将 CYCLE_CTRL 设置为 b000，以此表明 CHANNEL_CFG 数据为无效，用来防止控制器重复相同的 DMA 传输。

第14章 通用异步收发器 (UART)

14. 1 概述

通用异步收发器(UART)提供了一个灵活的方式，使 MCU 可以与外部设备通过工业标准 NRZ 的形式实现全双工异步串行数据通信。UART 可以使用小数波特率产生器，提供了超宽的波特率设置范围。

UART 支持异步通信模式和半双工单线通信，也支持 LIN(本地互联网络)、智能卡协议、IrDA(红外数据协会)SIR ENDEC 规范和 modem 流控操作(CTS/RTS)，同时还支持多机通信方式。

支持使用 DMA 实现多缓冲区设置，从而能够支持高速数据通信。

14. 2 特性

- 全双工异步通信
- 兼容 16C550 标准
  - 可设置的通信波特率
- 支持自动波特率检测
- 十五个中断源
- 支持 DMA 使用
  - 利用 DMA 功能将收/发字节缓冲到保留的 SRAM 空间
- 内置小数波特率发生器，覆盖范围广
  - 在时钟频率为 48 MHz 下，可设置收发波特率高达 3 MBps，最低可达 732.4 Bps
  - 在时钟频率为 4 MHz 下，可设置收发波特率高达 250 KBps，最低可达 61 Bps
- 支持硬件自动流量控制功能(CTS、RTS)，可设置 RTS 控制触发点
  - Modem 硬件自动控制
  - RS485 发送使能控制
- 支持 CTS 唤醒功能
- 支持 IrDA SIR 模式
  - 支持 3/16 位宽功能
- 支持 RS-485
  - 支持 9-位模式
  - 多处理器通信
- 可设置的串行接口特性
  - 可设置数据位个数，即 5、6、7、8、9 位，9 位用于 RS485 模式

- 校验位，包含奇、偶、无校验
- 停止位长度可设置: 1，2 位，在智能卡模式中支持 0.5，1.5 位
- 支持设置高位在前或低位在前

◆ 单线半双工通讯

◆ 可配置交换 TX/RX 引脚

◆ LIN 主机的断路信号发送功能和 LIN 从机的断路信号检测功能
- UART 设置为 LIN 模式时，有 13 位的断路信号产生器与断路信号检测功能

◆ 智能卡模式
- 支持 ISO/IEC7816-3 标准定义的 T=0 和 T=1 智能卡异步协议
- 智能卡使用的 1.5 停止位长度

◆ 支持 ModBus 通讯
- CR/LF 字节检测
- 超时检测功能

◆ 噪声侦测

14. 3 结构图

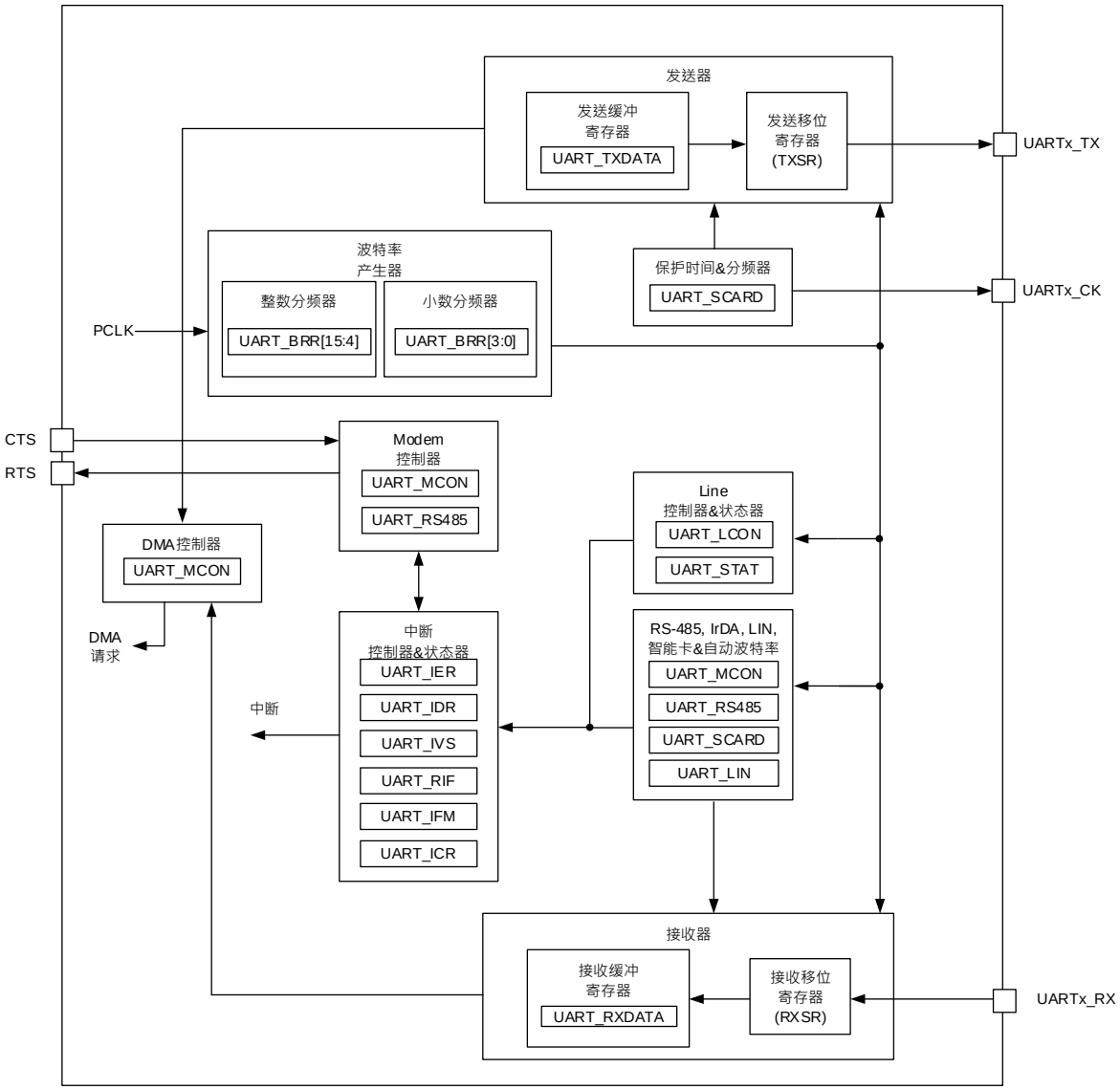


图 14-1 UART 框图

14. 4 功能描述

任何 UART 双向通讯要求最少有两个引脚：接收数据输入(RX)和发送数据输出(TX)

- RX: 接收数据输入，是串行数据的输入串口。使用过采样方式完成数据恢复，以区别输入数据和噪声。
- TX: 数据发送输出。当发送器被关闭，引脚回到其 I/O 串口配置状态。当发送器开启，但不发送数据时，TX 脚为高电平输出。在单线半双工通信和智能卡模式中，这个串口既用于发送数据也用于接收数据。

通过这些引脚，串行数据用数据帧的形式发送和接收：

- 在发送和接收之前为空闲状态
- 起始位
- 资料可通过设置 UART_LCON 寄存器的 MSB 位
- 1, 2 个停止位表明帧的结束(0.5, 1.5 个停止位用于智能卡模式)
- 采用小数波特率产生器，整数 12 位与小数 4 位
- 一个状态寄存器(**UART_STAT**)
- 分开的接收和发送数据寄存器(**UART_RXDATA**, **UART_TXDATA**)
- 一个波特率寄存器(**UART_BRR**)-12 位整数和 4 位小数。
- 一个智能卡寄存器(**UART_SCARD**)用于智能卡模式。
- 一个接收时间寄存器(**UART_RTOR**)侦测输入信号时间并产生中断

下面的引脚用于智能卡模式：

CK: 时钟输出。智能卡模式中，CK 引脚会向智能卡提供时钟。

下列引脚用于支持硬件流量控制模式：

CTS: 低发送，当高电平时作为发送阻止信号。

RTS: 请求发送，表明 UART 已经准备好接收数据(低的时候)。

下列引脚用于 RS485 驱动开启控制：

DE: 驱动开启将开启外部收发器的发送模式。

注：DE 和 RTS 共享同一个外部引脚。

14. 4. 1 具体功能配置

UART modes/feature	UART1/2	UART3/4
Modem 的硬件控制	v	v
使用 DMA 实现连续通信	v	v
多机通信模式	v	v
智能卡模式	v	
单线半双工模式	v	
IrDA SIR 模块	v	
LIN 模式	v	
超时检测功能	v	v
Modbus 通信	v	v
自动波特率检测模式	v	v
RS485 的驱动开启信号	v	v
UART 数据宽度	5、6、7、8、9 Bits	

表 14-1 UART1~4 具体功能配置

注: v: 支持，支持 RS485 9bit 模式

14. 4. 2 功能描述

配置 **UART_LCON** 寄存器中的 DLS 位可选择 5、6、7、8 位字长。

默认设置中，发送和接收的起始位都是低电平。而停止位都是高电平。

这个逻辑可以在 **UART_LCON** 寄存器的 TXINV 与 RXINV 位设置为反向。

- 8 位字符宽度: DLS[1:0]=00
- 7 位字符宽度: DLS[1:0]=01
- 6 位字符宽度: DLS[1:0]=10
- 5 位字符宽度: DLS[1:0]=11

注：第 9 位使用于 RS485 多机通信模式

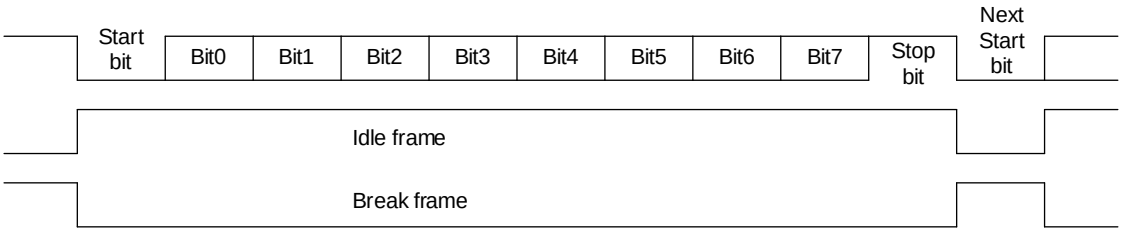
空闲符号被视为完全由'1’组成的完整的数据帧，后面跟着包含了数据的下一帧的开始位('1’的位数也包括了停止位的位数)。

断路符号被视为在一个帧周期内全部收到'0'(包括停止位期间，也是'0')。在断路帧结束时，发送器会再插入 2 个停止位。

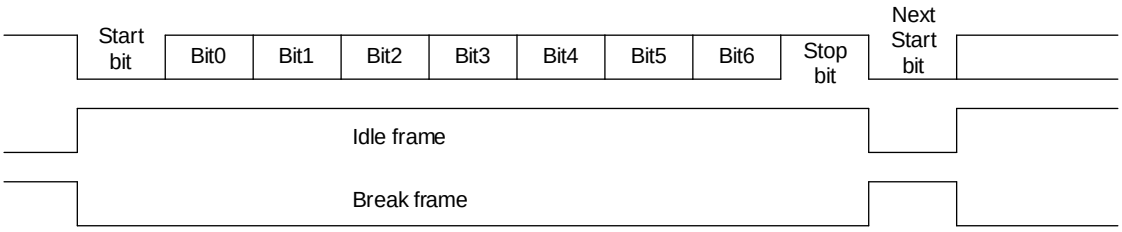
发送和接收由一个共享的波特率产生器驱动，当发送器和接收器的开启位分别设置为 1 时，分别为其产生时钟。

下面是每个模块的详细说明。

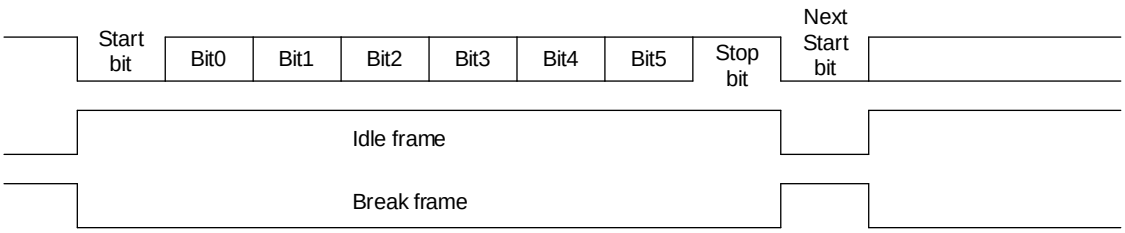
8个字长（DLS = 00），1个停止位



7个字长（DLS = 01），1个停止位



6个字长（DLS = 10），1个停止位



5个字长（DLS = 11），1个停止位

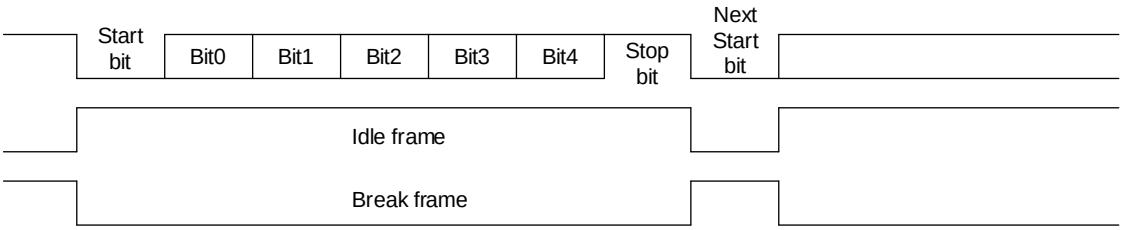


图 14-2 数据宽度设置

14. 4. 3 发送器

发送器根据 **UART_LCON** 寄存器的 DLS 位选择发送 5、6、7、8 位的数据，当写入 **UART_TXDATA** 寄存器，数据将存入移位寄存器中并将数据在 TX 引脚上输出。

在 UART 发送期间，在 TX 引脚上首先发送数据为最低有效位。在此模式中，**UART_TXDATA** 寄存器充当了一个内部总线和发送移位寄存器之间的缓冲器(TXSR)。

在发送每个字节之前有一个低电平的起始位，在字节发送结束后发送停止位，设置 **UART_LCON** 寄存器的 STOP 位选择停止位数。

UART 支持多种停止位的选择: 0.5,1,1.5 和 2 个停止位(智能卡模式支持 0.5 与 1.5 停止位)。

- 0.5 个停止位：在智能卡模式中发送和接收数据时使用。
- 1 个停止位：停止位的位数的默认值。
- 1.5 个停止位：在智能卡模式中发送和接收数据时使用。
- 2 个停止位：可用于普通 UART 模式、以及调制解调器模式。

注：

1. 在写入 UART_TXDATA 寄存器数据前必须先等待 UART_STAT 寄存器中的 TFEMPTY 位为 1
2. 开启 TX 开关后，数据才能在 TX 脚上输出与停止位，随着每个字节发送，停止位的位数可以通过 UART_LCON 寄存器中的 STOP 位进行设置。

空闲帧包括了停止位。

断路帧可通过 **UART_MCON** 寄存器的 BKREQ 位产生 10 位低电平(当 DLS=00 时)，9 位低电平(当 DLS=01 时)，8 位低电平(当 DLS=10 时)或者 7 位低电平(当 DLS=11 时)，后跟 2 个停止位。

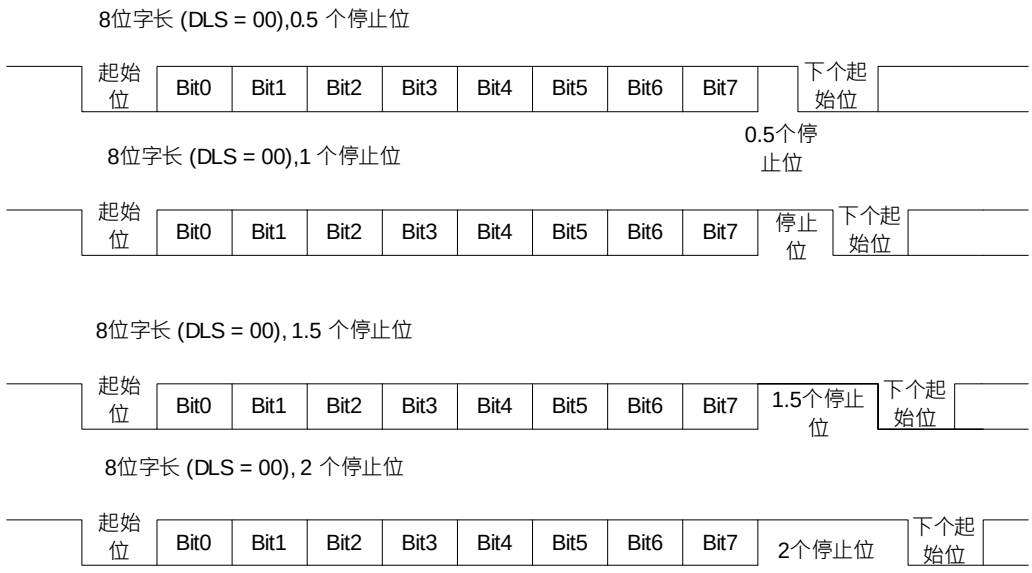


图 14-3 配置停止位

配置步骤：

1. 设置 **UART_LCON** 寄存器中的 DLS 位配置字长。
2. 设置 **UART_LCON** 寄存器中的 STOP 位配置停止位的位数。
3. 设置 **UART_LCON** 寄存器中的 PE 与 PS 位配置校验控制开关与极性。
4. 设置 **UART_BRR** 寄存器选择希望的波特率。
5. 如果采用多缓冲器通信，设置 **UART_MCON** 寄存器中的 TXDMAEN 位为 1。按多缓冲器通信中的描述设置 DMA 寄存器。
6. 设置 **UART_LCON** 寄存器中的 TXEN 位，开启发送器。
7. 把要发送的数据写进 **UART_TXDATA** 寄存器(此动作将清除 **UART_STAT** 寄存器中的 TFEMPTY 位)。
8. 在 **UART_TXDATA** 寄存器中写入数据字时，要等待 **UART_STAT** 寄存器中的 TFEMPTY 位为 1。当需要关闭 UART，需要确认传输结束。**UART_STAT** 寄存器中的 TSBUSY 位为 0，避免破坏最后一次传输。

注: 当 UART_LCON 寄存器的 TXEN 与 RXEN 位为 1 时，无法写入 UART_LCON 寄存器与 UART_BRR 寄存器

14. 4. 4 接收器

14. 4. 4. 1 消抖电路

在 UART_RX 引脚上配置了一个防抖动电路，设置 UART_LCON 寄存器中的 DBCEN 位开启功能，输入信号须维持至少 8 个高位或低位，才能使得信号反应至 UART 中，反之则被忽略，如下叙述。

在下图中，SYNC0 是指输入信号由系统时钟一次采样;SYNC1 是指 SYNC0 被系统时钟一次采样；SYNC2 表示 SYNC1 由系统时钟一次采样。SYNC0、SYNC1 和 SYNC2 可以表示成 x[n]×Ts，x[n+1]×Ts 和 x[n+2]×Ts。Ts 是系统时钟周期，n 是采样时间。如果关闭防抖动模块，时间就可以表示为 x[n+1]×Ts。

如果开启防抖动模块，SYNC2 信号将进入去抖电路，那么它将被采样与计数(用户设置样本频率和计数时间值)。时间可表示为[(SPT+1)×(FILTCNT+1)]×Ts。SPT 是采样频率值，FILTCNT 是计数次数。当 SYNC1 和 SYNC2 不相等时，计数值将被清零。如果计数值溢满 FILTCNT 寄存器，防抖动模块将输出信号。

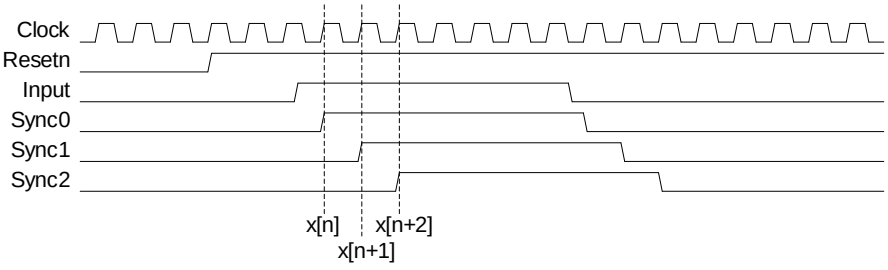


图 14-4 防抖动波形

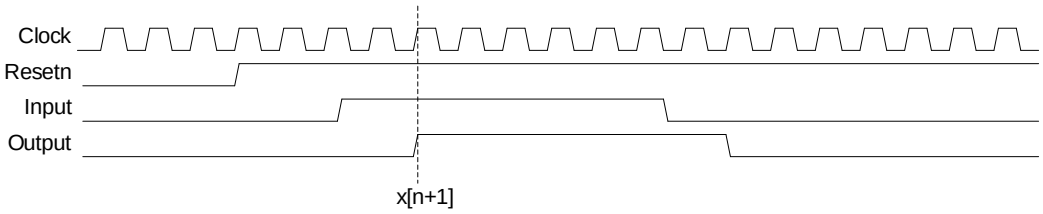


图 14-5 防抖动输出

14. 4. 4. 2 起始位侦测

接收器根据 **UART_LCON** 寄存器中 DLS 位的状态接收 5、6、7、8 位的数据字。

起始位侦测 在 UART 中，如果辨认出一个特殊的采样序列，那么就认为侦测到一个起始位。该序列为：1 1 1 0 X 0 X 0 X 0 0 0 0 X X X X X X X

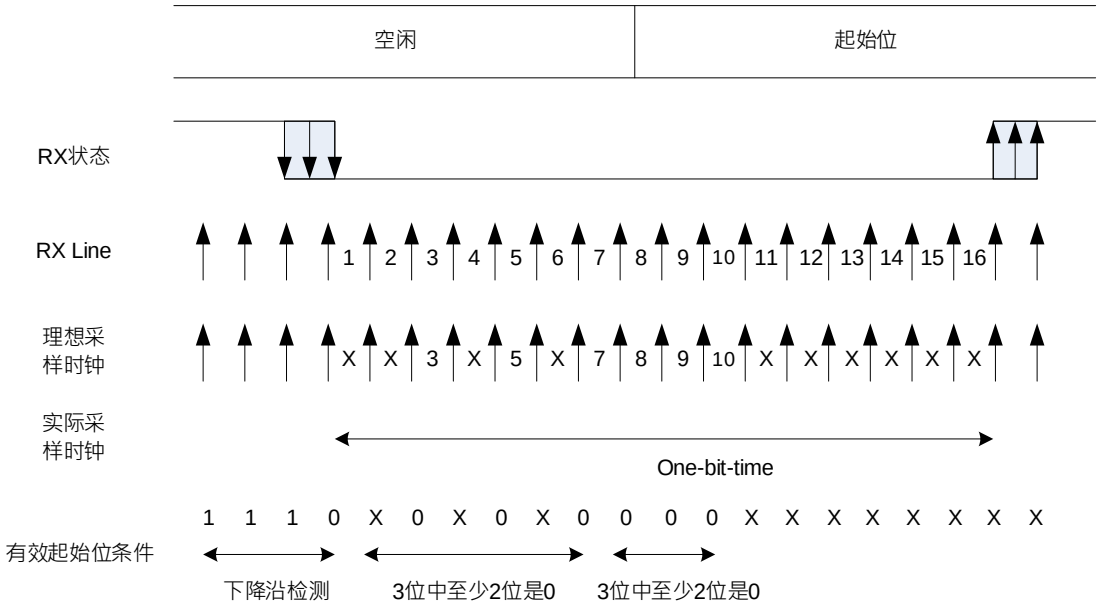


图 14-6 起始位侦测

注:

1. 如果该序列不完整，那么接收端将退出起始位侦测并回到空闲状态(不设置标志位)开始等待下降沿。
2. 如果 3 个采样点都为'0'(在第 3、5、7 位的第一次采样，和在第 8、9、10 的第二次采样都为'0')，则确认收到起始位。
3. 如果两次 3 个采样点上有 2 个是'0'(第 3、5、7 位的采样点和第 8、9、10 位的采样点)，那么起始位仍然是有效的。如果不能满足这个条件，则中止起始位的侦测过程，接收器会回到空闲状态。
4. 如果两次 3 个采样点上有 2 个是'1'(第 3、5、7 位的采样点和第 8、9、10 位的采样点)，那么起始位是无效的，将退出起始位侦测并回到空闲状态，并会设置噪声标志位。

配置步骤：

1. 设置 **UART_LCON** 寄存器中的 DLS 位配置字长。
2. 设置 **UART_LCON** 寄存器中的 STOP 位配置停止位的位数。
3. 设置 **UART_LCON** 寄存器中的 PE 与 PS 位配置校验控制开关与极性。
4. 设置 **UART_BRR** 寄存器选择配置的波特率。
5. 如果采用多缓冲器通信，设置 **UART_MCON** 寄存器中的 RXDMAEN 位为 1。根据多缓冲器通信中的描述设置 DMA 寄存器。
6. 设置 **UART_LCON** 寄存器中的 RXEN 位，这将开启接收器，使它开始寻找起始位。

当一个字节被接收到时，**UART_STAT** 寄存器的 RFNEMPTY 位被设置为 1。它表明移位寄存器的内容被转移到 RX 中。换句话说，资料已经被接收并且可以被读出(包括与之有关的错误标志)。

在接收期间如果检测到帧错误，噪音或溢出错误，错误标志将被设置为 1。同时 RXBERR 位也会和 RFNEMPTY 位一起被设置为 1。 在多缓冲器通信时，RFNEMPTY 在接收 1 个字节后被设置为 1，并由 DMA 对数据寄存器的读取而清除。

RFNEMPTY 位必须在下一字节接收结束前被清零，以避免溢出错误。

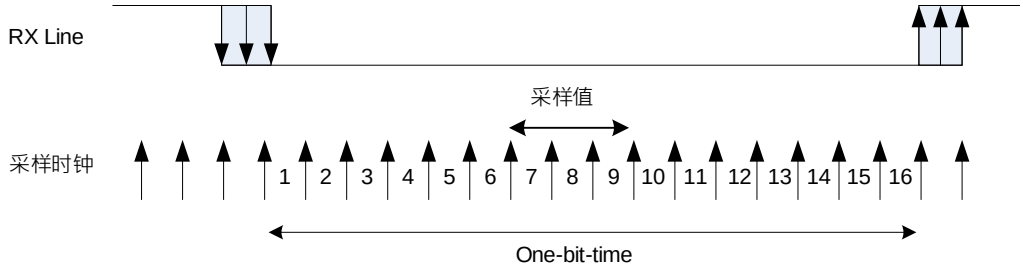


图 14-7 数值采样

帧错误

当以下情况发生时检测到帧错误：

由于没有同步上或大量噪音的原因，停止位没有在预期的时间上接收和检测出来。

当帧错误被检测到时：

1. FERR 位被硬件设置为 1
2. 此时读取的 **UART_RXDATA** 寄存器数据可能有错。
3. 寄存器 **UART_STAT** 中的 FERR 位显示当前从读取的 **UART_RXDATA** 寄存器是否为帧错误。
4. 寄存器 **UART_RIF** 中的 RXBERR 位则会在接收的过程中被设置为 1，若 **UART_IER** 中的 RXBERR 位为 1 则会产生中断。

奇偶位错误

当以下情况发生时检测到奇偶性错误：

由于没有同步上或大量噪音的原因，奇偶位没有在预期的时间上接收和检测出来。

当奇偶位错误被检测到时：

1. PERR 位被硬件设置为 1
2. 此时读取的 **UART_RXDATA** 寄存器数据可能有错。
3. 寄存器 **UART_STAT** 中的 PERR 位显示当前从读取的 **UART_RXDATA** 寄存器是否为奇偶位错误。
4. 寄存器 **UART_RIF** 中的 RXBERR 位则会在接收的过程中被设置为 1，若 **UART_IER** 中的 RXBERR 位为 1 则会产生中断。

断路错误

当以下情况发生时检测到断路错误：

由于没有同步上或大量噪音的原因，数据与停止位为 0 且没有在预期的时间上接收和检测出来。

当断路错误被检测到时：

1. BKERR 位被硬件设置为 1
2. 此时读取的 **UART_RXDATA** 寄存器数据可能有错。
3. 寄存器 **UART_STAT** 中的 BKERR 位显示当前从读取的 UART_RXDATA 寄存器是否为断路错误。
4. 这个错误并不会产生中断。

溢出错误

当以下情况发生时检测到溢出错误：

由于 RX 还没有被读取，而又接收到一个字节，则发生溢出错误。

当溢出错误被检测到时：

1. RFOERR 位被硬件设置为 1
2. **UART_RXDATA** 内容将不会丢失，读取 **UART_RXDATA** 寄存器仍能得到先前的数据。
3. 移位寄存器中以前的内容将被覆盖，随后接收的数据将丢失。
4. 寄存器 **UART_RIF** 中的 RFOERR 位则会在接收的过程中被设置为 1，若 **UART_IER** 中的 RFOERR 位为 1 则会产生中断。

采样值	采样位数值
000	0
001	0
010	0
011	1
100	0
101	1
110	1
111	1

表 14-2 采样资料的噪音检测数值

14. 4. 5 状态寄存器

在 UART 中配置了 11 种 UART 状态提供使用者使用，叙述如下

- PERR (Parity error):
  当所接收的字节没有正确的校验位，产生奇偶位错误。
- FERR (Frame error):
  当接收到的字节停止位为 0 时，产生帧错误。
- BKERR (Break error):
  当接收到的字节与字节停止位为 0 时，产生断路错误。
- CTSSTA (CTS status):
  清除发送，此位为显示 CTS 引脚上的输入状态。当 CTSSTA 位为 0，表示调制解调器和数据设备已准备好与 UART 进行数据交换。
- RSBUSY (RX shifter register busy):
  当此位为 1 表示接收器正在接收字节，为 0 则为完成接收。
- RFNEMPTY (RX not empty):
  当此位为 1 表示 RX 已接收 1 个字节。
- RFOERR (RX overrun):
  当此位为 1 表示 RX 已有满字节，且又再接收 1 个字节，此时 RX 字节不会丢失，接收的字节则会被丢失。
- RFUERR (RX underrun):
  当此位为 1 表示 RX 内无任何字节，且又被读取。
- TSBUSY (TX shifter register busy):
  当此位为 1 表示发送器正在传送字节，为 0 则为传送完成，当写入第一个数据至 UART_TXDATA 寄存器就会使得 TSBUSY 位为 1。
- TFEMPTY (TX empty):
  当此位为 1 表示 TX 内无任何字节，为 0 则为准备发送 1 个以上的字节。
- TFOERR (TX overrun):
  当此位为 1 表示 TX 内已经满字节，且又在写入 1 个字节，此时 TX 字节不会丢失，写入的字节则会被丢失。

14. 4. 6 波特率产生器

设置 **UART_BRR** 寄存器配置接收器和发送器的波特率。

- UARTDIV=UART.BRR
- TX/RX baud = f_{PCLK} / UARTDIV

注:
1. 当 UART_LCON 寄存中的 RXEN 与 TXEN 为 1 时，UART_BRR 寄存器无法被写入。
2. 当 BRR[15:4]=0 时，无法运行

从 UART_BRR 寄存器值中推断出 UART 波特率

- 在 4 MHz 下，为了得到 115200 波特
  - UARTDIV = 4000000/115200 = 34.7
  - BRR[15:0] = UARTDIV = 35d = 23h (四舍五入)
- 在 8 MHz 下，为了得到 9600 波特
  - UARTDIV = 8000000/9600 = 833.33
  - BRR[15:0] = UARTDIV = 833d = 341h (四舍五入)
- 在 16 MHz 下，为了得到 1200 波特
  - UARTDIV = 16000000/1200 = 13333.33
  - BRR[15:0] = UARTDIV = 13333.33d = 3415h (四舍五入)
- 在 24 MHz 下，为了得到 460800 波特
  - UARTDIV = 24000000/460800 = 52.08
  - BRR[15:0] = UARTDIV = 52d = 34h (四舍五入)
- 在 48 MHz 下，为了得到 115200 波特
  - UARTDIV = 48000000/115200 = 416.66
  - BRR[15:0] = UARTDIV = 417d = 1A1h (四舍五入)
- 在 48 MHz 下，为了得到 921600 波特
  - UARTDIV = 48000000/921600 = 52.08
  - BRR[15:0] = UARTDIV = 52d = 34h (四舍五入)

预期波特率	实际波特率	BRR[15:0]	%误差
734Bps	733KBps	0xFFCC	0
1.2KBps	1.2KBps	0x9C40	0
2.4KBps	2.4KBps	0x4E20	0
4.8KBps	4.8KBps	0x2710	0
9.6KBps	9.6KBps	0x1388	0
19.2KBps	19.2KBps	0x9C4	0
38.4KBps	38.4KBps	0x4E2	0
57.6KBps	57.62KBps	0x341	0.03
115.2KBps	115.11KBp	0x1A1	0.08
230.4KBps	230.77KBp	0xD0	0.16
460.8KBps	461.54KBp	0x68	0.16
921.6KBps	923.07KBp	0x34	0.16
1.5MBps	1.5MBps	0x20	0
2MBps	2MBps	0x18	0
3MBps	3MBps	0x10	0

表 14-3 时钟为 48MHz 下，设置波特率时的误差计算

14. 4. 7 自动波特率侦测

UART 可以根据接收到的一个字节来检测和自动设置 **UART_BRR** 寄存器的值。自动波特率检测用于以下两种情况下：

- 通信速度不可知的情况下
- 使用低精度时钟源时，需要在不测量时钟偏差的条件下调整波特率的时候

时钟源的频率必须和预期的波特率保持相对的比例(过采样率为 16，并且波特率处于 f_{PCLK}/65535 和 f_{PCLK}/16 之间)。

在开启自动波特率检测时，必须先确认字节的内容。根据不同的字节内容选择模式，能够通过 **UART_MCON** 寄存器中的 ABRMOD 位进行选择。具体是：

- 模式 0(0x00)：波特率在 UART 的 RX 引脚的两个连续的下降沿时间测量(起始位的下降沿和最低数据位的下降沿(LSB))
- 模式 1(0x01)：波特率在 UART 的 RX 引脚下降沿和后续上升沿时间(起始位的长度)测量。
- 模式 2(0x10)：波特率在 UART 的 RX 引脚下降沿和后续上升沿时间(起始位的长度加上 bit[0]的长度)测量(e.g. 0xFE)。

设置 **UART_MCON** 寄存器中的 ABREN 位为 1，开启自动波特率检测功能。UART 在 RX 上等待第一个字节过来。当自动波特率操作结束后，**UART_RIF** 寄存器中的 ABEND 位会被硬件自动设设置为 1，若 **UART_IER** 寄存器中的 ABEND 位为 1 则会产生中断。

如果线路噪声严重，不能保证得到的波特率是准确的。这时 BRR 值可能是错的或者 ABEND 位会被设置为 1。在通信速度超出自动波特率检测范围(位长度不在 0x10 到 0xFFFF 个时钟周期

之间)时也会发生这种情况。

在此模式中配置了两个中断，分别为侦测超时与侦测结束。

在软件并未清除 **UART_MCON** 寄存器中的 ABREN 的情况下，UART 计数器会持续计数直到 0xFFFF 后，硬件会自动将 ABREN 清除，并设置 **UART_RIF** 寄存器中的 ABTO 位设置为 1，如果开启中断，则会产生 ABTO 中断。

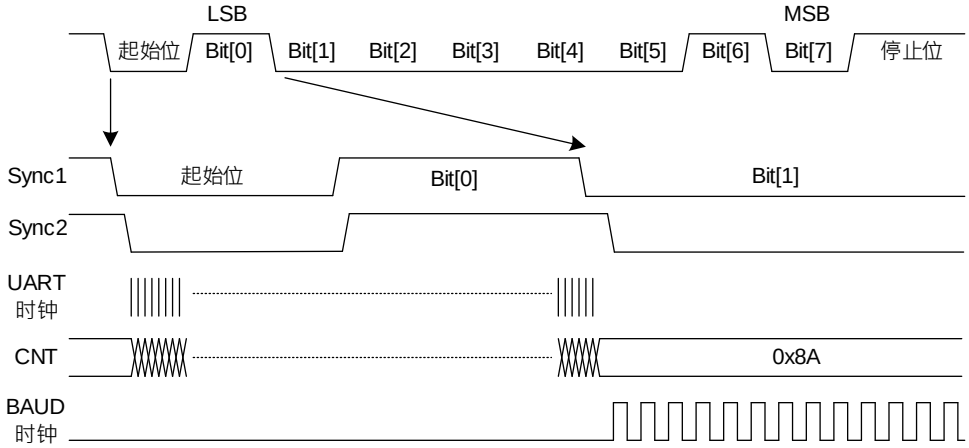


图 14-8 自动波特率侦测模式 0

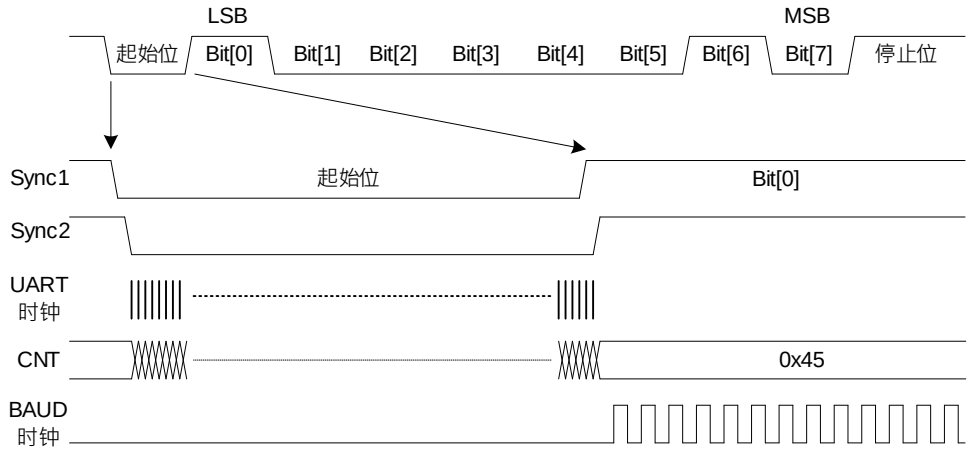


图 14-9 自动波特率侦测模式 1

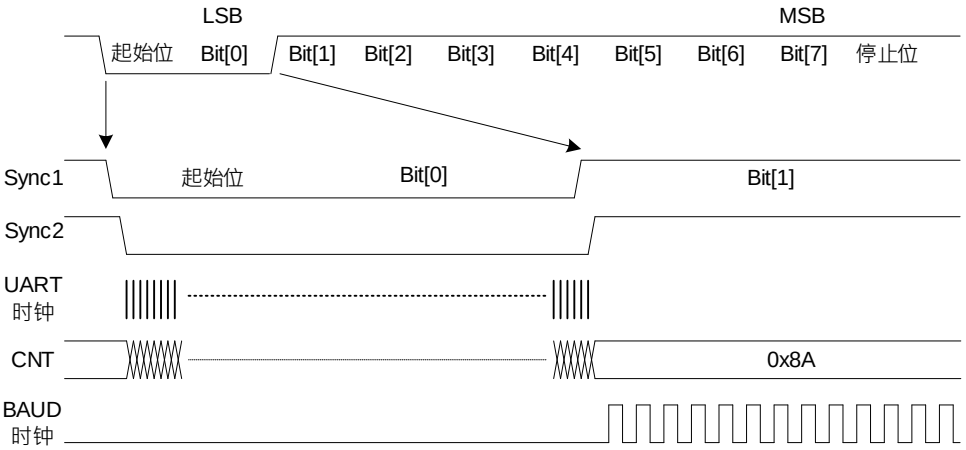


图 14-10 自动波特率侦测模式 2

14. 4. 8 自动流量控制

如果开启自动流控制，接收器和发送器会通过 UARTx_RTS 和 UARTx_CTS 引脚去控制 UART 的接收(RX)和发送(TX)。

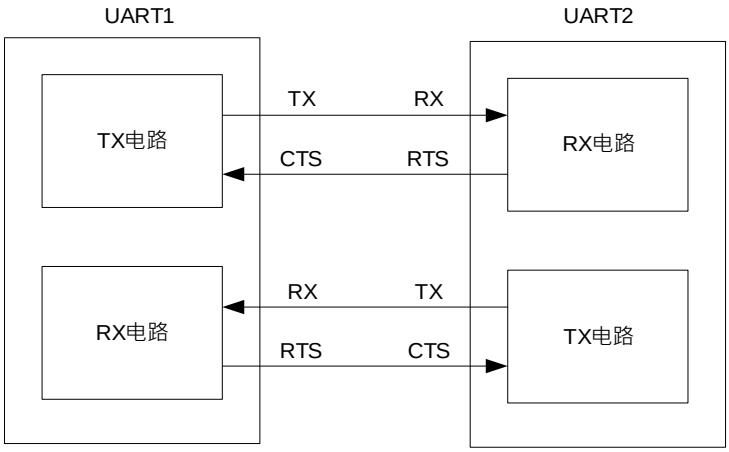


图 14-11 自动流量控制框图

14. 4. 8. 1 RTS 流量控制

当开启自动 RTS 控制时(AFCEN=1)，当 UART 接收器准备好接收新数据，便会将 RTS 转为有效状态(输出低电平)。当接收器已满时，会将 RTS 转为无效状态(输出高电平)，表示发送过程会在当前帧结束后停止。

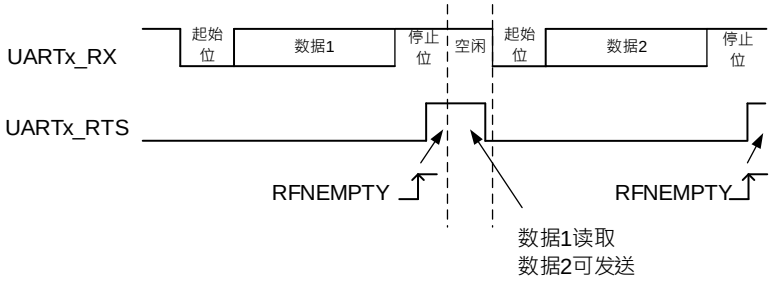


图 14-12 自动 RTSn 控制

14. 4. 8. 2 CTSn 流量控制

当开启自动 CTS 控制时(AFCEN=1)，发送器会在发送下一帧前检查 CTS。如果 CTS 为有效状态(输入低电平)，则会发送下一数据(假设数据已准备好发送，即 TFEMPTY=0);否则不会进行发送。如果在发送过程中 CTS 转为无效状态(输入高电平)，则当前发送完成之后停止发送器。只要 CTS 发生变化，**UART_STAT** 寄存器的 CTSSTA 位便会由硬件自动设置为 1 或 0。这表示接收器是否已准备好进行通信。如果 **UART_IER** 寄存器中的 DCTS 位为 1 则会产生中断。

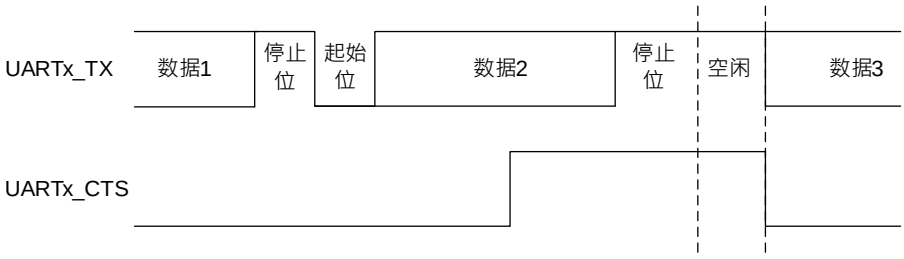


图 14-13 自动 CTSn 控制

14. 4. 8. 3 RS485 驱动开启(DE)

当开启 RS485 驱动开启功能(**UART_RS485** 寄存器的 AADEN=1 或 AADNEN=1)。它允许用户通过 DE(驱动开启)信号来开启外部收发器的控制端。延迟时间是在发送最后一个字节的停止位和释放 DE 信号之间插入延迟，这个时间通过 **UART_RS485** 寄存器中的 DLY 位设置。而 DE 信号的极性则可以通过 UART_RS485 寄存器中的 AADINV 位中设置并进行选择极性。

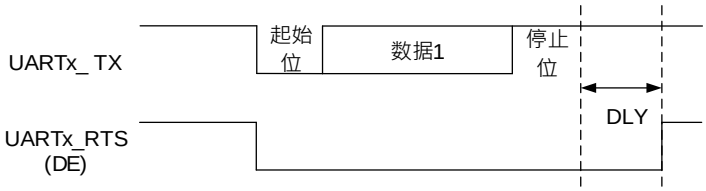


图 14-14 驱动开启当 AADINV=0

14. 4. 9 Modbus 通信

UART 提供对 Modbus/RTU 和 Modbus/ASCII 协议实现的基本支持。Modbus/RTU 是一个半双工的块式传输协议。协议的控制部分(地址检测，块完整性控制和命令解析)必须由软件来完成。UART 提供对块尾的基本支持检测，无需软件的经常性介入。

- Modbus/RTU

  这个模式中，一个块结束为一个超过 2 个字节长度的空闲状态。通过设置一个超时长度来实现功能。

  超时功能和相应的中断必须通过 **UART_RTOR** 寄存器中的 RTOEN 位和 **UART_IER** 寄存器中的 RXTO 位来开启。**UART_RTOR** 寄存器中的 RTO 位要填入一个与超时长度相当的数字(例如 2 个字节长度为 22 个位长)。当接收线路保持空闲阶段达到这个长度时，在最后一个停止位被收到之后，会产生一个中断，表示当前的块接收已经完毕。

- Modbus/ASCII

  在这个模式，一个块结束通过特定(CR/LF)字节侦测。通过字节匹配功能实现这个机制。将 LF 的 ASCII 码写到 ADD[7:0]区域，设置 **UART_IER** 寄存器中的 ADDRM 位为 1 开启功能，那么软件就会在收到 LF 字节后或者能够在 DMA 缓冲区中找到 CR/LF 字节时得到通知。

14. 4. 10 校验控制

设置 **UART_LCON** 寄存器中的 PE 位为 1 开启校验控制(发送时生成一个校验位，接收时进行校验位检查)。根据 DLS 位配置的帧长度，下表中列出可能的 UART 帧格式。

DLS[1:0]	PE	UART 帧
00	0	起始位+8 位数据+停止位
00	1	起始位+8 位数据+校验位+停止位
01	0	起始位+7 位数据+停止位
01	1	起始位+7 位数据+校验位+停止位
10	0	起始位+6 位数据+停止位
10	1	起始位+6 位数据+校验位+停止位
11	0	起始位+5 位数据+停止位
11	1	起始位+5 位数据+校验位+停止位

表 14-4 帧格式

- 奇校验

  校验位为一帧中的 8、7、6 或 5 个 LSB 位以及校验位'1’的个数为奇数。

  例如: 数据=00110101，有 4 个'1'，如果选择奇校验(在 **UART_LCON** 寄存器中的 PS 位为 0)，校验位将是'1'。

- 偶校验

  校验位为一帧中的 8、7、6 或 5 个 LSB 位以及校验位'1’的个数为偶数。

  例如: 数据=00110101，有 4 个'1'，如果选择偶校验(在 **UART_LCON** 寄存器中的 PS 位

为 1)，校验位将是'0'。

- 接收时的校验检查
  如果校验检查失败，**UART_STAT** 寄存器中的 PERR 位会被设置为 1，如果 UART_IER 寄存器中的 RXBERR 位为 1 则会产生中断。

- 发送时的校验生成
  设置 UART_LCON 寄存器的 PE 位为 1 时，写进数据寄存器的数据的 MSB 位由校验位替换后发送出去(选择奇校验奇数个'1'(PS=0)或选择偶校验偶数个'1'(PS=1))

14. 4. 11 多处理器通信

设置 DLS 位为 8 位字长(第 9bit 为判断地址或数据)
设置 **UART_RS485** 寄存器的 AADEN 位为 1 以进入模式。
设置 **UART_RS485** 寄存器的 ADDR 位配置匹配地址

可以将多个 UART 连接成一个网络来实现多机通信。例如某个 UART 设备可以是主 UART，它的 TX 输出和其他 UART 从设备的 RX 输入相连接；UART 从设备各自的 TX 输出在逻辑上通过与运算连在一起，并且和主设备的 RX 输入相连接。

在多处理器配置中，通过特定地址的将接收器开启，来接收随后的数据，这样就可以减少由未被寻址接收器的参与带来的多余的 UART 服务开销。

未被寻址的设备可开启静默功能进入静默模式。设置 UART_RS485 寄存器的 AADEN 位为 1 开启静默模式功能。

在这个模式中，如果 MSB 是 1，该字节被认为是地址，否则被认为是数据。在一个地址字节中，目标接收器的地址被放在 UART_RS485 寄存器的 ADDR 位。

如果接收到的字节与它的设置地址不匹配时，UART 进入静默模式。当 UART 进到静默模式后，接收字节时既不会动 UART_RIF 寄存器的 RFNEMPTY 位也不会产生中断或发出 DMA 请求。

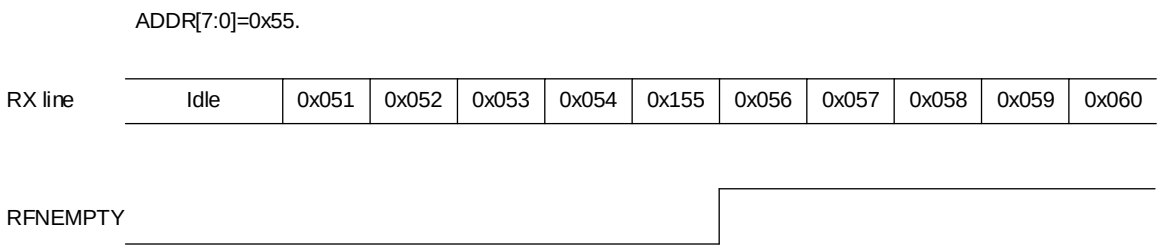


图 14-15　使用地址标示侦测模式

14. 4. 12 LIN 模式

- LIN 发送

  和普通的 UART 发送相同，但包含下列区别:

  设置 DLS 位为 8 位字长

  设置 **UART_LIN** 寄存器的 LINEN 位为 1 以进入 LIN 模式。设置 **UART_LIN** 寄存器的 LINBKRQ 位为 1 将发送 13 位'0’作为断路符号。然后发两位'1'，以检测下一个开始位。

- LIN 接收

  当 LIN 模式开启时(**UART_LIN** 寄存器的 LINEN 位为 1)，检测断路符号电路自动被开启。该检测独立于 UART 接收器。不管是在空闲状态还是在发送数据期间，断路符号只要一出现就能被检测到。

  一旦接收器被开启(LCON 寄存器的 RXEN 位为 1)，电路就开始检测 RX 上的起始信号。检测起始位的方法和检测断路符号或数据是一样的。当起始位被检测到后，电路检测接下来的每个位，在每个位的第 8，9，10 个过采样时钟点上进行采样，就像采样数据一样。如果 10 个(当 **UART_LIN** 寄存器中的 LINBDL=0)或 11 个(当 **UART_MCON** 寄存器中的 LINBDL=1)连续位都是'0'，并且又跟着一个分隔符，**UART_RIF** 寄存器的 LINBK 位就会被设置为 1。如果 **UART_IER** 寄存器的 LINBK 位为 1 则会产生中断。在确认断路符号前，要检查分隔符，因为它表示 RX 已经回到高电平。如果在第 10 或 11 个采样点之前采样到了'1'，检测电路取消当前检测并重新寻找起始位。如果 LIN 模式被关闭，接收器则继续正常 UART 工作，不再考虑检测断路符号。如果 LIN 模式被开启(LINEN=1)，只要一发生帧错误(例如: 停止位检测到'0'，这种情况出现在断路符号被接收到的时候)，接收器就会立即停止，直到电路检测断路符号后接收到一个'1'(这种情况发生于断路符号没有完整的发出来)，或一个分隔符(这种情况发生于已经检测到一个完整的断路符号)。

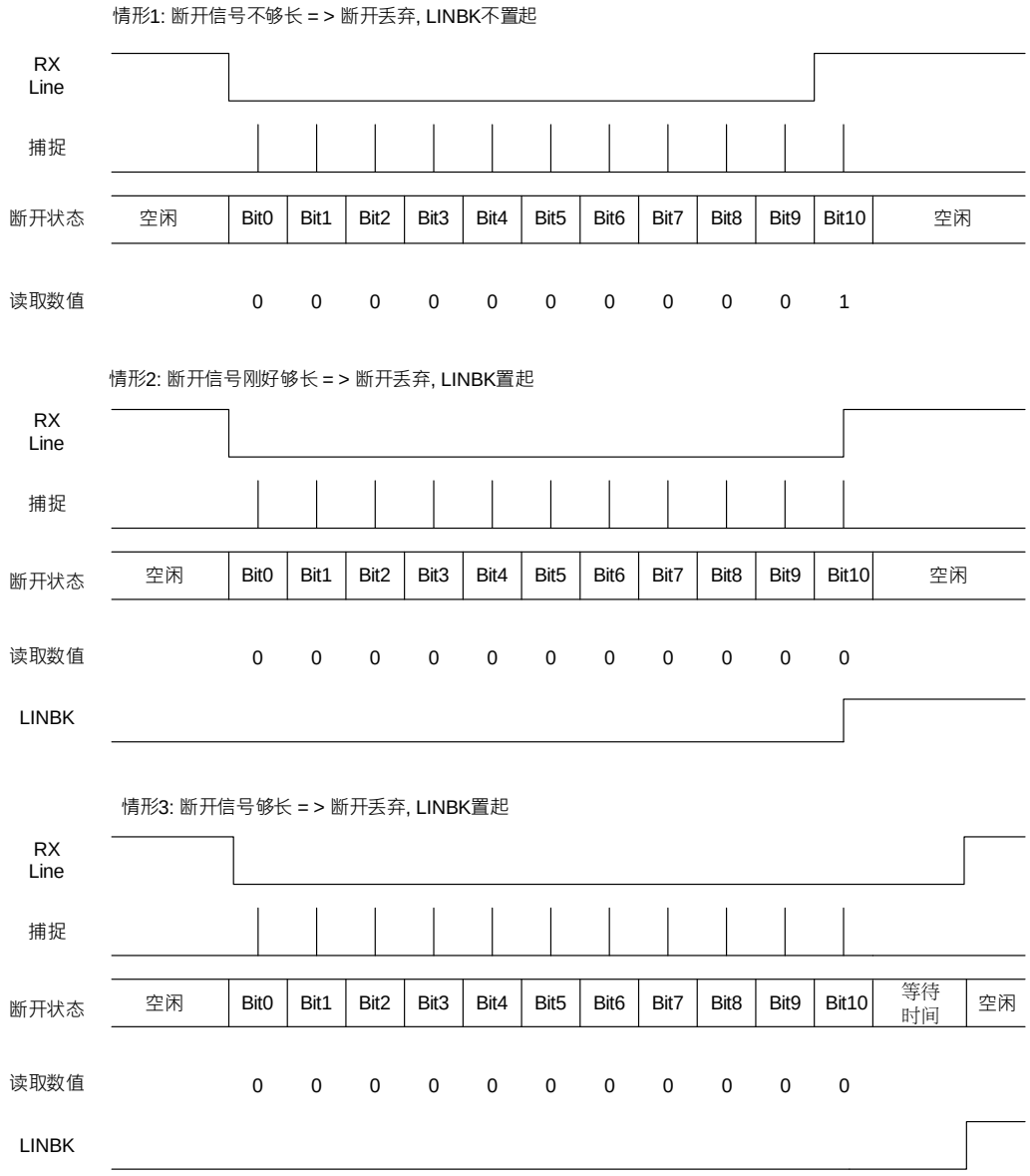


图 14-16 LIN 模式侦测断路信号(11 位断路长度 – LBDL 位为 1)

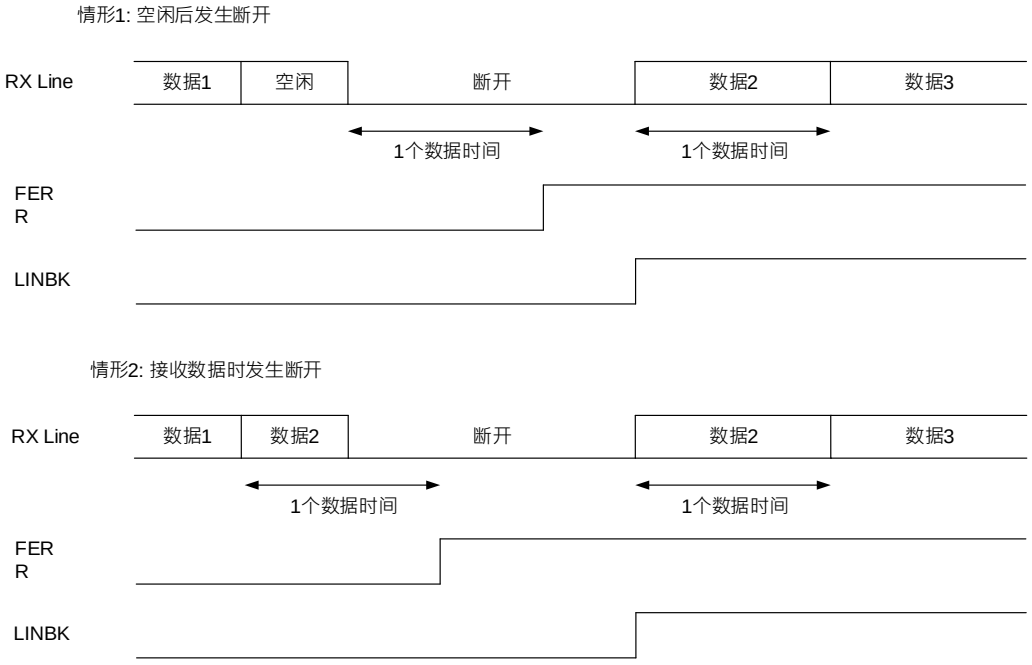


图 14-17 LIN 模式侦测断路信号与帧错误信号

14. 4. 13 单线半双工通讯

UART 可以配置成遵循单线半双工协议。在单线半双工模式中，TX 和 RX 引脚在芯片内部是连在一起的。使用控制位(UART_MCON 寄存器中的 HDEN 位)选择半双工或全双工通信。

- 当 HDEN 为 1 时：
  - TX 和 RX 引脚在芯片内部是连在一起的
  - RX 不再被使用
  - 当没有数据传输时，TX 引脚为释放状态。因此，在空闲状态或接收状态时为一个标准 I/O 串口。这就表示该 I/O 串口在不被 UART 驱动时，必须配置成悬空输入(或开漏的高输出)。

除此以外，通信与正常 UART 模式类似。由软件来管理在线的冲突(例如通过使用一个中央仲裁器)。特别的是，发送从不会被硬件所阻碍。当 LCON 寄存器的 TXEN 位为 1，只要数据一写到数据寄存器中，发送就会开始。

14. 4. 14 智能卡模式

设置 8 位数据位加校验位：即 LCON 寄存器中 DLS=00，PE=1

设置 0.5/1.5 个停止位：即 LCON 寄存器的 STOP=0/1

设置 **UART_SCARD** 寄存器的 SCEN 位为 1 以进入智能卡模式

在 T=0(字节)模式中，当校验错误时在字节发送完毕后将接收器拉为低电平后产生保护时间。所示为在数据在线有校验错误和没有校验错误时的情形。

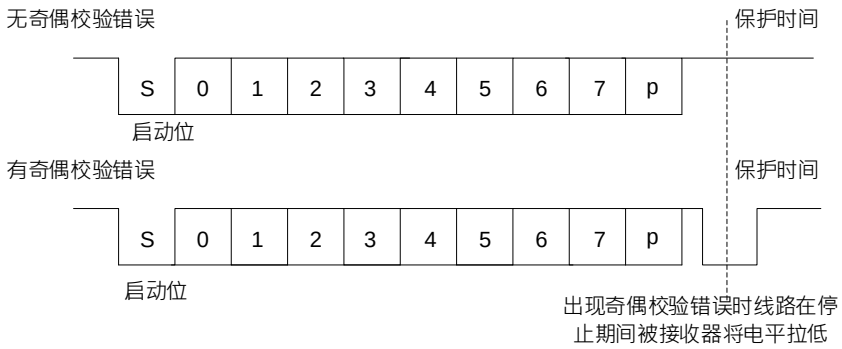


图 14-18 ISO 7816-3 异步协定

当连接到智能卡时，UART 的 TX 引脚和智能卡通过同一根双向数据线进行通信。所以 TX 引脚必须配置成开漏状态。智能卡是一个单线半双工通信协议：

- 从发送移位寄存器发送数据会经过至少 1/2 个时钟周期的延迟。正常工作时，已满的发送移位寄存器会在下一个时钟边沿开始移位。在智能卡模式中，此发送过程还会产生一个 1/2 波特时钟周期的延迟。
- 如果在接收一个使用 0.5 或 1.5 个停止位设置的帧期间检测到奇偶位错误，则在完成接收帧后，发送线会被拉低一个时钟周期。这是为了向智能卡指出发送到 UART 的资料尚未正确接收。此 NACK 信号(将发送线拉低 1 个时钟周期)会导致发送器端(配置为 1.5 个停止位)出现帧错误。软件根据协议重新发送资料。如果设置 NACK 位为 1，则接收器会发送’NACK’信号；否则不会发送 NACK 信号(T=1 模式中使用)。
- 通过对保护时间寄存器进行设置，可以延迟 **UART_STAT** 寄存器的 TBC 的设置时间。正常工作时，当发送移位寄存器为空时，会对 TBC 位被设置为 1。在智能卡模式中，空的发送移位寄存器会触发保护时间计数器，使其递增计数至保护时间寄存器中的值。在此期间，TBC 位被强制设置为 0。当保护时间计数器达到设置值时，TBC 位被设置为 1。
- 对 TBC 位的设置不受智能卡模式的影响。
- 如果在发送端检测到帧错误(由来自接收器的 NACK 信号引起)，则发送端的接收器不会将 NACK 作为起始位进行检测。根据 ISO 协议，接收到的 NACK 信号的持续时间可以是 1 或 2 个时钟周期。

◆ 在接收端，如果检测到奇偶位错误并发送了 NACK 信号，则接收端不会将 NACK 作为起始位进行检测。

注：在智能卡模式中带有帧错误的 0x00 数据将被视为数据，而非中断。

下图详细介绍了 UART 如何对 NACK 信号采样。在本例中，UART 正在发送数据并配置了 1.5 个停止位。UART 的接收部分已开启，以检查数据的完整性和 NACK 信号。

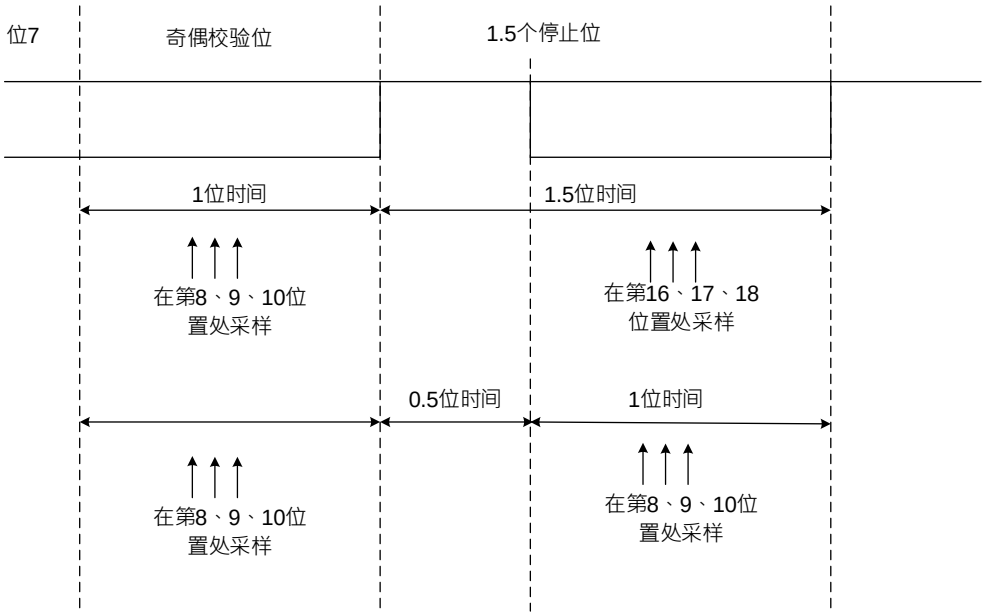


图 14-19 1.5 位停止位时检测校验错误

UART 可以通过 CK 引脚向智能卡提供时钟。智能卡模式中，CK 时钟和通信没有关系，只是通过一个 5 位的预分频器从内部外设时钟源得到时钟信号。这个分频系数在 **UART_SCARD** 寄存器的 PSC 位配置。CK 频率可以设置在 $f_{CK}/2$ 到 $f_{CK}/64$ 之间, fCK 指外设输入时钟。

14. 4. 15 IrDA SIR 模块

设置 **UART_MCON** 寄存器的 IREN 为 1 以进入 IrDA 模式。
IrDA SIR 物理层规定使用反相归零(RZI)调制方案，它以红外光脉冲表示逻辑 0。

SIR 发送编码器用于调制 UART 发出的非归零(NRZ)编码。输出脉冲会发送到外部输出驱动器和红外线 LED。UART 支持的 SIR 编码比特率最高为 115.2Kbps。在正常模式中，所发送的脉冲宽度规定为一个位周期的 3/16。

SIR 接收译码器用于解调由红外探测器发出的归零编码，并将接收到的 NRZ 串行编码输出到 UART。在空闲状态下，译码器输入为高电平(标记状态)。发送编码器输出的极性与译码器输入相反。当译码器输入为低电平时，会检测到起始位。

IrDA 是一个半双工通信协议。如果发送器发送时，例如 UART 正在向 IrDA 编码器发送数据，则 IrDA 译码器会忽略 IrDA 接收在线的所有数据；如果接收器接收时，例如 UART 正在接收来自 RX 引脚上的数据，则 IrDA 不会对 UART 发送到 IrDA 的 TX 数据进行编码。在接收数据时，

应避免同时进行发送，因为这样做可能会破坏要发送的数据。

- SIR 发送逻辑把 0 作为高脉冲发送，把 1 作为低电平发送。脉冲的宽度规定为所选位周期的 3/16。
- SIR 译码器用于将兼容 IrDA 的接收信号转换为 UART 的编码。
- SIR 接收逻辑把高电平状态作为 1，把低脉冲作为 0。
- 发送编码器输出的极性与译码器输入相反。SIR 输出在空闲时处于低电平状态。
- 在 IrDA 模式中，LCON 寄存器中的 STOP 位必须配置成 1 个停止位。

接收器的建立时间应由软件进行管理。IrDA 物理层规范规定发送和接收之间至少要经过 10ms 的时间间隔(IrDA 是一个半双工协议)。

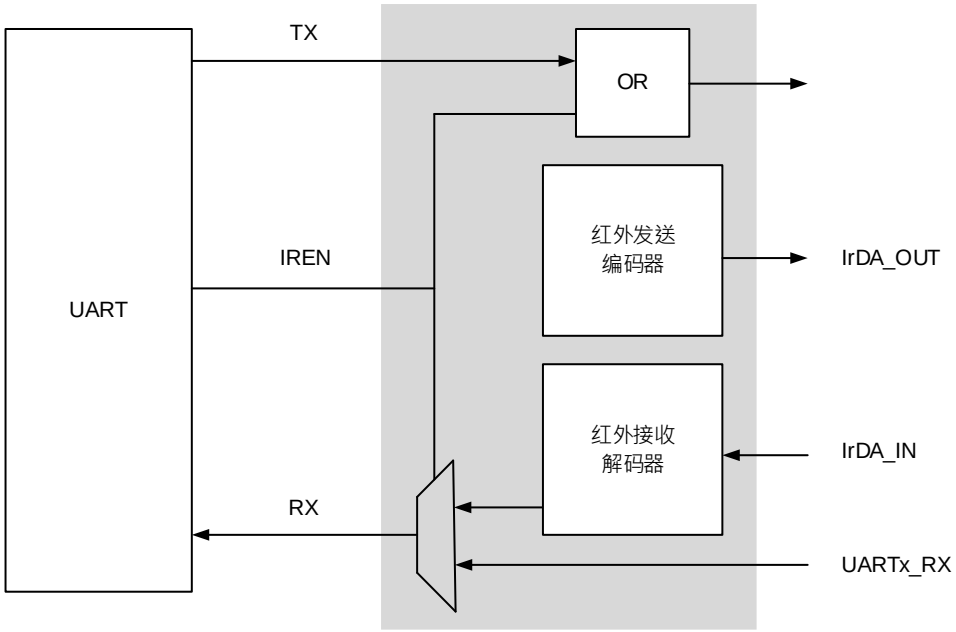


图 14-20 红外收发框图

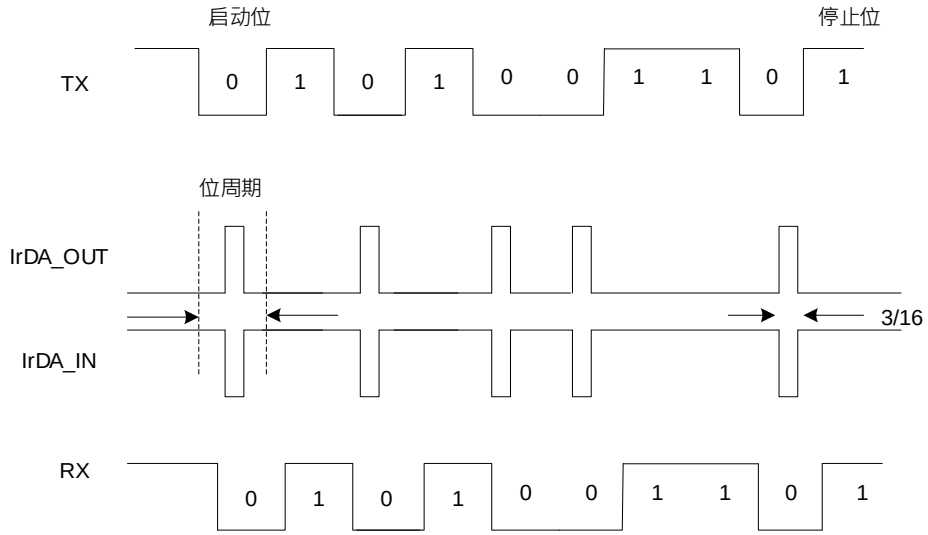


图 14-21 IrDA 数据调制(3/16)－正常模式

14. 4. 16 使用 DMA 连续通讯

设置 **UART_MCON** 的 RXDMAEN 位为 1 开启 RX DMA 或 TXDMAEN 位为 1 开启 TX DMA。

UART 可以利用 DMA 连续通信。RX 缓冲器和 TX 缓冲器分别产生 DMA 请求。

利用 DMA 发送

使用 DMA 进行发送，可以通过设置 **UART_MCON** 寄存器中的 TXDMAEN 位开启。当 TFEMPTY 位被设置为 1，可使用 DMA 外设(请参见相应的 DMA 控制器部分)将数据从配置的 SRAM 地址加载到 **UART_TXDATA** 寄存器中。要映射一个 DMA 通道以进行 UART 发送，请按以下步骤操作：

- 在 DMA 控制寄存器上设置 **UART_TXDATA** 寄存器地址配置成 DMA 传输的目的地址。在每个 TFEMPTY 事件后，数据将被传送到这个地址。
- 在 DMA 控制寄存器上将 SRAM 地址配置成 DMA 传输的来源地址。在每个 TFEMPTY 事件后，将从此内存区读出数据并传送到 **UART_TXDATA** 寄存器中。
- 在 DMA 控制寄存器中配置要传输的字节数。
- 在 DMA 寄存器上配置通道优先级。
- 根据应用程序的要求，配置在传输完成一半还是全部完成时产生 DMA 中断。
- 设置 **UART_ICR** 寄存器的 TFEMPTY 位为 1 以清除 **UART_RIF** 寄存器的 TFEMPTY 位。
- 在 DMA 寄存器上开启该通道。

在发送模式中，当 DMA 传输完所有要发送的数据时，DMA 控制器设置 UART_IFM 寄存器的 TFEMPTY 位；检查 UART_RIF 寄存器的 TFEMPTY 位可以确认 UART 通信是否结束。这样可以在关闭 UART 或进入停机模式之前避免破坏最后一次传输的数据。软件必须等待 TSBUSY

被设置为 0。TSBUSY 位在全部数据发送期间会是 1，并且在最后一帧数据发送完成之后会由硬件设置为 0。

利用 DMA 接收

使用 DMA 进行接收，可以通过设置 UART_MCON 寄存器中的 RXDMAEN 位为 1 开启。当接收数据字节时，可使用 DMA 外设(请参见相应的 DMA 控制器部分)将数据从 UART_RXDATA 寄存器读取出来加载到配置的 SRAM 地址。要映射一个 DMA 通道以进行 UART 接收，请按以下步骤操作：

- 在 DMA 控制寄存器上设置 **UART_RXDATA** 寄存器地址配置成 DMA 传输的来源地址。在每个 RFNEMPTY 事件后，读取数据将从这个地址加载。
- 在 DMA 控制寄存器上将 SRAM 地址配置成 DMA 传输的目标地址。在每个 RFNEMPTY 事件后，读取数据将从 **UART_RXDATA** 寄存器加载这个目标地址。
- 在 DMA 控制寄存器中配置要传输的字节数。
- 在 DMA 寄存器上配置通道优先级。
- 根据应用程序的要求，配置在传输完成一半还是全部完成时产生 DMA 中断。
- 设置 **UART_ICR** 寄存器的 RFNEMPTY 位为 1 以清除 **UART_RIF** 寄存器的 RFNEMPTY 位。
- 在 DMA 寄存器上开启该通道。

多缓冲器通信中的错误标志和中断产生

在多缓冲器通信的情况下，通信期间如果发生任何错误，会在当前字节传输后将错误标志设置为 1。如果中断开启位被设置为 1 则会产生中断。在单个字节接收的情况下，和 UART_IFM 寄存器中的 RXBERR 位和 RFOERR 位一起被设置为 1 表示帧错误和溢出错误，有分别的错误标志中断开启位；如果被设置为 1 了，会在当前字节传输结束后，产生中断。

14. 4. 17 中断配置

- **UART_IER 中断开启寄存器**

  此位设置 1 时，表示开启中断功能，并且同时反映在 **UART_IVS** 寄存器。此寄存器只能写入，并且只允许写入 1，无法写 0 取消开启中断设置。
- **UART_IDR 中断关闭寄存器**

  此位设置 1 时，表示关闭中断功能，并且同时反映在 **UART_IVS** 寄存器。此寄存器只能写入，并且只允许写入 1，无法写 0 取消关闭中断设置。
- **UART_IVS 中断功能有效状态寄存器**

  反映 **UART_IER** 与 **UART_IDR** 寄存器所设置的结果。0:中断关闭 1:中断开启
- **UART_RIF 原始中断状态寄存器**

  反映所有发生中断事件的状态，无论 **UART_IVS** 是否有开启中断，皆会反映在此寄存器中，主要提供使用者监控无屏蔽的中断位，是否有错误事件发生。
- **UART_IFM 中断标志位状态寄存器**

  记录中断开启位所发生中断事件。0:无中断事件 1:发生中断事件

◆ **UART_ICR 中断清除寄存器**

此位设置 1 时，清除中断标志 **UART_RIF** 与 **UART_IFM**，此寄存器通过写入 1 将该位清零，并且只允许写入 1 清除，无法写 0 清除。

在 UART 中，配置了 15 种中断，分别为下表。

中断事件	中断标志
接收器字节格式错误	RXBERR
自动波特率侦测结束	ABEND
自动波特率侦测超时	ABTO
CTS 引脚电平改变	DCTS
接收超时	RXTO
地址匹配	ADDRM
LIN 断开侦测	LINBK
块结束	EOB
噪声位侦测	NOISE
接收器非空	RFNEMPTY
接收器溢出	RFOERR
接收器下溢	RFUERR
发送器字节完成	TBC
发送器空	TFEMPTY
发送器溢出	TFOERR

表 14-5 中断配置表

14. 5 特殊功能寄存器

14. 5. 1 寄存器列表

UART 寄存器列表			
名称	偏移地址	类型	描述
UART_RXDATA	0000_H	R	接收缓冲寄存器
UART_TXDATA	0004_H	R/W	发送缓冲寄存器
UART_BRR	0008_H	R/W	波特率寄存器
UART_LCON	$000C_H$	R/W	格式控制寄存器
UART_MCON	0010_H	R/W	模式控制寄存器
UART_RS485	0014_H	R/W	RS485 控制寄存器
UART_SCARD	0018_H	R/W	智能卡控制寄存器
UART_LIN	$001C_H$	R/W	LIN 控制寄存器
UART_RTOR	0020_H	R/W	接收超时寄存器
UART_STAT	0028_H	R	状态寄存器
UART_IER	$002C_H$	W1	中断开启寄存器
UART_IDR	0030_H	W1	中断关闭寄存器
UART_IVS	0034_H	R	中断功能有效状态寄存器
UART_RIF	0038_H	R	原始中断状态寄存器
UART_IFM	$003C_H$	R	中断标志位状态寄存器
UART_ICR	0040_H	C_W1	中断清除寄存器

14. 5. 2 寄存器描述

14. 5. 2. 1 接收缓冲寄存器(UART_RXDATA)

接收缓冲寄存器 (UART_RXDATA)																															
偏移地址：0x00																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																							RXDATA<8:0>								

—	Bits 31-9	—	—
RXDATA	Bits 8-0	R	**接收缓冲寄存器** 包含接收到的字节。 RXDATA寄存器提供接收移位寄存器和内部总线间的并行接口。 注: 位8用于RS485地址模式

14. 5. 2. 2 发送缓冲寄存器 (UART_TXDATA)

发送缓冲寄存器 (UART_TXDATA)																															
偏移地址：04_H																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																							TXDATA<8:0>								

—	Bits 31-9	—	—
TXDATA	Bits 8-0	R/W	**发送缓冲寄存器** 用于写入要发送的数据字节。 TXDATA寄存器提供发送移位寄存器与内部总线间的并行接口。 注: 位8用于RS485地址模式

14. 5. 2. 3 波特率寄存器 (UART_BRR)

波特率寄存器 (UART_BRR)																													
偏移地址：0x08																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																BRR<15:0>															

—	Bits 31-16	—	—
BRR	Bits 15-0	R/W	**波特率寄存器** 整数部分 BRR[15:4] = DIVISOR[11:0] 小数部分 BRR[3:0] = FRACTION[3:0] 此位在LCON寄存器中的RXEN位与TXEN位为0时才可以写入。 注: 使用自动波特率功能时则可自动写入

14. 5. 2. 4 格式控制寄存器 (UART_LCON)

格式控制寄存器 (UART_LCON)																														
偏移地址：0x0C																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																TXEN	RXEN	DBCEN			BREAK	SWAP	TXINV	RXINV	DATAINV	MSB	PS	PE	STOP	DLS<1:0>	

—	Bits 31-16	—	—
TXEN	Bit 15	R/W	**发送器开启** 开启发送器，此位由软件设置1和清除。 0: 发送器关闭 1: 发送器开启
RXEN	Bit 14	R/W	**接收器开启** 开启接收器，此位由软件设置1和清除。 0: 接收器关闭 1: 接收器开启
DBCEN	Bit 13	R/W	**防抖动开启** 开启防抖动功能，此位由软件设置为1和清除。 0: 防抖动关闭 1: 防抖动开启，在RX在线须维持8个时钟的电平
—	Bits 12-11	—	—
BREAK	Bit 10	R/W	**断开开启** 开启断路功能，此位由软件设置为1和清除。此位在LCON寄存器中的RXEN位与TXEN位为0时才可以写入。 0: 断路关闭 1: 断路开启，会使得TX输出为0
SWAP	Bit 9	R/W	**交换TX/RX引脚** 开启交换功能，此位由软件设置为1和清除。此位在LCON寄存器中的RXEN位与TXEN位为0时才可以写入。 0: 交换关闭，TX和TX引脚按照标准引脚配置使用

			1: 交换开启，TX和RX引脚功能交换使用，此功能用与和其他UART接口进行交叉互联时
TXINV	Bit 8	R/W	**TX引脚电平反向** TX引脚反向功能，此位由软件设置为1和清除。 此位在LCON寄存器中的RXEN位与TXEN位为0时才可以写入。 0: TX引脚信号工作于标准逻辑电平(VDD=1/idle，Gnd=0/mark) 1: TX引脚信号反向(VDD=0/mark，Gnd=1/idle)。此功能可用于TX上带有外部反向器时
RXINV	Bit 7	R/W	**RX引脚电平反向** RX引脚反向功能，此位由软件设置为1和清除。 此位在LCON寄存器中的RXEN位与TXEN位为0时才可以写入。 0: RX引脚信号工作于标准逻辑电平(VDD=1/idle，Gnd=0/mark) 1: RX引脚信号反向(VDD=0/mark，Gnd=1/idle)。此功能可用于RX在线带有外部反向器时
DATAINV	Bit 6	R/W	**二进制反向开启** 二进制反向功能，此位由软件设置为1和清除。 此位在LCON寄存器中的RXEN位与TXEN位为0时才可以写入。 0: 缓冲寄存器中的逻辑数据在接收的时候，采用正/直接逻辑。 (1=H，0=L) 1: 缓冲寄存器中的逻辑数据在接收的时候，采用负/反向逻辑。 (1=L，0=H)
MSB	Bit 5	R/W	**高位在前开启** 高位在前功能，此位由软件设置为1和清除。 此位在LCON寄存器中的RXEN位与TXEN位为0时才可以写入。 0: 数据在发送和接收的时候，采用起使位后面跟着第0位的顺序 1: 数据在发送和接收的时候，采用起使位后

			面跟着的最高位的顺序
PS	Bit 4	R/W	**校验位奇偶选择** 当开启校验功能时，选择校验位为奇校验或偶校验，此位由软件设置为1和清除。 此位在LCON寄存器中的RXEN位与TXEN位为0时才可以写入。 0: 奇校验 1: 偶校验
PE	Bit 3	R/W	**校验开启** 开启校验功能，计算好的校验位被插入到最高位，并检测接收数据的校验位(接收与发送功能)，此位由软件设置为1和清除。 此位在LCON寄存器中的RXEN位与TXEN位为0时才可以写入。 0: 校验位关闭 1: 校验位开启
STOP	Bit 2	R/W	**停止位选择** 此位由软件设置为1和清除。 此位在LCON寄存器中的RXEN位与TXEN位为0时才可以写入。 普通模式下 0: 1个停止位 1: 2个停止位(在5字长模式为1.5个停止位) 智能卡模式 0: 0.5个停止位 1: 1.5个停止位
DLS	Bits 1-0	R/W	**数据字长选择** 此位由软件设置为1和清除。 此位在LCON寄存器中的RXEN位与TXEN位为0时才可以写入。 00: 8字长 01: 7字长 10: 6字长 11: 5字长

14. 5. 2. 5 模式控制寄存器 (UART_MCON)

模式控制寄存器 (UART_MCON)																														
偏移地址：0x10																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TXFLOAT	TXDMAEN	RXDMAEN	—	—	ABRREPT	ABRMOD		ABREN	—	—	BKREQ	HDEN	IREN	AFCEN	RTSSET	LPBKEN

—	Bits 31-17	—	—
TXFLOAT	Bit 16	R/W	**发送器等待发送状态选择** 此位由软件设置为1和清除。 0: 发送器未发送时，TX引脚输出高准位 1: 发送器未发送时，TX引脚开漏
TXDMAEN	Bit 15	R/W	**发送器DMA开启** 此位由软件设置为1和清除。 0: 发送器DMA通信关闭 1: 发送器DMA通信开启
RXDMAEN	Bit 14	R/W	**接收器DMA开启** 此位由软件设置为1和清除。 0: 接收器DMA通信关闭 1: 接收器DMA通信开启
—	Bits 13-12	—	—
ABRREPT	Bit 11	R/W	**重复侦测自动波特率** 在开启侦测自动波特率时，侦测波特率超时时并不会清除自动波特率开关，并在下一个下降沿时重复侦测自动波特率，此位由软件设置为1和清除。 0: 重复侦测自动波特率关闭 1: 重复侦测自动波特率开启
ABRMOD	Bits 10-9	R/W	**自动波特率模式选择** 此位由软件设置为1和清除。 00: 模式0，侦测第一个下降沿到第二个下降沿时间(侦测2位) 01: 模式1，侦测第一个下降沿到第一个上升沿时间(侦测1位) 10: 模式2，侦测第一个下降沿到第一个上升

			沿时间(侦测2位) 11: 保留
ABREN	Bit 8	R/W	**自动波特率开启** 此位在开启并完成侦测自动波特率后会自动清除，也可由软件设置为1和清除。 0: 自动波特率关闭 1: 自动波特率开启
—	Bits 7-6	—	—
BKREQ	Bit 5	W	**断开请求** 此位在写入后的下一个时钟会自动清除。 0: 断路请求关闭 1: 断路请求开启，根据设定的N位长(8、7、6或5)产生N个低脉冲信号
HDEN	Bit 4	R/W	**单线半双工开启** 此位由软件设置为1和清除。 此位在LCON寄存器中的RXEN位与TXEN位为0时才可以写入。 0: 单线半双工关闭 1: 单线半双工开启
IREN	Bit 3	R/W	**IrDA红外线模式开启** 此位由软件设置为1和清除。 0: IrDA红外线模式关闭 1: IrDA红外线模式开启
AFCEN	Bit 2	R/W	**自动流量控制开启** 此位由软件设置为1和清除。 0: 自动流量控制关闭 1: 自动流量控制开启
RTSSET	Bit 1	R/W	**RTS设置控制** 此位由软件设置为1和清除。 0: 自动流量控制关闭时，RTS引脚输出高准位 1: 自动流量控制关闭时，RTS引脚输出低准位
LPBKEN	Bit 0	R/W	**回送模式使能** 此模式是用于UART测试检测模式，在UART普通模式下运行，TX引脚输出为高电平，串行的数据在内部回送至RX。在此模式下，所有中断都是正常运行的，此位由软件设置为1

			和清除。 0: 回送模式关闭 1: 回送模式开启

14. 5. 2. 6 RS485 控制寄存器 (UART_RS485)

RS485 控制寄存器 (UART_RS485)

偏移地址：0x14

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								DLY<7:0>								ADDR<7:0>												AADINV	AADACEN	AADNEN	AADEN

—	Bits 31-24	—	—
DLY	Bit 23-16	R/W	**延迟数值** 此位由软件设置和清除。 用于设置延迟RTS的输出时间，是由一个8位计数器计数，时钟源为1/16 Baud 时钟。
ADDR	Bit 15-8	R/W	**地址匹配述值** 此位由软件设置和清除。 用于多机通信时地址标记的检测。 接收器在RS485自动检测模式时，当接收数据的最高位为1且匹配ADDR，数据才允许接收，否则舍弃此数据。
—	Bits 7-4	—	—
AADINV	Bit 3	R/W	**驱动开启反向** 在自动流量控制模式时，设置驱动开启引脚(RTS/DE)的输出电平，此位由软件设置和清除。 0: 当发送器开始发送数据时，驱动开启引脚输出0，发送完成且TX内无数据时，驱动开启引脚输出1 1: 当发送器开始发送数据时，驱动开启引脚输出1，发送完成且TX内无数据时，驱动开启引脚输出0
AADACEN	Bit 2	R/W	**自动流量控制模式开启** 此位由软件设置为1和清除。

			0: 自动流量控制模式关闭 1: 自动流量控制模式开启
AADNEN	Bit 1	R/W	**普通模式开启** 此位由软件设置为1和清除。 0: 普通模式关闭 1: 普通模式开启，接收地址位为第8位(UART_RXDATA)
AADEN	Bit 0	R/W	**自动地址侦测模式开启** 在普通模式时，设置此位无效，此位由软件设置为1和清除。 0: 自动地址侦测模式关闭 1: 自动地址侦测模式开启，当接收数据的地址为1且匹配ADDR时，才会接收数据

14. 5. 2. 7 智能卡控制寄存器 (UART_SCARD)

智能卡控制寄存器 (UART_SCARD)

偏移地址：0x18

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BLEN<7:0>								GT<7:0>								PSC<7:0>										SCCNT<2:0>			SCLKEN	SCNACK	SCEN

BLEN	Bits 31-24	R/W	**块长度** 设置了智能卡模式T=1的接收时的块长度，此位由软件设置为1和清除。 例如: BLEN = 0 → 0个信号字节 BLEN = 1 → 1个信号字节 BLEN = 255 → 255个信号字节 这个功能也可以在其他模式中使用，当LCON寄存器的RXEN位清除时，块长度计数器会重新计数
GT	Bits 23-16	R/W	**保护时间** 设置保护时间长度，是使用波特时钟为单位。在智能卡模式中使用，完成标志(RIF寄存器TBC位)在保护时间过后设置为1，此位由软件

			设置为1和清除
PSC	Bits 15-8	R/W	**分频器数值** 此位由软件设置为1和清除。 在红外低功耗和正常模式下： PSC[7:0]: IrDA正常和低功耗模式波特率 对UART时钟源进行分频以获得低功耗模式下的频率： 00000000: 保留 00000001: 1分频 00000010: 2分频 智能卡模式: PSC[4:0]: 输出时钟分频数值 用于设定UART时钟的分频数，得到智能卡输出时钟，由五个有效位组成，乘以2得到的数值作为分频 00000: 保留 00001: 2分频 00010: 4分频 00011: 6分频
—	Bits 7-6	—	—
SCCNT	Bits 5-3	R/W	**智能卡重试计数器** 设置智能卡模式中接收和发送的重试次数。 此位由软件设置为1和清除。 在发送模式下，在产生帧错误前重试发送的次数 在接收模式下，在接收到NACK后重试接收的次数 0x0: 重试功能关闭，在发送与接收模式下不进行自动重试 0x1~0x7: 在产生错误前自动重试的次数
SCLKEN	Bit 2	R/W	**智能卡时钟开启** 此位由软件设置为1和清除。 0: CK引脚关闭 1: CK引脚开启
SCNACK	Bit 1	R/W	**智能卡NACK发送开启** 此位由软件设置为1和清除。 0: 出现校验错误时关闭发送NACK信号 1: 出现校验错误时开启发送NACK信号

SCEN	Bit 0	R/W	**智能卡模式开启** 此位由软件设置为1和清除。 0: 智能卡模式关闭 1: 智能卡模式开启

14. 5. 2. 8 LIN 控制寄存器 (UART_LIN)

LIN 控制寄存器 (UART_LIN)																												
偏移地址：0x1C																												
复位值：0x0000 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																													LINBKREQ	LINBDL	LINEN

—	Bits 31-3	—	—
LINBKREQ	Bit 2	W1	**LIN模式断路请求** 在LIN模式下，发送器将发送13位'0’作为断路符号后，发送2位1用于对下一个开始位的检测。此位由软件设置为1并在下一个时钟后自动清除。 0: LIN模式断路请求关闭 1: LIN模式断路请求开启
LINBDL	Bit 1	R/W	**LIN模式断路字长** 此位由软件设置为1和清除。 0: 10位断路字节侦测 1: 11位断路字节侦测
LINEN	Bit 0	R/W	**LIN模式开启** 此位由软件设置为1和清除。 0: LIN模式关闭 1: LIN模式开启

14. 5. 2. 9 接收器超时寄存器 (UART_RTOR)

超时接收寄存器 (UART_RTOR)

偏移地址：0x20

复位值：0x0000 00FF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							RTOEN	RTO<15:8>																							

—	Bits 31-25	—	—
RTOEN	Bit 24	R/W	**接收器超时开启** 此位由软件设置1和清除。 0: 接收器超时关闭 1: 接收器超时开启
RTO	Bits 23-0	R/W	**接收器超时数值** 设置接收超时时间，使用波特率时钟的字长为单位。 在标准模式下，接收最后一个字节后，在超时时间内未检测到新的起始位，将 RIF 寄存器的 RXTO 位设置为 1，此位由软件设置和清除。 在智能卡模式下，这个数值是用来实现 CWT 和 BWT。 注: UART3/4 只支持 8 位

14. 5. 2. 10 状态寄存器 (UART_STAT)

状态寄存器 (UART_STAT)																														
偏移地址：0x28																														
复位值：0x0001 0008																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	TFOERR	—	TFEMPTY	—	TSBUSY	RFUERR	RFOERR	—	RFNEMPTY	—	RSBUSY	—	—	—	—	CTSSTA	BKERR	FERR	PERR

—	Bit 31-19	—	—
TFOERR	Bit 18	R	**发送器溢出错误** 当发送器内已有数据时，有新数据再次写入TX中时，此位由硬件设置为1并舍弃新数据。此位由硬件设置为1，在发送数据或读取UART_STAT寄存器后清除 0: 发送器溢出错误未产生 1: 发送器溢出错误产生
—	Bit 17	—	—
TFEMPTY	Bit 16	R	**发送器空** 当发送器内无任何数据时，此位由硬件设置为1，在TX写入资料时清除。 0: 发送器有资料 1: 发送器无资料
—	Bit 15	—	—
TSBUSY	Bit 14	R	**发送器移位寄存器忙碌** 当写入数据由硬件设置为1在发送最后一个数据完成后清除。 0: 发送器内无数据等待传送 1: 发送器内有数据等待传送且未发送完最后一个数据
RFUERR	Bit 13	R	**接收器下溢错误** 当接收器无数据时，又再次读取接收器时，由硬件设置为1。此位由硬件设置为1，在接收数据或读取UART_STAT寄存器后清除 0: 接收器下溢错误未产生 1: 接收器下溢错误产生
RFOERR	Bit 12	R	**接收器溢位错误**

			当接收器内已有数据时，有新数据再次接收时，此位由硬件设置为1并舍弃新数据。此位由硬件设置为1，在读取数据或读取UART_STAT寄存器后清除 0: 接收器溢出错误未产生 1: 接收器溢出错误产生
—	Bit 11	—	—
RFNEMPTY	Bit 10	R	**接收器非空** 当接收器内有1笔数据时，此位由硬件设置为1，接收数据时清除。 0: 接收器无数据 1: 接收器有数据
—	Bit 9	—	—
RSBUSY	Bit 8	R	**接收移位寄存器忙碌** 当接收数据时，由硬件设置为1在完成接收数据后清除 0: 接收器未接收数据 1: 接收器正在接收数据
—	Bit 7-4	—	—
CTSSTA	Bit 3	R	**CTS状态** 此位显示CTS输入引脚状态，由硬件设置为1和清除。 0: CTS输入引脚为0 1: CTS输入引脚为1
BKERR	Bit 2	R	**断路错误** 当接收数据与停止位皆为0时，由硬件设置为1。此位为显示当前读取接收器数值状态。 0: 断路错误未产生 1: 断路错误产生
FERR	Bit 1	R	**帧错误** 当接收数据的停止位为0时，由硬件设置为1。此位为显示当前读取接收器数值。 0: 帧错误未产生 1: 帧错误产生
PERR	Bit 0	R	**校验错误** 当接收数据的校验位接收错误时，由硬件设置为1。此位为显示当前读取接收器数值。 0: 校验错误未产生

			1: 校验错误产生

14. 5. 2. 11 中断开启寄存器 (UART_IER)

中断开启寄存器 (UART_IER)																												
偏移地址：0x2C																												
复位值：0x0000 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	TFOERR	—	TFEMPTY	—	TBC	RFUERR	RFOERR	—	RFNEMPTY	—	NOISE	EOB	LINBK	ADDRM	RXTO	DCTS	ABTO	ABEND	RXBERR

—	Bit 31-19	—	—
TFOERR	Bit 18	W1	**开启发送器溢出中断功能** 此位设置时，开启中断功能，硬件侦测发送器溢出事件时发生中断
—	Bit 17	—	—
TFEMPTY	Bit 16	W1	**开启发送器空中断功能** 此位设置时，开启中断功能，硬件侦测发送器空事件时发生中断
—	Bit 15	—	—
TBC	Bit 14	W1	**开启发送器字节完成中断功能** 此位设置时，开启中断功能，硬件侦测发送器字节完成事件时发生中断
RFUERR	Bit 13	W1	**开启接收器下溢中断功能** 此位设置时，开启中断功能，硬件侦测接收器下溢事件时发生中断
RFOERR	Bit 12	W1	**开启接收器溢出中断功能** 此位设置时，开启中断功能，硬件侦测接收器溢出事件时发生中断
—	Bit 11	—	—
RFNEMPTY	Bit 10	W1	**开启接收器非空中断功能** 此位设置时，开启中断功能，硬件侦测接收器非空事件时发生中断
—	Bit 9	—	—
NOISE	Bit 8	W1	**开启侦测噪声位中断功能** 此位设置时，开启中断功能，硬件侦测噪声事件时发生中断

EOB	Bit 7	W1	**开启块结束中断功能** 此位设置时，开启中断功能，硬件侦测块结束事件时发生中断
LINBK	Bit 6	W1	**开启侦测LIN断路中断功能** 此位设置时，开启中断功能，硬件侦测LIN断路事件时发生中断
ADDRM	Bit 5	W1	**开启地址匹配中断功能** 此位设置时，开启中断功能，硬件侦测地址匹配事件时发生中断
RXTO	Bit 4	W1	**开启接收超时中断功能** 此位设置时，开启中断功能，硬件侦测接收超时事件时发生中断
DCTS	Bit 3	W1	**开启CTS引脚电平中断功能** 此位设置时，开启中断功能，硬件侦测CTS引脚电平事件时发生中断
ABTO	Bit 2	W1	**开启侦测自动波特率超时中断功能** 此位设置时，开启中断功能，硬件侦测侦测自动波特率超时事件时发生中断
ABEND	Bit 1	W1	**开启侦测自动波特率结束中断功能** 此位设置时，开启中断功能，硬件侦测侦测自动波特率事件时发生中断
RXBERR	Bit 0	W1	**开启接收器字节格式错误中断功能** 此位设置时，开启中断功能，硬件侦测接收器字节格式错误事件时发生中断

14. 5. 2. 12 中断关闭寄存器 (UART_IDR)

中断关闭寄存器 (UART_IDR)																														
偏移地址：0x30																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	TFOERR	—	TFEMPTY	—	TBC	RFUERR	RFOERR	—	RFNEMPTY	—	NOISE	EOB	LINBK	ADDRM	RXTO	DCTS	ABTO	ABEND	RXBERR

—	Bit 31-19	—	—
TFOERR	Bit 18	W1	**关闭发送器溢出中断功能** 此位设置时，关闭发送器溢出中断功能
—	Bit 17	—	—
TFEMPTY	Bit 16	W1	**关闭发送器空中断功能** 此位设置时，关闭发送器空中断功能
—	Bit 15	—	—
TBC	Bit 14	W1	**关闭发送器字节完成中断功能** 此位设置时，关闭发送器字节完成中断功能
RFUERR	Bit 13	W1	**关闭接收器下溢中断功能** 此位设置时，关闭接收器下溢中断功能
RFOERR	Bit 12	W1	**关闭接收器溢出中断功能** 此位设置时，关闭接收器溢出中断功能
—	Bit 11	—	—
RFNEMPTY	Bit 10	W1	**关闭接收器非空中断功能** 此位设置时，关闭接收器非空中断功能
—	Bit 9	—	—
NOISE	Bit 8	W1	**关闭侦测噪声位中断功能** 此位设置时，关闭侦测噪声中断功能
EOB	Bit 7	W1	**关闭块结束中断功能** 此位设置时，关闭块结束中断功能
LINBK	Bit 6	W1	**关闭侦测LIN断路中断功能** 此位设置时，关闭侦测LIN断路中断功能
ADDRM	Bit 5	W1	**关闭地址匹配中断功能** 此位设置时，关闭地址匹配中断功能
RXTO	Bit 4	W1	**关闭接收超时中断功能** 此位设置时，关闭接收超时中断功能
DCTS	Bit 3	W1	**关闭CTS引脚电平中断功能**

			此位设置时，关闭CTS引脚电平中断功能
ABTO	Bit 2	W1	**关闭侦测自动波特率超时中断功能** 此位设置时，关闭侦测自动波特率超时中断功能
ABEND	Bit 1	W1	**关闭侦测自动波特率结束中断功能** 此位设置时，关闭侦测自动波特率结束中断功能
RXBERR	Bit 0	W1	**关闭接收器字节格式错误中断功能** 此位设置时，关闭接收器字节格式错误中断功能

14. 5. 2. 13 中断功能有效状态寄存器 (UART_IVS)

中断功能有效状态寄存器 (UART_IVS)

偏移地址：0x34

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	TFOERR	—	TFEMPTY	—	TBC	RFUERR	RFOERR	—	RFNEMPTY	—	NOISE	EOB	LINBK	ADDRM	RXTO	DCTS	ABTO	ABEND	RXBERR

—	Bit 31-19	—	—
TFOERR	Bit 18	R	**发送器溢出中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
—	Bit 17	—	—
TFEMPTY	Bit 16	R	**发送器空中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
—	Bit 15	—	—
TBC	Bit 14	R	**发送器字节完成中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
RFUERR	Bit 13	R	**接收器下溢中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
RFOERR	Bit 12	R	**接收器溢出中断功能状态** 0: 中断功能处于关闭状态

			1: 中断功能处于开启状态
—	Bit 11	—	—
RFNEMPTY	Bit 10	R	**接收器非空中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
—	Bit 9	—	—
NOISE	Bit 8	R	**侦测噪声位中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
EOB	Bit 7	R	**块结束中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
LINBK	Bit 6	R	**侦测LIN断路中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
ADDRM	Bit 5	R	**地址匹配中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
RXTO	Bit 4	R	**接收超时中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
DCTS	Bit 3	R	**CTS引脚电平中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
ABTO	Bit 2	R	**侦测自动波特率超时中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
ABEND	Bit 1	R	**侦测自动波特率结束中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
RXBERR	Bit 0	R	**接收器字节格式错误中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态

UART_IVS 寄存器，是实时反映系统配置 UART_IER 与 UART_IDR 的中断开启状态。

此寄存器状态是将 UART_IER 与 UART_IDR 进行硬件运算，公式如下：

UART_IVS = UART_IER & ~UART_IDR

14. 5. 2. 14 原始中断状态寄存器 (UART_RIF)

原始中断状态寄存器 (UART_RIF)																														
偏移地址：0x38																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	TFOERR	—	TFEMPTY	—	TBC	RFUERR	RFOERR	—	RFNEMPTY	—	NOISE	EOB	LINBK	ADDRM	RXTO	DCTS	ABTO	ABEND	RXBERR

—	Bit 31-19	—	—
TFOERR	Bit 18	R	**发送器溢出，原始中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 17	—	—
TFEMPTY	Bit 16	R	**发送器空，原始中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 15	—	—
TBC	Bit 14	R	**发送器字节完成，原始中断状态** 0: 无发生中断 1: 已发生中断
RFUERR	Bit 13	R	**接收器下溢，原始中断状态** 0: 无发生中断 1: 已发生中断
RFOERR	Bit 12	R	**接收器溢出，原始中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 11	—	—
RFNEMPTY	Bit 10	R	**接收器非空，原始中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 9	—	—
NOISE	Bit 8	R	**侦测噪声位，原始中断状态** 0: 无发生中断 1: 已发生中断
EOB	Bit 7	R	**块结束，原始中断状态** 0: 无发生中断

			1: 已发生中断
LINBK	Bit 6	R	**侦测LIN断路，原始中断状态** 0: 无发生中断 1: 已发生中断
ADDRM	Bit 5	R	**地址匹配，原始中断状态** 0: 无发生中断 1: 已发生中断
RXTO	Bit 4	R	**接收超时，原始中断状态** 0: 无发生中断 1: 已发生中断
DCTS	Bit 3	R	**CTS引脚电平，原始中断状态** 0: 无发生中断 1: 已发生中断
ABTO	Bit 2	R	**侦测自动波特率超时，原始中断状态** 0: 无发生中断 1: 已发生中断
ABEND	Bit 1	R	**侦测自动波特率，原始中断状态** 0: 无发生中断 1: 已发生中断
RXBERR	Bit 0	R	**接收器字节格式错误，原始中断状态** 0: 无发生中断 1: 已发生中断

14. 5. 2. 15 中断标志位状态寄存器 (UART_IFM)

中断标志位状态寄存器 (UART_IFM)																														
偏移地址：0x3C																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	TFOERR	—	TFEMPTY	—	TBC	RFUERR	RFOERR	—	RFNEMPTY	—	NOISE	EOB	LINBK	ADDRM	RXTO	DCTS	ABTO	ABEND	RXBERR

—	Bit 31-19	—	—
TFOERR	Bit 18	R	**发送器溢出，标志位中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 17	—	—
TFEMPTY	Bit 16	R	**发送器空，标志位中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 15	—	—
TBC	Bit 14	R	**发送器字节完成，标志位中断状态** 0: 无发生中断 1: 已发生中断
RFUERR	Bit 13	R	**接收器下溢，标志位中断状态** 0: 无发生中断 1: 已发生中断
RFOERR	Bit 12	R	**接收器溢出，标志位中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 11	—	—
RFNEMPTY	Bit 10	R	**接收器非空，标志位中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 9	—	—
NOISE	Bit 8	R	**侦测噪声位，标志位中断状态** 0: 无发生中断 1: 已发生中断
EOB	Bit 7	R	**块结束，标志位中断状态** 0: 无发生中断

			1: 已发生中断
LINBK	Bit 6	R	**侦测LIN断路，标志位中断状态** 0: 无发生中断 1: 已发生中断
ADDRM	Bit 5	R	**地址匹配，标志位中断状态** 0: 无发生中断 1: 已发生中断
RXTO	Bit 4	R	**接收超时，标志位中断状态** 0: 无发生中断 1: 已发生中断
DCTS	Bit 3	R	**CTS引脚电平，标志位中断状态** 0: 无发生中断 1: 已发生中断
ABTO	Bit 2	R	**侦测自动波特率超时，标志位中断状态** 0: 无发生中断 1: 已发生中断
ABEND	Bit 1	R	**侦测自动波特率，标志位中断状态** 0: 无发生中断 1: 已发生中断
RXBERR	Bit 0	R	**接收器字节格式错误，标志位中断状态** 0: 无发生中断 1: 已发生中断

UART_IFM 寄存器，是滤除已关闭中断功能的中断事件，只关注开启中断功能的事件。

此寄存器状态是将 UART_RIF 与 UART_IVS 进行硬件运算，公式如下：

UART_IFM = UART_RIF & UART_IVS

14. 5. 2. 16 中断清除寄存器 (UART_ICR)

中断清除寄存器 (UART_ICR)																													
偏移地址：0x40																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	TFOERR	—	TFEMPTY	—	TBC	RFUERR	RFOERR	—	RFNEMPTY	—	NOISE	EOB	LINBK	ADDRM	RXTO	DCTS	ABTO	ABEND	RXBERR

—	Bit 31-19	—	—
TFOERR	Bit 18	C_W1	**清除发送器溢出中断状态** 此位设置时，清除中断状态(UART_RIF 与 UART_IFM)
—	Bit 17	—	—
TFEMPTY	Bit 16	C_W1	**清除发送器空中断状态** 此位设置时，清除中断状态(UART_RIF 与 UART_IFM)
—	Bit 15	—	—
TBC	Bit 14	C_W1	**清除发送器字节完成中断状态** 此位设置时，清除中断状态(UART_RIF 与 UART_IFM)
RFUERR	Bit 13	C_W1	**清除接收器下溢中断状态** 此位设置时，清除中断状态(UART_RIF 与 UART_IFM)
RFOERR	Bit 12	C_W1	**清除接收器溢出中断状态** 此位设置时，清除中断状态(UART_RIF 与 UART_IFM)
—	Bit 11	—	—
RFNEMPTY	Bit 10	C_W1	**清除接收器非空中断状态** 此位设置时，清除中断状态(UART_RIF 与 UART_IFM)
—	Bit 9	—	—
NOISE	Bit 8	C_W1	**清除侦测噪声位中断状态** 此位设置时，清除中断状态(UART_RIF 与 UART_IFM)
EOB	Bit 7	C_W1	**清除块结束中断状态** 此位设置时，清除中断状态(UART_RIF 与

			UART_IFM)
LINBK	Bit 6	C_W1	**清除侦测LIN断路中断状态** 此位设置时，清除中断状态(UART_RIF与UART_IFM)
ADDRM	Bit 5	C_W1	**清除地址匹配中断状态** 此位设置时，清除中断状态(UART_RIF与UART_IFM)
RXTO	Bit 4	C_W1	**清除接收超时中断状态** 此位设置时，清除中断状态(UART_RIF与UART_IFM)
DCTS	Bit 3	C_W1	**清除CTS引脚电平中断状态** 此位设置时，清除中断状态(UART_RIF与UART_IFM)
ABTO	Bit 2	C_W1	**清除侦测自动波特率超时中断状态** 此位设置时，清除中断状态(UART_RIF与UART_IFM)
ABEND	Bit 1	C_W1	**清除侦测自动波特率结束中断状态** 此位设置时，清除中断状态(UART_RIF与UART_IFM)
RXBERR	Bit 0	C_W1	**清除接收器字节格式错误中断状态** 此位设置时，清除中断状态(UART_RIF与UART_IFM)

UART_ICR 寄存器设置时，将清除 UART_RIF 与 UART_IFM 中断标志状态；此设置不影响中断 UART_IER、UART_IDR 与 UART_IVS 寄存器，只清除标志状态 UART_RIF 与 UART_IFM。

此寄存器通过硬件清除中断，公式如下：

UART_RIF = UART_RIF & ~UART_ICR

第15章 外部中断 (EXTI)

15. 1 概述

外部中断和事件控制器 (EXTI) 管理外部和内部异步事件/中断，并生成相应的事件请求到CPU/中断控制器和相应的唤醒请求到电源控制器。

EXTI 允许管理多达 20 个外部/内部事件通道，可以在停止模式唤醒设备。

有些通道是可配置输入的：在这种情况下，可以独立地选择触发边缘，并且通过状态标志位来标示中断的来源。这些可配置的通道是由 I/Os 外部中断和少数外围设备使用。有些通道是直接输入的：它们被一些外围设备通过停止事件或者中断来产生唤醒信号。在这种情况下，状态标志位由外围设备提供。

作为外部或内部事件请求的每一个通道都可独立配置。EXTI 控制器还允许通过软件配置专用寄存器，来模拟相应的硬件事件或中断。

15. 2 特性

- 支持产生多达 20 个事件/中断请求。
- 每个事件/中断通道都有独立的屏蔽。
- 可选择上升沿触发或下降沿触发。
- 每个外部中断通道都有专用的状态位。
- 可软件模拟所有外部事件请求。

15. 3 结构图

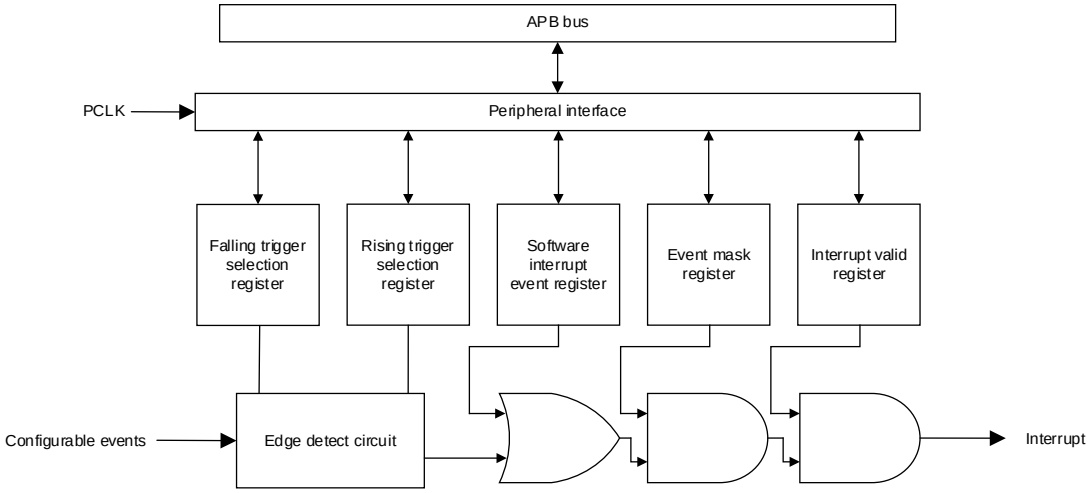


图 15-1 外部中断 / 事件框图

15. 4 功能描述

15. 4. 1 硬件中断选择

硬件发生中断所需要的步骤为下:

1. 设定中断的 **EXTI_IER** 以及 **EXTI_IDR**，来开启或是关闭中断的来源。
2. 选择中断的触发方式，配置 **EXTI_RTS** 或 **EXTI_FTS** 寄存器。
3. 使用者可以由 **EXTI_IVS** 来判断中断开启的状态，中断发生后，可以由 **EXTI_IFM** 来观察中断是否发生。
4. 当中断产生后，配置 **EXTI_ICR**，用户便可清除中断。

15. 4. 2 软件中断选择

使用者可使用软件在某些时间点发生中断，步骤如下：

1. 设定中断的 **EXTI_IER** 以及 **EXTI_IDR**，来开启或是关闭中断。
2. 使用者可以根据需求设定 **EXTI_SWI**，让 EXTI 在某些时间点发出中断。

15. 4. 3 外部和内部中断 / 事件通道映射

因为 GPIO 有 A/B/C/D 组，每一组又各有[15:0]的信号，4 组 GPIO 共享 EXTI 的中断，使用者必须事先就先设定好要使用哪个 GPIO 来产生中断。根据 EXTI_ICFG1/EXTI_ICFG2 两个寄存器，可以选择该中断是由哪组的 GPIO 产生。

EXTI 通道	通道来源	通道型态
0 - 15	GPIO	可配置
16	CMP1 输出	可配置
17	CMP2 输出	可配置
18 - 19	保留	保留
20	LVD	可配置
21	WAKEUP	可配置
22 - 31	保留	保留

表 15-1 EXTI 通道连线

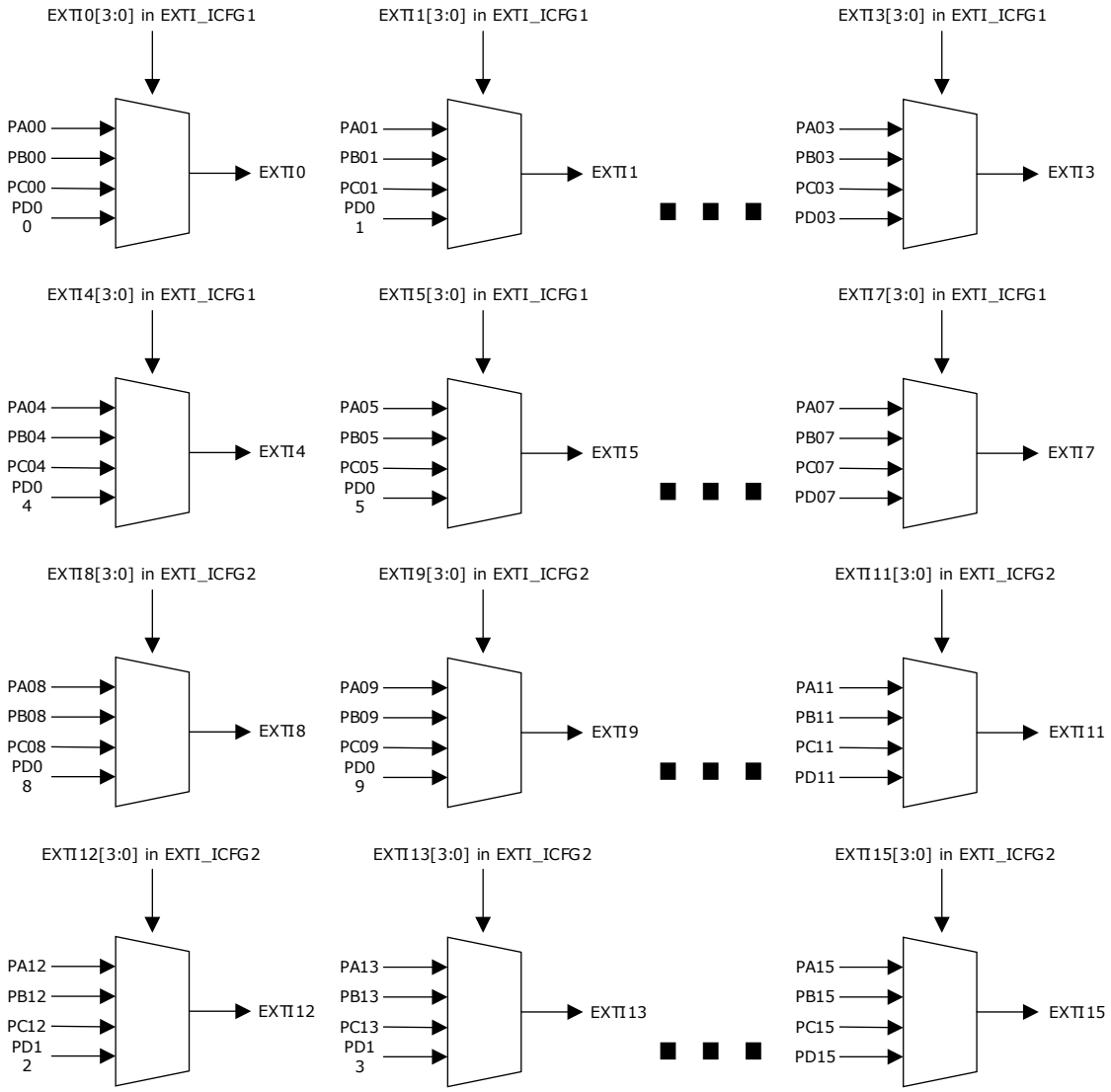


图 15-2 外部中断/事件 GPIO 映射

15. 5 特殊功能寄存器

15. 5. 1 寄存器列表

EXTI 寄存器列表			
名称	偏移地址	类型	描述
EXTI_IER	0000_H	W1	EXTI 中断开启寄存器
EXTI_IDR	0004_H	W1	EXTI 中断关闭寄存器
EXTI_IVS	0008_H	R	EXTI 中断有效状态寄存器
EXTI_RIF	$000C_H$	R	EXTI 原始中断状态寄存器
EXTI_IFM	0010_H	R	EXTI 中断标志位状态寄存器
EXTI_ICR	0014_H	C_W1	EXTI 中断清除寄存器
EXTI_RTS	0018_H	R/W	EXTI 上升沿触发选择寄存器
EXTI_FTS	$001C_H$	R/W	EXTI 下降沿触发选择寄存器
EXTI_SWI	0020_H	R/W	EXTI 软件中断事件寄存器
EXTI_ADTE1	0024_H	R/W	EXTI ADC 触发启用寄存器 1
EXTI_ADTE2	0028_H	R/W	EXTI ADC 触发启用寄存器 2
EXTI_DB	$002C_H$	R/W	EXTI 弹跳消除寄存器
EXTI_DBC	0030_H	R/W	EXTI 弹跳消除取样率控制寄存器
EXTI_ICFG1	0034_H	R/W	EXTI 中断配置寄存器 1
EXTI_ICFG2	0038_H	R/W	EXTI 中断配置寄存器 2

15. 5. 2 寄存器描述

15. 5. 2. 1 EXTI 中断开启寄存器 (EXTI_IER)

EXTI 中断开启寄存器 (EXTI_IER)																													
偏移地址：0x00																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
										WAKEUP	LVD			CMP2	CMP1	GPIO15	GPIO14	GPIO13	GPIO12	GPIO11	GPIO10	GPIO9	GPIO 8	GPIO 7	GPIO 6	GPIO 5	GPIO 4	GPIO 3	GPIO 2	GPIO 1	GPIO 0

—	Bits 31-22	—	—
WAKEUP	Bit 21	W1	**开启Wake Up中断。** 0: 无影响。 1: 开启WAKEUP的中断。
LVD	Bit 20	W1	**开启Low Power Detector(LVD)中断。** 0: 无影响。 1: 开启LVD的中断。
—	Bits 19-18	—	—
CMP2	Bit 17	W1	**开启Comparator2(CMP2)中断。** 0: 无影响。 1: 开启CMP2的中断。
CMP1	Bit 16	W1	**开启Comparator1(CMP1)中断。** 0: 无影响。 1: 开启CMP1的中断。
GPIO15	Bit 15	W1	**开启GPIO中断。(y=0…15)。** 0: 无影响。 1: 开启相应GPIO位的中断上。
GPIO14	Bit 14	W1	
GPIO13	Bit 13	W1	
GPIO12	Bit 12	W1	
GPIO11	Bit 11	W1	
GPIO10	Bit 10	W1	
GPIO9	Bit 9	W1	
GPIO8	Bit 8	W1	
GPIO7	Bit 7	W1	
GPIO6	Bit 6	W1	
GPIO5	Bit 5	W1	
GPIO4	Bit 4	W1	
GPIO3	Bit 3	W1	

GPIO2	Bit 2	W1	
GPIO1	Bit 1	W1	
GPIO0	Bit 0	W1	

15. 5. 2. 2 EXTI 中断关闭寄存器 (EXTI_IDR)

EXTI 中断关闭寄存器 (EXTI_IDR)

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	WAKEUP	LVD	—	—	CMP2	CMP1	GPIO15	GPIO14	GPIO13	GPIO12	GPIO11	GPIO10	GPIO9	GPIO 8	GPIO 7	GPIO 6	GPIO 5	GPIO 4	GPIO 3	GPIO 2	GPIO 1	GPIO 0

—	Bits 31-22	—	—
WAKEUP	Bit 21	W1	**关闭Wake Up中断。** 0: 无影响。 1: 关闭WAKEUP的中断。
LVD	Bit 20	W1	**关闭Low Power Detector(LVD)中断。** 0: 无影响。 1: 关闭LVD的中断。
—	Bits 19-18	—	—
CMP2	Bit 17	W1	**关闭Comparator2(CMP2)中断。** 0: 无影响。 1: 关闭CMP2的中断。
CMP1	Bit 16	W1	**关闭Comparator1(CMP1)中断。** 0: 无影响。 1: 关闭CMP1的中断。
GPIO15	Bit 15	W1	**关闭GPIO中断。(y=0…15)。** 0: 无影响。 1: 关闭相应GPIO位的中断上。
GPIO14	Bit 14	W1	
GPIO13	Bit 13	W1	
GPIO12	Bit 12	W1	
GPIO11	Bit 11	W1	
GPIO10	Bit 10	W1	
GPIO9	Bit 9	W1	
GPIO8	Bit 8	W1	
GPIO7	Bit 7	W1	
GPIO6	Bit 6	W1	

GPIO5	Bit 5	W1	
GPIO4	Bit 4	W1	
GPIO3	Bit 3	W1	
GPIO2	Bit 2	W1	
GPIO1	Bit 1	W1	
GPIO0	Bit 0	W1	

15. 5. 2. 3 EXTI 中断功能有效状态寄存器 (EXTI_IVS)

EXTI 中断功能有效状态寄存器 (EXTI_IVS)

偏移地址：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	WAKEUP	LVD	—	—	CMP2	CMP1	GPIO15	GPIO14	GPIO13	GPIO12	GPIO11	GPIO10	GPIO9	GPIO 8	GPIO 7	GPIO 6	GPIO 5	GPIO 4	GPIO 3	GPIO 2	GPIO 1	GPIO 0

—	Bits 31-22	—	—
WAKEUP	Bit 21	R	**Wake Up中断功能状态** 0: WAKEUP中断禁止状态。 1: WAKEUP中断始能状态。
LVD	Bit 20	R	**Low Power Detector(LVD) 中断功能状态** 0: LVD中断禁止状态。 1: LVD中断始能状态。
—	Bits 19-18	—	—
CMP2	Bit 17	R	**Comparator2(CMP2) 中断功能状态** 0: CMP2中断禁止状态。 1: CMP2中断始能状态。
CMP1	Bit 16	R	**Comparator1(CMP1) 中断功能状态** 0: CMP1中断禁止状态。 1: CMP1中断始能状态。
GPIO15	Bit 15	R	**GPIOy中断。(y=0…15)中断功能状态** 0: GPIOy中断禁止状态。 1: GPIOy中断始能状态。
GPIO14	Bit 14	R	
GPIO13	Bit 13	R	
GPIO12	Bit 12	R	
GPIO11	Bit 11	R	
GPIO10	Bit 10	R	
GPIO9	Bit 9	R	

GPIO8	Bit 8	R	
GPIO7	Bit 7	R	
GPIO6	Bit 6	R	
GPIO5	Bit 5	R	
GPIO4	Bit 4	R	
GPIO3	Bit 3	R	
GPIO2	Bit 2	R	
GPIO1	Bit 1	R	
GPIO0	Bit 0	R	

15. 5. 2. 4 EXTI 原始中断状态寄存器 (EXTI_RIF)

EXTI 原始中断状态寄存器 (EXTI_RIF)

偏移地址：0x0C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	WAKEUP	LVD	—	—	CMP2	CMP1	GPIO15	GPIO14	GPIO13	GPIO12	GPIO11	GPIO10	GPIO9	GPIO 8	GPIO 7	GPIO 6	GPIO 5	GPIO 4	GPIO 3	GPIO 2	GPIO 1	GPIO 0

—	Bits 31-22	—	—
WAKEUP	Bit 21	R	**Wake Up，原始中断状态** 0: 未产生中断。 1: WAKEUP中断产生。
LVD	Bit 20	R	**Low Power Detector(LVD) ，原始中断状态** 0: 未产生中断。 1: LVD中断产生。
—	Bits 19-18	—	—
CMP2	Bit 17	R	**Comparator2(CMP2) ，原始中断状态** 0: 未产生中断。 1: CMP2中断产生。
CMP1	Bit 16	R	**Comparator1(CMP1) ，原始中断状态** 0: 未产生中断。 1: CMP1中断产生。
GPIO15	Bit 15	R	**GPIOy中断。(y=0…15) ，原始中断状态** 0: 未产生中断。 1: GPIOy中断产生。
GPIO14	Bit 14	R	
GPIO13	Bit 13	R	
GPIO12	Bit 12	R	

GPIO11	Bit 11	R	
GPIO10	Bit 10	R	
GPIO9	Bit 9	R	
GPIO8	Bit 8	R	
GPIO7	Bit 7	R	
GPIO6	Bit 6	R	
GPIO5	Bit 5	R	
GPIO4	Bit 4	R	
GPIO3	Bit 3	R	
GPIO2	Bit 2	R	
GPIO1	Bit 1	R	
GPIO0	Bit 0	R	

15. 5. 2. 5 EXTI 中断标志位状态寄存器 (EXTI_IFM)

EXTI 中断标志位状态寄存器 (EXTI_IFM)

偏移地址：0x10

复位值：0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	WAKEUP	LVD	—	—	CMP2	CMP1	GPIO15	GPIO14	GPIO13	GPIO12	GPIO11	GPIO10	GPIO9	GPIO 8	GPIO 7	GPIO 6	GPIO 5	GPIO 4	GPIO 3	GPIO 2	GPIO 1	GPIO 0

—	Bits 31-22	—	—
WAKEUP	Bit 21	R	**Wake Up标志位中断状态** 0: 未产生中断或中断未始能。 1: WAKEUP中断产生。
LVD	Bit 20	R	**Low Power Detector(LVD) 标志位中断状态** 0: 未产生中断或中断未始能。 1: LVD中断产生。
—	Bits 19-18	—	—
CMP2	Bit 17	R	**Comparator2(CMP2) 标志位中断状态** 0: 未产生中断或中断未始能。 1: CMP2中断产生。
CMP1	Bit 16	R	**Comparator1(CMP1) 标志位中断状态** 0: 未产生中断或中断未始能。 1: CMP1中断产生。
GPIO15	Bit 15	R	**GPIOy中断。(y=0…15) 标志位中断状态**

GPIO14	Bit 14	R	0: 未产生中断或中断未始能。 1: GPIOy中断产生。
GPIO13	Bit 13	R	
GPIO12	Bit 12	R	
GPIO11	Bit 11	R	
GPIO10	Bit 10	R	
GPIO9	Bit 9	R	
GPIO8	Bit 8	R	
GPIO7	Bit 7	R	
GPIO6	Bit 6	R	
GPIO5	Bit 5	R	
GPIO4	Bit 4	R	
GPIO3	Bit 3	R	
GPIO2	Bit 2	R	
GPIO1	Bit 1	R	
GPIO0	Bit 0	R	

15. 5. 2. 6 EXTI 中断清除寄存器（EXTI_ICR）

EXTI 中断清除寄存器（EXTI_ICR）

偏移地址：0x14

复位值：0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	WAKEUP	LVD	—	—	CMP2	CMP1	GPIO15	GPIO14	GPIO13	GPIO12	GPIO11	GPIO10	GPIO9	GPIO 8	GPIO 7	GPIO 6	GPIO 5	GPIO 4	GPIO 3	GPIO 2	GPIO 1	GPIO 0

—	Bits 31-22	—	—
WAKEUP	Bit 21	C_W1	**清除Wake Up中断。** 0: 无影响。 1: 清除WAKEUP的中断。
LVD	Bit 20	C_W1	**清除Low Power Detector(LVD)中断。** 0: 无影响。 1: 清除LVD的中断。
—	Bits 19-18	—	—
CMP2	Bit 17	C_W1	**清除Comparator2(CMP2)中断。** 0: 无影响。 1: 清除CMP2的中断。
CMP1	Bit 16	C_W1	**清除Comparator1(CMP1)中断。**

			0: 无影响。 1: 清除CMP1的中断。
GPIO15	Bit 15	C_W1	**清除GPIOy中断。(y=0…15)。** 0: 无影响。 1: 清除相应GPIO位的中断上。
GPIO14	Bit 14	C_W1	
GPIO13	Bit 13	C_W1	
GPIO12	Bit 12	C_W1	
GPIO11	Bit 11	C_W1	
GPIO10	Bit 10	C_W1	
GPIO9	Bit 9	C_W1	
GPIO8	Bit 8	C_W1	
GPIO7	Bit 7	C_W1	
GPIO6	Bit 6	C_W1	
GPIO5	Bit 5	C_W1	
GPIO4	Bit 4	C_W1	
GPIO3	Bit 3	C_W1	
GPIO2	Bit 2	R	
GPIO1	Bit 1	R	
GPIO0	Bit 0	R	

15. 5. 2. 7 EXTI 上升沿触发选择寄存器 (EXTI_RTS)

EXTI 上升沿触发选择寄存器 (EXTI_RTS)

偏移地址：0x18

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	RTS21	RTS20	—	—	RTS17	RTS16	RTS15	RTS14	RTS13	RTS12	RTS11	RTS10	RTS9	RTS8	RTS7	RTS6	RTS5	RTS4	RTS3	RTS2	RTS1	RTS0

—	Bits 31-22	—	—
RTS21	Bit 21	R/W	**RTSy: 上升沿触发事件配置。(y=20,21)。** 0: 上升沿触发禁能。 1: 上升沿触发致能。
RTS20	Bit 20	R/W	
—	Bits 19-18	—	—
RTS17	Bit 17	R/W	**RTSy: 上升沿触发事件配置。(y=0…17)。** 0: 上升沿触发禁能。 1: 上升沿触发致能。
RTS16	Bit 16	R/W	
RTS15	Bit 15	R/W	
RTS14	Bit 14	R/W	

RTS13	Bit 13	R/W	
RTS12	Bit 12	R/W	
RTS11	Bit 11	R/W	
RTS10	Bit 10	R/W	
RTS9	Bit 9	R/W	
RTS8	Bit 8	R/W	
RTS7	Bit 7	R/W	
RTS6	Bit 6	R/W	
RTS5	Bit 5	R/W	
RTS4	Bit 4	R/W	
RTS3	Bit 3	R/W	
RTS2	Bit 2	R/W	
RTS1	Bit 1	R/W	
RTS0	Bit 0	R/W	

15. 5. 2. 8 EXTI 下降沿触发选择寄存器 (EXTI_FTS)

EXTI 下降沿触发选择寄存器 (EXTI_FTS)

偏移地址：0x1C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	FTS21	FTS20	—	—	FTS17	FTS16	FTS15	FTS14	FTS13	FTS12	FTS11	FTS10	FTS9	FTS8	FTS7	FTS6	FTS5	FTS4	FTS3	FTS2	FTS1	FTS0

—	Bits 31-22	—	—
FTS21	Bit 21	R/W	**FTSy: 下降沿触发事件配置。(y=20,21)。** 0: 下降沿触发禁能。 1: 下降沿触发致能。
FTS20	Bit 20	R/W	
—	Bits 19-18	—	—
FTS17	Bit 17	R/W	**FTSy: 下降沿触发事件配置。(y=0…17)。** 0: 下降沿触发禁能。 1: 下降沿触发致能。
FTS16	Bit 16	R/W	
FTS15	Bit 15	R/W	
FTS14	Bit 14	R/W	
FTS13	Bit 13	R/W	
FTS12	Bit 12	R/W	
FTS11	Bit 11	R/W	
FTS10	Bit 10	R/W	

FTS9	Bit 9	R/W	
FTS8	Bit 8	R/W	
FTS7	Bit 7	R/W	
FTS6	Bit 6	R/W	
FTS5	Bit 5	R/W	
FTS4	Bit 4	R/W	
FTS3	Bit 3	R/W	
FTS2	Bit 2	R/W	
FTS1	Bit 1	R/W	
FTS0	Bit 0	R/W	

15. 5. 2. 9 EXTI 软件中断事件寄存器 (EXTI_SWI)

EXTI 软件中断事件寄存器(EXTI_SWI)

偏移地址：0x20

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
										SWI21	SWI20			SWI17	SWI16	SWI15	SWI14	SWI13	SWI12	SWI11	SWI10	SWI9	SWI8	SWI7	SWI6	SWI5	SWI4	SWI3	SWI2	SWI1	SWI0

—	Bits 31-22	—	—
SWI21	Bit 21	R/W	**SWIy: 软件中断。(y=20,21)。** 0: 无中断产生。 1: 产生中断。
SWI20	Bit 20	R/W	
—	Bits 19-18	—	—
SWI17	Bit 17	R/W	**SWIy: 软件中断。(y=0…17)。** 0: 无中断产生。 1: 产生中断。
SWI16	Bit 16	R/W	
SWI15	Bit 15	R/W	
SWI14	Bit 14	R/W	
SWI13	Bit 13	R/W	
SWI12	Bit 12	R/W	
SWI11	Bit 11	R/W	
SWI10	Bit 10	R/W	
SWI9	Bit 9	R/W	
SWI8	Bit 8	R/W	
SWI7	Bit 7	R/W	
SWI6	Bit 6	R/W	

SWI5	Bit 5	R/W	
SWI4	Bit 4	R/W	
SWI3	Bit 3	R/W	
SWI2	Bit 2	R/W	
SWI1	Bit 1	R/W	
SWI0	Bit 0	R/W	

15. 5. 2. 10 EXTI ADC 触发启用寄存器 1 (EXTI_ADTE1)

EXTI ADC 触发启用寄存器 1 (EXTI_ADTE1)

偏移地址：0x24

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														ADTE17	ADTE16	ADTE15	ADTE14	ADTE13	ADTE12	ADTE11	ADTE10	ADTE9	ADTE8	ADTE7	ADTE6	ADTE5	ADTE4	ADTE3	ADTE2	ADTE1	ADTE0

—	Bits 31-18	—	—
ADTE17	Bit 17	R/W	**ADTEy: ADC触发启用。(y=0…17)。** 0: ADC中断触发关闭。 1: ADC中断触发启用。
ADTE16	Bit 16	R/W	
ADTE15	Bit 15	R/W	
ADTE14	Bit 14	R/W	
ADTE13	Bit 13	R/W	
ADTE12	Bit 12	R/W	
ADTE11	Bit 11	R/W	
ADTE10	Bit 10	R/W	
ADTE9	Bit 9	R/W	
ADTE8	Bit 8	R/W	
ADTE7	Bit 7	R/W	
ADTE6	Bit 6	R/W	
ADTE5	Bit 5	R/W	
ADTE4	Bit 4	R/W	
ADTE3	Bit 3	R/W	
ADTE2	Bit 2	R/W	
ADTE1	Bit 1	R/W	
ADTE0	Bit 0	R/W	

15. 5. 2. 11 EXTI ADC 触发启用寄存器 2 (EXTI_ADTE2)

EXTI ADC 触发启用寄存器 2 (EXTI_ADTE2)																														
偏移地址：0x28																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														ADTE17	ADTE16	ADTE15	ADTE14	ADTE13	ADTE12	ADTE11	ADTE10	ADTE9	ADTE8	ADTE7	ADTE6	ADTE5	ADTE4	ADTE3	ADTE2	ADTE1	ADTE0

—	Bits 31-18	—	—
ADTE17	Bit 17	R/W	**ADTEy: ADC触发启用。(y=0…17)。** 0: ADC中断触发关闭。 1: ADC中断触发启用。
ADTE16	Bit 16	R/W	
ADTE15	Bit 15	R/W	
ADTE14	Bit 14	R/W	
ADTE13	Bit 13	R/W	
ADTE12	Bit 12	R/W	
ADTE11	Bit 11	R/W	
ADTE10	Bit 10	R/W	
ADTE9	Bit 9	R/W	
ADTE8	Bit 8	R/W	
ADTE7	Bit 7	R/W	
ADTE6	Bit 6	R/W	
ADTE5	Bit 5	R/W	
ADTE4	Bit 4	R/W	
ADTE3	Bit 3	R/W	
ADTE2	Bit 2	R/W	
ADTE1	Bit 1	R/W	
ADTE0	Bit 0	R/W	

15. 5. 2. 12 EXTI 弹跳消除寄存器（EXTI_DB）

EXTI 弹跳消除寄存器（EXTI_DB）																													
偏移地址：0x2C																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
										DBEN21	DBEN20			DBEN17	DBEN16	DBEN15	DBEN14	DBEN13	DBEN12	DBEN11	DBEN10	DBEN9	DBEN8	DBEN7	DBEN6	DBEN5	DBEN4	DBEN3	DBEN2	DBEN1	DBEN0

—	Bits 31-22	—	—
DBEN21	Bit 21	R/W	**DBENy：弹跳消除功能开关。(y=20,21)。** 0：关闭弹跳消除功能。 1：启用弹跳消除功能。
DBEN20	Bit 20	R/W	
—	Bits 19-18	—	—
DBEN17	Bit 17	R/W	**DBENy：弹跳消除功能开关。(y=0…17)。** 0：关闭弹跳消除功能。 1：启用弹跳消除功能。
DBEN16	Bit 16	R/W	
DBEN15	Bit 15	R/W	
DBEN14	Bit 14	R/W	
DBEN13	Bit 13	R/W	
DBEN12	Bit 12	R/W	
DBEN11	Bit 11	R/W	
DBEN10	Bit 10	R/W	
DBEN9	Bit 9	R/W	
DBEN8	Bit 8	R/W	
DBEN7	Bit 7	R/W	
DBEN6	Bit 6	R/W	
DBEN5	Bit 5	R/W	
DBEN4	Bit 4	R/W	
DBEN3	Bit 3	R/W	
DBEN2	Bit 2	R/W	
DBEN1	Bit 1	R/W	
DBEN0	Bit 0	R/W	

15. 5. 2. 13 EXTI 弹跳消除取样率控制寄存器 (EXTI_DBC)

EXTI 弹跳消除取样率控制寄存器 (EXTI_DBC)																													
偏移地址：0x30																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																DBPRE<7:0>													DBCNT<2:0>		

—	Bits 31-16	—	—
DBPRE	Bits 15-8	R/W	**DBPRE: 弹跳消除预分频器。** 配置弹跳消除的取样时间： 0: 无间隔，根据 EXTI 时钟频率取样。 1: 取样频率为 EXTI 时钟频率/2。 … 255: 取样频率为 EXTI 时钟频率/256。
—	Bits 7-3	—	—
DBCNT	Bits 2-0	R/W	**DBCNT: 弹跳消除计数器。** 配置弹跳消除的计数次数： 000: 输出值立即反映输入状态。 001: 取到 2 次相同的输入状态后才会更换输出值。 010: 取到 3 次相同的输入状态后才会更换输出值。 011: 取到 4 次相同的输入状态后才会更换输出值。 100: 取到 5 次相同的输入状态后才会更换输出值。 101: 取到 6 次相同的输入状态后才会更换输出值。 110: 取到 7 次相同的输入状态后才会更换输出值。 111: 取到 8 次相同的输入状态后才会更换输出值。

15. 5. 2. 14 EXTI 中断配置寄存器 1 (EXTI_ICFG1)

EXTI 中断配置寄存器 1 (EXTI_ICFG1)																															
偏移地址：0x34																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI7<3:0>				EXTI6<3:0>				EXTI5<3:0>				EXTI4<3:0>				EXTI3<3:0>				EXTI2<3:0>				EXTI1<3:0>				EXTI0<3:0>			

EXTI7	Bits 31-28	R/W	**EXTIy：中断配置。(y=0…7)。** 选择GPIOA/B/C/D为EXTI的外部中断源。 0000: PA[y] 引脚。 0001: PB[y] 引脚。 0010: PC[y] 引脚。 0011: PD[y] 引脚。 其他配置保留。
EXTI6	Bits 27-24	R/W	
EXTI5	Bits 23-20	R/W	
EXTI4	Bits 19-16	R/W	
EXTI3	Bits 15-12	R/W	
EXTI2	Bits 11-8	R/W	
EXTI1	Bits 7-4	R/W	
EXTI0	Bits 3-0	R/W	

15. 5. 2. 15 EXTI 中断配置寄存器 2 (EXTI_ICFG2)

EXTI 中断配置寄存器 2 (EXTI_ICFG2)																															
偏移地址：0x38																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI15<3:0>				EXTI14<3:0>				EXTI13<3:0>				EXTI12<3:0>				EXTI11<3:0>				EXTI10<3:0>				EXTI9<3:0>				EXTI8<3:0>			

EXTI15	Bits 31-28	R/W	**EXTIy：中断配置。(y=8…15)。** 选择GPIOA/B/C/D为EXTI的外部中断源。 0000: PA[y] 引脚。 0001: PB[y] 引脚。 0010: PC[y] 引脚。 0011: PD[y] 引脚。 其他配置保留。
EXTI14	Bits 27-24	R/W	
EXTI13	Bits 23-20	R/W	
EXTI12	Bits 19-16	R/W	
EXTI11	Bits 15-12	R/W	
EXTI10	Bits 11-8	R/W	
EXTI9	Bits 7-4	R/W	
EXTI8	Bits 3-0	R/W	

第16章 模数转换器 (ADC)

16. 1 概述

ADC 是将模拟形式的连续信号转换为数字形式的离散信号的外设。 12 位 ADC 为逐次逼近型模拟数字转换器 (SAR A/D)，具有 16 个外部输入信号、3 个内部信号。各种不同通道的 A/D 转换可在单次、连续、扫描或不连续模式下进行。ADC 的结果可在一个 16 位寄存器中读取 (数据可选择左对齐或右对齐形式)。

ADC 具有模拟看门狗 (analog watchdog) 特性，允许应用检测输入电压是否高过了使用者定义的阈值上限或低于阈值下限。

16. 2 特性

- 可配置 12 位、10 位、8 位或 6 位分辨率
- ADC 转换时间: 1.0 μs 12 位分辨率 (1 Ms/s), 在更低的分辨率转换下可达到更快的转换时间
- 在转换结束、插入转换结束、以及发生模拟看门狗或溢出事件时产生中断
- 可配置数据对齐方式
- 单次和连续转换模式
- 不连续取样模式
- 自校准
- 可独立配置各个通道的取样时间
- 可配置标准转换和插入转换通道的外部触发极性
- 可配置参考源
- 可配置转换时钟
- 标准通道转换期间可产生 DMA 请求
- 4 个专用数据寄存器供插入通道使用
- 低功耗模式: 自动延迟、自动关闭转换模式

16. 3 结构图

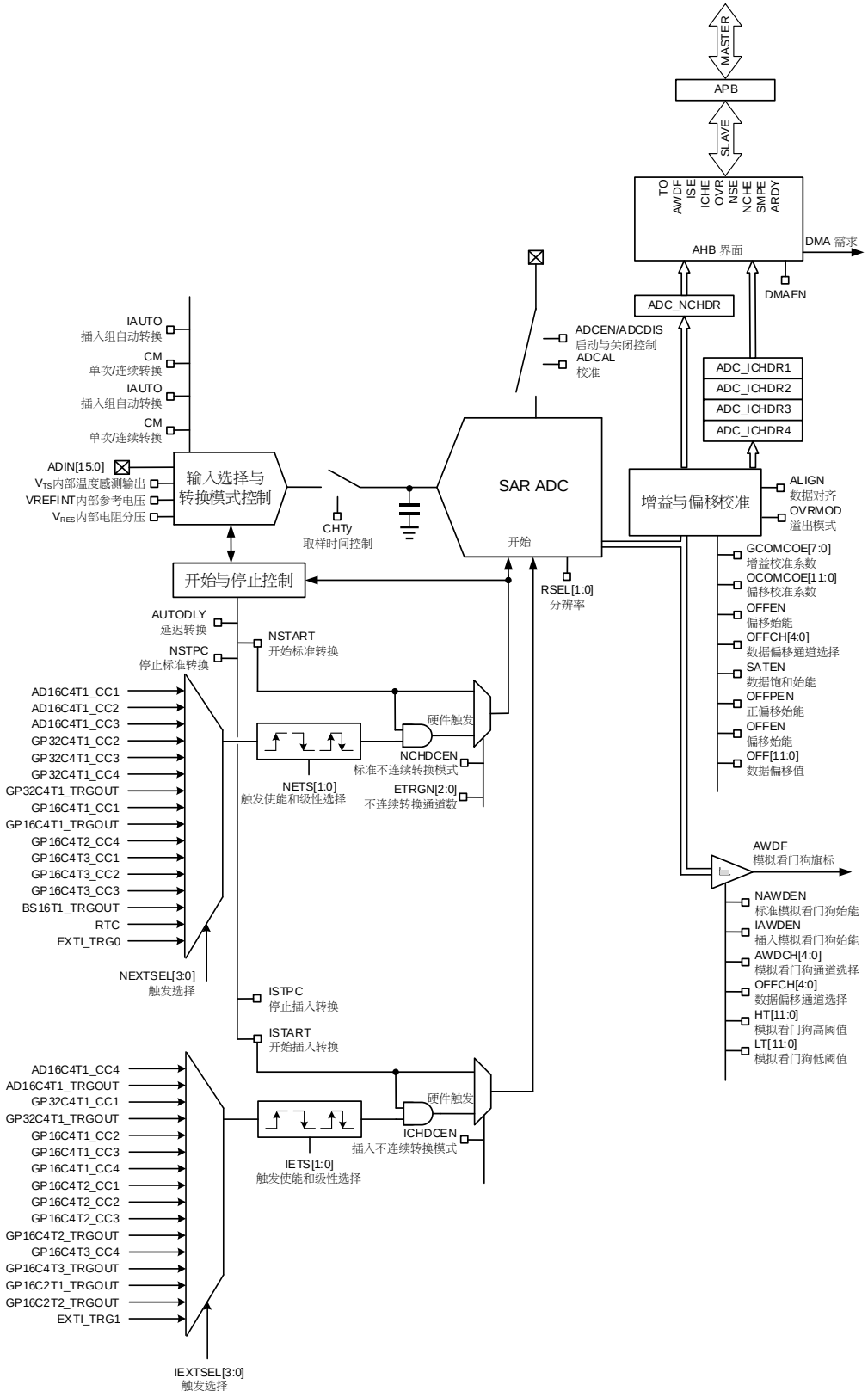


图 16-1 ADC 结构图

16. 4 功能描述

16. 4. 1 ADC 时钟

◇ 用于数字接口的时钟 (用于寄存器读/写访问)
此时钟为 APB 时钟

◇ 用于模拟电路的时钟: ADCCLK
此时钟来自于可编程预分频器分频的 APB 时钟，该预分频器可将 APB 时钟产生 1、2、4、6 或 8 分频时钟供 ADC 模拟电路使用

16. 4. 2 ADC 校准

ADC 有提供自动校准过程，在校准期间，ADC 会计算一个偏移校准因子和增益校准系数，校准因子会在 Core 断电后丢失(当进入 STANDBY0,STANDBY1 或 SHUTDOWN 模式)。在 ADC 校准期间和校准位完成前，应用不能使用 ADC 模块。执行 ADC 操作之前建议进行校准，校准可消除各芯片偏移误差和增益误差。

校准是通过软件将 ADCAL 位置 1 开始校准系数计算。仅当 ADC 禁止 (ADCEN=0) 时，才能执行校准。ADCAL 位在校准期间，必须保持为 1，当校准完成后随即被硬件清零。校准完成后，可以从 **ADC_CALCR** 寄存器读出校准系数。

如果 ADC 禁止 (ADCEN=0)，校准因子保持原值，但如果长时间禁止 ADC，建议在启用 ADC 之前重新做一次 ADC 校准操作。

ADC 校准的软件流程:

- 确认 ADCEN=0
- 设置 ADCAL=1
- 等待 ADCAL=0
- 可以从 **ADC_CALCR** 寄存器读取校准系数

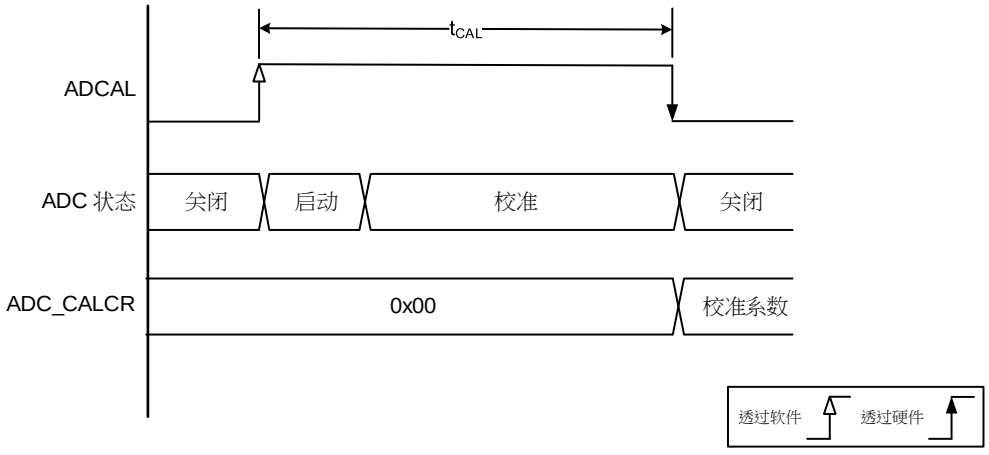


图 16-2 ADC 校准

将校准系数重新写入 ADC 的软件流程:

- 确保 ADCEN=1、NSTART=0 且 ISTART=0 (ADC 已使能，且并未进行任何转换)
- 将新的校准系数写入 **ADC_CALCR**

16. 4. 2. 1 ADC 补偿系数

- ADC 校准完的系数分别为 GCOMCOE、OCOMCOE.
  - OCOMCOE：表示偏移。 (8bit 有号数, 7bit 表示小数)
  - GCOMCOE：表示增益斜率的倒数。 (12 bit 无号数, 10bit 表示小数)
- 补偿后的数据 = (原始 ADC 转换数据 – OCOMCOE) * GCOMCOE/1024

其中需要除 1024 的原因为 GCOMCOE 的表示方式为 10bit 小数。

注: 仅当 ADCEN=1、NSTART=0 且 ISTART=0 时(ADC 已使能、当前未执行任何校准和转换)，才允许使用者对这些位执行写操作.

16. 4. 3 ADC 开关控制

可通过 **ADC_CON** 寄存器中的 ADCEN 位置 1 来使能 ADC，当 ADC 模块准备好时 ADC_RIF.ARDY 为 1。

可通过 **ADC_CON** 寄存器中的 ADCDIS 来关闭 ADC，并使 ADC 处于断电状态，当 ADC 关闭完成，硬件自动清除 ADCEN 和 ADCDIS。

启动 ADC 转换可藉由设置 NSTART 或 ISTART 来启动，也可通过外部触发事件来触发启动。

下列是开启 ADC 的流程:

- 将 **ADC_ICR** 寄存器中的 ARDY 设置为 1
- 在 **ADC_CON** 寄存器中设置 ADCEN=1
- 等待 **ADC_RIF** 寄存器中的 ARDY=1，也可以设置 **AES_IER** 寄存器中的 ARDY=1，藉由中断来等待 ADC 就绪。

下列为关闭 ADC 的流程:

- 检查 **ADC_CON** 寄存器中 NSTART 和 ISTART 是否为 0，确保 ADC 并没有在进行转换。若 ADC 正在进行转换，可设置 ADC_CON 寄存器中的 NSTPC 或 ISTPC 来停止转换，并等待 NSTPC 或 ISTPC 被硬件清 0，表示转换停止。
- 在 **ADC_CON** 寄存器中设置 ADCDIS=1
- 等待 **ADC_CON** 寄存器中 ADCDIS=0，代表 ADC 已关闭 (ADCEN 也会被清 0)

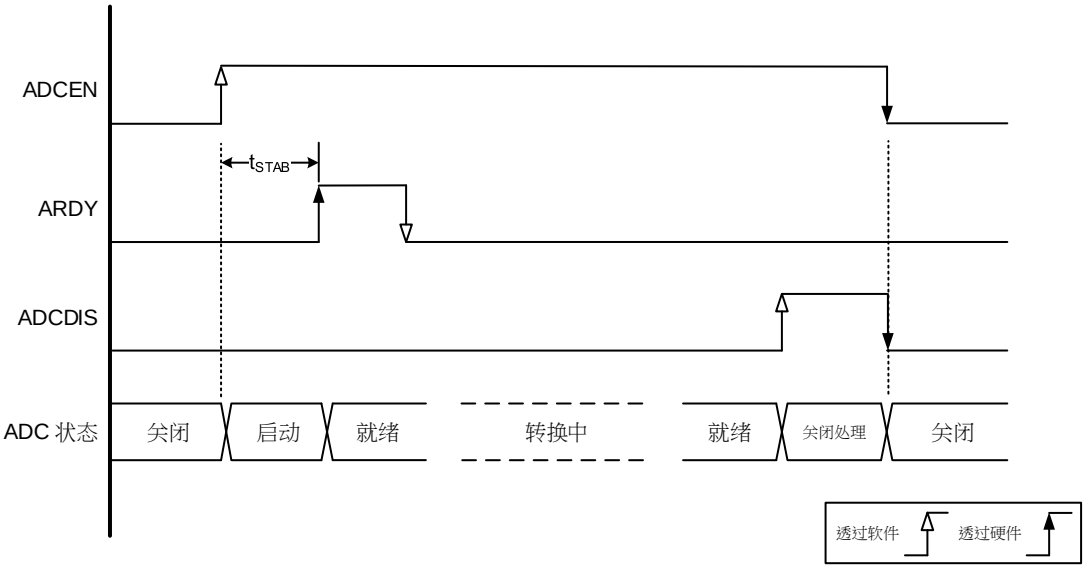


图 16-3 ADC 使能/禁止

16. 4. 4 写入 ADC 寄存器时的限制

软件必须在 ADC 已禁止 (ADCEN=0) 时，才能通过写入 RCU 控制位的方法配置和使能 ADC 时钟、 **ADC_CON** 寄存器中的 ADCAL (ADCEN 必须为 0)和 ADCEN。

软件必须在 ADC 已使能并且没有待处理的禁止 ADC 请求 (ADCEN=1 且 ADCDIS=0) 时，才能改写 **ADC_CON** 寄存器中的 ISTART, NSTART 和 ADCDIS。 只有在 ADC 正在进行转换 (ISTART=1 或 NSTART=1)，才能改写 **ADC_CON** 寄存器中的 ISTPC 或 NSTPC。

软件必须在并未进行任何转换的时候 (ISTART=0 且 NSTART=0)，才可以配置 **ADC_CFG** 寄存器中的 AWDCH、IAUTO、AWDSGL、AUTODLY、ALIGN、RSEL 和 DMAEN。

软件必须在并未进行任何转换的时候 (ISTART=0 且 NSTART=0)，才可以配置 **ADC_SMPT1**、**ADC_SMPT2**、**ADC_SMPT3**、**ADC_SMPT4**、**ADC_SMPT5**、**ADC_WDTH**、**ADC_OFF1**、**ADC_OFF2**、**ADC_OFF3** 和 **ADC_OFF4** 寄存器。

软件必须在 ADC 已使能并且没有进行任何转换的时候 (ADCEN=1, ISTART=0 且 NSTART=0)，才可以配置 **ADC_CALCR**、**ADC_CCR**。

16. 4. 5 ADC 通道选择

有 19 条复用通道。可以将转换分成两组: 标准转换和插入转换。每个组包含一个转换序列，该序列可按任意顺序在任意通道上完成。

- 一个标准转换组最多由 16 个转换构成。必须在 **ADC_NCHSx** 寄存器中选择转换序列的标准通道及其顺序。标准转换组中的转换总数必须写入 **ADC_NCHS1** 寄存器中的 NSL 位。
- 一个插入转换组最多由 4 个转换构成。必须在 **ADC_ICHS** 寄存器中选择转换序列的插入通道及其顺序。插入转换组中的转换总数必须写入 **ADC_ICHS** 寄存器中的 ISL 位。

不得在进行标准转换时对 ADC_NCHSx 寄存器进行修改。

内部通道:

- 温度传感器电压 V_{TS}
- 内部参考电压 VREFINT
- 内部电阻分压 V_{RES}

16. 4. 6 可独立设置各个通道的采样时间

在 ADC 启动转换之前，ADC 需要在被检测电压和内嵌采样电容做连结，因此采样时间必须足够长，让输入电压源对内嵌电容充电至和输入电压相同的水平。

可配置的取样时间利用输入电压的输入阻抗来调整取样速度，每个通道皆可配置不同的取样时间，可用 **ADC_SMPTx** 寄存器中的 CHTy[7:0] 来进行修改。

总采样时间计算如下: t_{SMPT} = 1.5 + CHTy[7:0] ADC 时钟周期

总转换时间计算如下: $t_{CONV} = t_{SMPT} + 12.5$ (12-bits) ADC 时钟周期 例如: 当 ADC 时钟为 14 MHz 且 采样时间为 1.5 ADC 时钟周期: $t_{CONV} = 1.5 + 12.5 = 14$ ADC 时钟周期 = 1 μs

ADC 藉由 SMPE 标志位来表示采样阶段的结束。

16. 4. 7 单次转换模式

单次转换模式是指 ADC 会执行一次序列转换，转换所有被选的通道，当寄存器 **ADC_CFG** 中的 CM 为 0 时，其工作流程如下:

ADC 转换可由下述方式启动:

- 将 **ADC_CON** 寄存器中的 NSTART 位置 1 (适用于标准通道)
- 将 **ADC_CON** 寄存器中的 ISTART 位置 1 (适用于插入通道)
- 外部触发 (适用于标准通道或插入通道)

完成所选通道的转换之后:

使用标准通道:

- 转换数据储存在 16 位 **ADC_NCHDR** 寄存器中
- 标准转换结束标志 **ADC_RIF**.NCHE 置 1
- 若标准转换完成中断使能位 **ADC_IER**.NCHE 置 1，将产生中断

使用插入通道:

- 转换数据储存在 16 位 **ADC_ICHDR1** 寄存器中
- 插入转换结束标志 **ADC_RIF**.ICHE 置 1
- 若插入转换完成中断使能位 **ADC_IER**.ICHE 置 1，将产生中断

标准序列完成后:

- 标准序列结束标志 **ADC_RIF**.NSE 置 1
- 若标准序列完成中断使能位 **ADC_IER**.NSE 置 1，将产生中断

插入序列完成后:

- 插入序列结束标志 **ADC_RIF**.ISE 置 1
- 若插入序列完成中断使能位 **ADC_IER**.ISE 置 1，将产生中断

然后，ADC 停止工作，直至发生新的外部标准或插入触发，或者 NSTART 或 ISTART 位再次置 1。

注: 若转换单一通道，则可配置一个长度为 1 的转换序列。

16. 4. 8 连续转换模式

该模式仅适用于标准通道。

在连续转换模式下，如果发生软件或硬件标准触发事件，ADC 执行完一个序列转换，会将通道的所有标准转换执行一次且自动重新开始执行相同的序列转换。

当寄存器 **ADC_CFG** 中的 CM 为 1 时，ADC 选择为连续转换模式。ADC 转换可由下述两种方法启动:

- 将 **ADC_CON** 寄存器中的 NSTART 位置 1 (适用于标准通道)
- 外部触发

在序列通道的转换中，每次转换完成后:

- 转换数据储存在 16 位 **ADC_NCHDR** 寄存器中
- 标准转换结束标志 **ADC_RIF**.NCHE 置 1
- 若标准转换完成中断使能位 **ADC_IER**.NCHE 置 1，将产生中断

转换序列完成后:

- 标准序列结束标志 **ADC_RIF**.NSE 置 1
- 若标准序列完成中断使能位 **ADC_IER**.NSE 置 1，将产生中断

注:

1. 让 ADC 同时处于不连续转换模式和连续转换模式是不可能的事情，因此在这种情况下 (NCHDCEN=1, CM=1)，其表现为不连续转换模式
2. 不能连续转换插入通道，唯一的例外情况是，插入通道配置为在标准通道之后自动转换 (使用 ADC_CFG.IAUTO 位)。

16. 4. 9 开始转换

使用于标准通道

软件通过配置 **ADC_CON** 寄存器中的 NSTART 置 1 来启动 ADC。

NSTART 置 1 后：

- 在 **ADC_CFG** 寄存器的 NETS=0x00 时，ADC 会立即转换 (软件触发) 。
- 在 **ADC_CFG** 寄存器的 NETS≠0x00 时，会在下一个所选硬件触发极性时开始转换。

在 **ADC_CFG** 寄存器的 NETS=0x00 时，NSTART 位还可以看出当前 ADC 是否正在进行转换， NSTART=0 表示 ADC 处于空闲状态。

NSTART 位由硬件清零：

- 在使用单次软件触发的模式下 (CM=0,NETS=0x00)
  - 当标准序列转换结束 (NSE=1) 后，NSTART 硬件自动清零
- 在所有情况下 (CM=X,NETS=XX)
  - 在执行停止转换的指令后，NSTART 硬件自动清零

在连续模式下 (CM=1)，由于序列会自动重新启动，因此当 NSE=1 时，NSTART 位不会由硬件清零。

如果在单次转换模式下选择硬件触发 (CM=0 且 NETS≠0x00)，当 NSE=1 时，NSTART 位不会由硬件清零，这样无须再通过软件将 NSTART 配置为 1，可确保不会错过下一个硬件触发事件。

使用于插入通道

软件通过配置 **ADC_CON** 寄存器中的 ISTART 置 1 来启动 ADC。

ISTART 置 1 后：

- 在 **ADC_ICHS** 寄存器的 IETS=0x00 时，ADC 会立即转换 (软件触发)
- 在 **ADC_ICHS** 寄存器的 IETS≠0x00 时，会在下一个所选硬件触发极性时开始转换

在 **ADC_ICHS** 寄存器的 IETS=0x00 时，ISTART 位还可以看出当前 ADC 是否正在进行转换， ISTART=0 表示 ADC 处于空闲状态。

ISTART 位由硬件清零:

- 在使用单次软件触发的模式下 (IETS=0x00)
  - 如果 ICHDCEN=1，只要插入序列转换结束 (ISE=1) 或子组处理结束，ISTART 硬件自动清零
- 在所有情况下 (IETS=XX)
  - 在执行停止转换的指令后，ISTART 硬件自动清零

在自动插入模式下(IAUTO=1)，使用 NSTART 位开始标准转换，然后会自行进入插入转换 (ISTART 必须保持为 0)。

16. 4. 10 ADC 时序

$T_{CONV} = T_S + T_{SAR} = (1.5_{min}+12.5_{12bits}) \times T_{ADCCLK}$

下图为转换时间示意图:

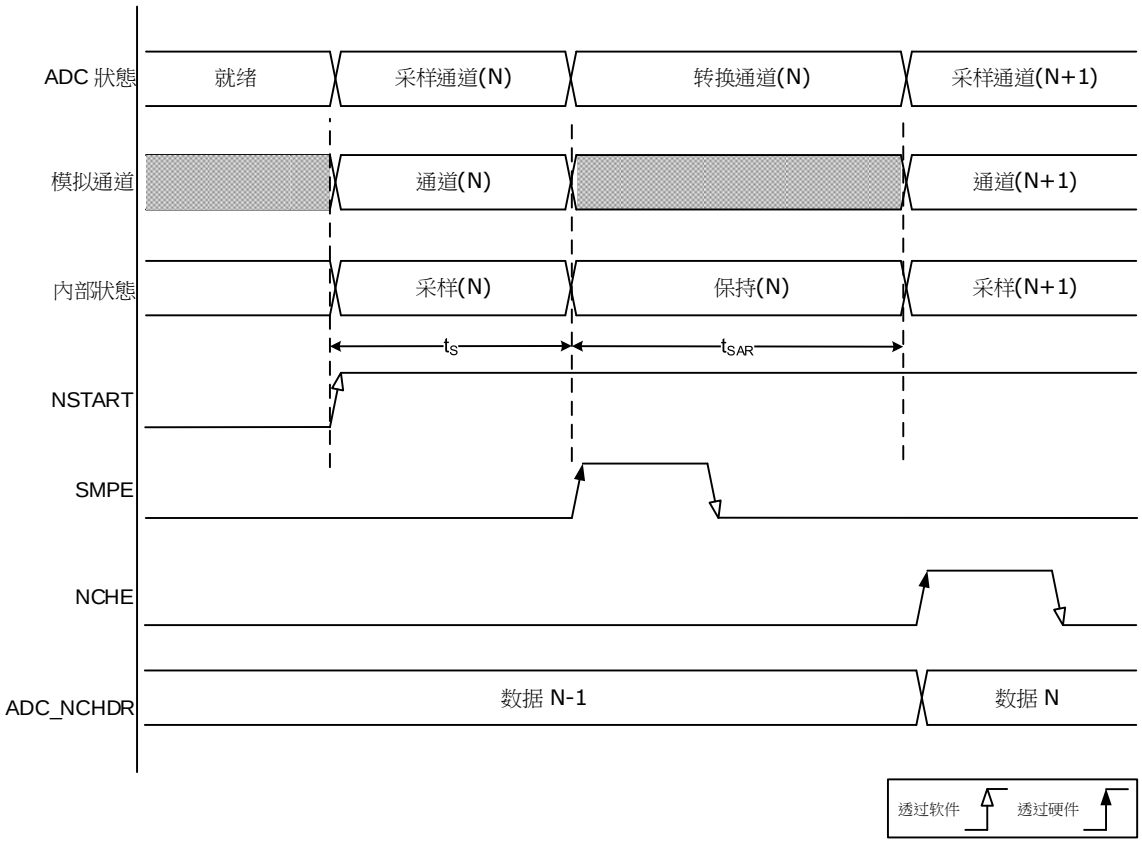


图 16-4 ADC 标准转换

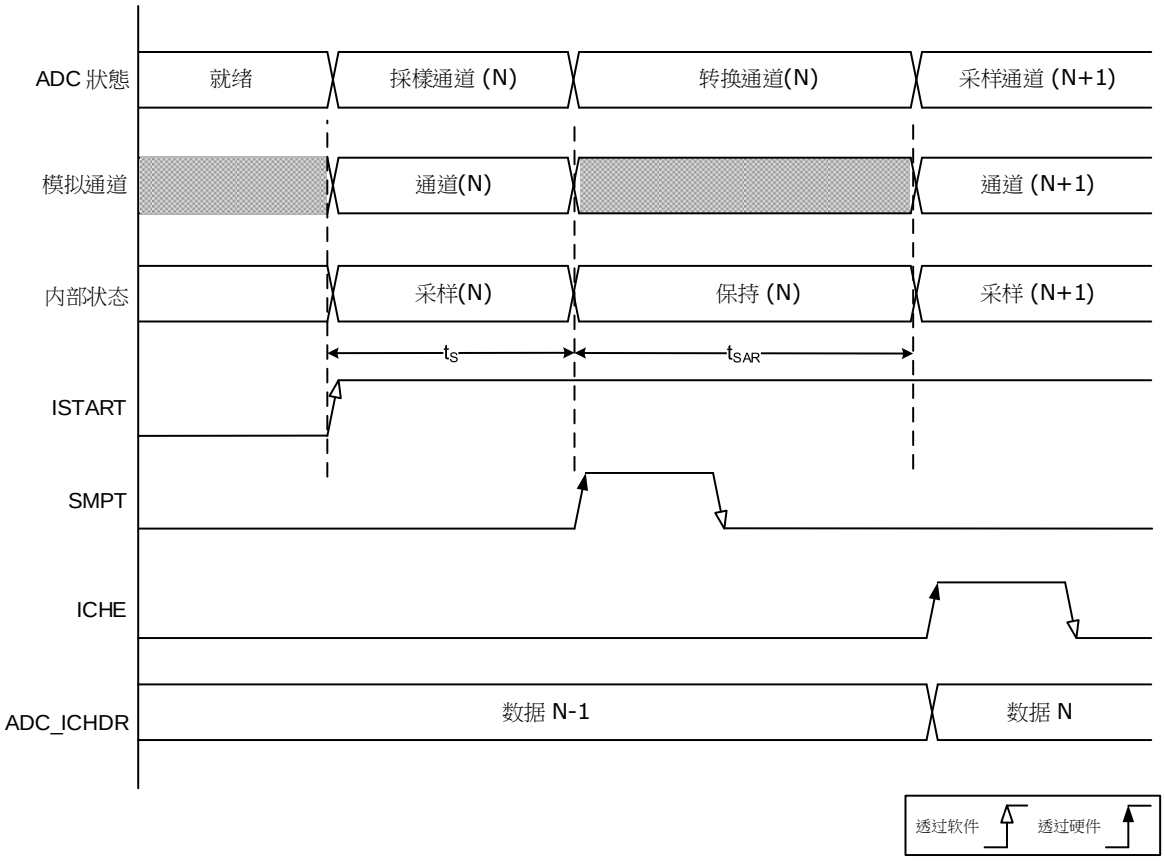


图 16-5 ADC 插入转换

16. 4. 11 停止正在进行的转换

软件决定是否停止转换，要停止正在进行的标准转换，应将 NSTPC 置 1；要停止正在进行的插入转换，应将 ISTPC 置 1。

可以在标准转换仍在执行时停止插入转换，反之亦然。

如果 NSTPC 位由软件置 1，则会将当下正在进行的标准转换做完，并会保留转换结果。

如果 ISTPC 位由软件置 1，则会将当下正在进行的插入转换做完，并会保留转换结果。

该程序执行完毕后，NSTPC/NSTART 位(标准转换时)或 ISTPC/ISTART 位(插入转换时)会由硬件清零，软件必须一直确认 NSTART(或 ISTART)直到该位被清零，然后才能判定 ADC 已完全停止运行。

注： 在自动插入模式下 (IAUTO=1)，将 NSTPC 位置 1 会中止标准转换和插入转换(不得使用 ISTPC)。

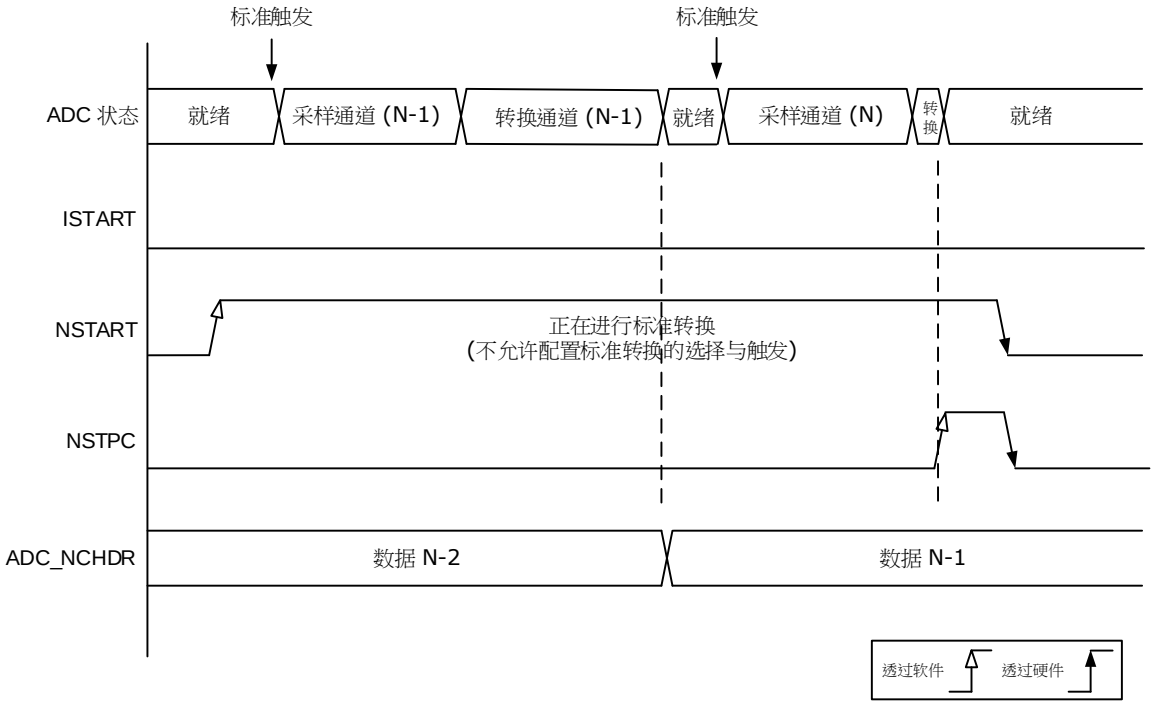


图 16-6 停止正在进行的标准转换

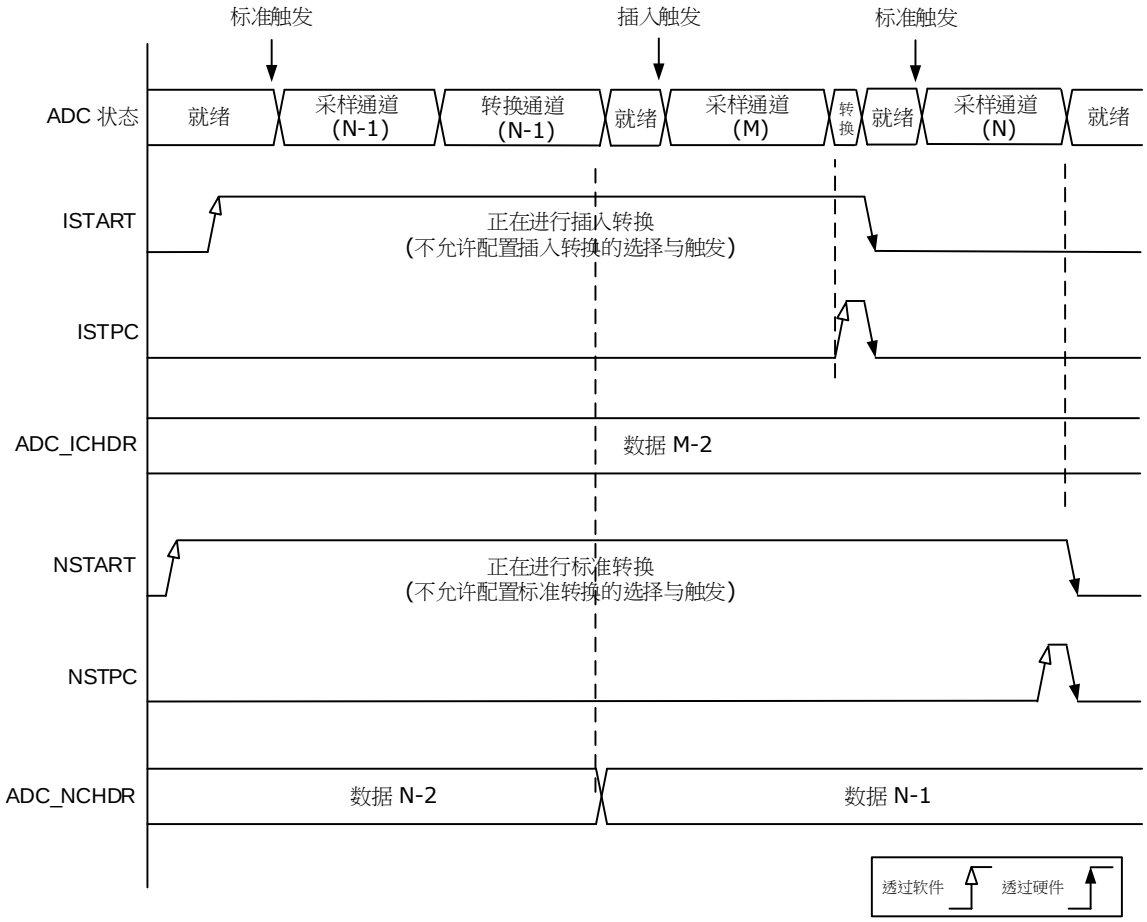


图 16-7 停止正在进行的插入转换

16. 4. 12 外部触发转换设定

可以通过外部事件(例如:EXTI 中断)触发转换。如果 **ADC_CFG** 寄存器中的 NETS[1:0] (对于标准转换)或 **ADC_ICHS** 寄存器中的 IETS[1:0] (对于插入转换) 不等于 0x00,则外部事件能够以所选的的极性触发转换。下表为 NETS[1:0]跟 IETS[1:0]的值与触发极性之间的对应关系。

来源	NETS[1:0]/IETS[1:0]
禁止外部触发	00
在上升沿时检测	01
在下降沿时检测	10
在上升沿和下降沿均检测	11

表 16-1 触发极性配置

ADC_CFG 寄存器中的 NEXTSEL[3:0]和 **ADC_ICHS** 寄存器中的 IEXTSEL[3:0]用来选择 16 个事件中哪一个事件可以触发标准组和插入组转换。

外部触发来自于定时器的讯号输出 CCx 以及 TRGOUT。CCx 为定时器的捕获/比较讯号输出，其输出的状态为脉冲。TRGOUT 的讯号可以透过寄存器配置电平或是脉冲。详细的讯号状态以及设定方式可以参考定时器的章节。

注: 仅能在 ADC 未进行转换的时候，可以更改触发的来源选择。

来源	种类	NEXTSEL[3:0]
AD16C4T1_CC1	内部信号	0000
AD16C4T1_CC2		0001
AD16C4T1_CC3		0010
GP32C4T1_CC2		0011
GP32C4T1_CC3		0100
GP32C4T1_CC4		0101
GP32C4T1_TRGOUT		0110
GP16C4T1_CC1		0111
GP16C4T1_TRGOUT		1000
GP16C4T2_CC4		1001
GP16C4T3_CC1		1010
GP16C4T3_CC2		1011
GP16C4T3_CC3		1100
BS16T1_TRGOUT		1101
RTC		1110
EXTI_TRG0	外部引脚	1111

表 16-2 标准通道的外部触发

来源	种类	IEXTSEL[3:0]
AD16C4T1_CC4	内部信号	0000
AD16C4T1_TRGOUT		0001
GP32C4T1_ CC1		0010
GP32C4T1_TRGOUT		0011
GP16C4T1_CC2		0100
GP16C4T1_CC3		0101
GP16C4T1_CC4		0110
GP16C4T2_CC1		0111
GP16C4T2_CC2		1000
GP16C4T2_CC3		1001
GP16C4T2_TRGOUT		1010
GP16C4T3_CC4		1011
GP16C4T3_TRGOUT		1100
GP16C2T1_TRGOUT		1101
GP16C2T2_TRGOUT		1110
EXTI_TRG1	外部引脚	1111

表 16-3 插入通道的外部触发

16. 4. 13 插入通道设定

触发插入模式

要触发插入通道，必须将 **ADC_CFGR** 寄存器中的 IAUTO 位清零。

1. 可通过外部触发或将 **ADC_CON** 寄存器中的 NSTART 位置 1 来启动标准通道组转换。
2. 如果在标准通道组转换期间出现外部插入触发或者 **ADC_CON** 寄存器中的 ISTART 位置 1，则当前的转换会复位，并会启动插入通道序列转换，所配置的插入通道都会转换一次。
3. 插入序列转换结束后，标准转换会从上次被插入触发事件中断的标准转换处恢复。
4. 如果在插入转换期间出现标准触发事件，插入转换不会中断，但在插入序列结束后会执行标准序列转换。

自动插入模式

如果将 **ADC_CFG** 寄存器中的 IAUTO 位置 1，则插入组中的通道会在标准序列结束之后自动转换。这可转换最多达 20 个转换构成的序列，这些转换在 **ADC_NCHSy** 和 **ADC_ICHS** 寄存器中配置。

在该模式下，必须将 **ADC_CON** 寄存器中的 NSTART 位置 1， 以开始标准转换，当标准序列结束转换会自行进入插入转换(ISTART 必须保持清零)。将 NSTPC 位置 1 会中止标准转换和插入转换(不得使用 ISTPC 位)。

在此模式下，必须禁止插入通道上的外部触发。

如果 CM 位和 IAUTO 位均配置 1，则标准序列及随后的插入序列会被连续转换。

注： 不能同时使用自动插入和不连续采样模式。

16. 4. 14 不连续转换模式

使用于标准通道

可将 **ADC_CFG** 寄存器中的 NCHDCEN 位置 1 来启用此模式。

该模式用于转换含有 n (n ≤ 8) 个转换的短序列(子组)，该短序列是在 **ADC_NCHSy** 寄存器中选择的转换序列的一部分。可通过写入 **ADC_CFG** 寄存器中的 ETRGN[2:0]位来指定 n 的值。

出现外部触发时，将启动在 **ADC_NCHSy** 寄存器中选择的接下来 n 个转换，直到序列中的所有转换均完成为止。通过 **ADC_NCHS1** 寄存器中的 NSL[3:0]位定义总序列长度。

范例：

- NCHDCEN=1，要转换的通道 = 1、2、3、6、7、8、9、10、11
  - 第一次触发：转换的通道为 1、2、3、6(每次转换时都生成 NCHE 事件)。
  - 第二次触发：转换的通道为 7、8、9、10(每次转换时都生成 NCHE 事件)。
  - 第三次触发：转换的通道为 11(每次转换时都生成 NCHE 事件)，并会在通道 11 转换完成后生成 NSE 事件。
  - 第四次触发：转换的通道为 1、2、3、6(每次转换时都生成 NCHE 事件)。
  - …
- NCHDCEN=0，n = 4，要转换的通道 = 1、2、3、6、7、8、9、10、11
  - 第一次触发：转换的通道为 1、2、3、6、7、8、9、10、11。每次转换时都生成 NCHE 事件，最后转换完成后还会生成 NSE 事件。
  - 后续触发事件都会重新转换整个序列

标准组在不连续模式下转换，当序列最后一个子组的转换次数少于 n 次，不会发生翻转。

转换完所有子组后，下一个触发信号将启动第一个子组的转换。在上述范例中，第四次触发重新转换了第一个子组中的通道 1、2、3 和 6。

不能同时配置不连续模式和连续模式。如果同时使能两种模式(即 NCHDCEN=1、CM=1)，ADC 会认定连续模式无效并继续执行相关操作。

使用于插入通道

可将 **ADC_CFG** 寄存器中的 ICHDCEN 位置 1 来启用此模式。在出现外部插入触发事件之后，该模式会根据 **ADC_ICHS** 寄存器中选择的序列逐通道转换，相当于不连续模式下标准通道 “n” 固定为 1 的情况。

出现外部触发时，将启动在 **ADC_ICHS** 寄存器中选择的下一个通道转换，直到序列中的所有转换均完成为止。通过 **ADC_ICHS** 寄存器中的 ISL[1:0]位定义总序列长度。

范例：

- ICHDCEN=1，要转换的通道 = 1、2、3
  - 第一次触发：转换通道 1(生成 ICHE 事件)
  - 第二次触发：转换通道 2(生成 ICHE 事件)
  - 第三次触发：转换通道 3 并生成 ICHE 事件和 ISE 事件
  - 第四次触发：转换通道 1(生成 ICHE 事件)
  - …

注： 转换完所有插入通道后，下一个触发信号将启动第一个插入通道的转换。在上述范例中，第 4 次触发重新转换了第 1 个插入通道 1。

不能同时使用自动插入模式和不连续模式：当 IAUTO 置 1 时，NCHDCEN 和 ICHDCEN 位必须通过软件保持清零状态。

16. 4. 15 可编程分辨率 - 快速转换模式

可通过降低 ADC 的分辨率来执行快速转换，对于不要求高精度的应用，分辨率越低，转换时间越短。修改 **ADC_CFG** 中的 RSEL[1:0]，可将分辨率配置为 12, 10, 8 或 6 bits，转换结果为 12 bits 且低位补 0。

每种分辨率的最小转换时间如下:

- 12 bits: 1.5 + 12.5 = 14 ADC 时钟周期
- 10 bits: 1.5 + 10.5 = 12 ADC 时钟周期
- 8 bits: 1.5 + 8.5 = 10 ADC 时钟周期
- 6 bits: 1.5 + 6.5 = 8 ADC 时钟周期

16. 4. 16 采样、转换结束

ADC 通过将 **ADC_RIR** 寄存器中的 SMPE 置 1 来表示采样阶段结束。如果 **AES_IER** 寄存器中的 SMPE 置 1，可产生中断。

新的标准数据产生后(放置在 **ADC_NCHRD** 寄存器中)，ADC 会立即将 **ADC_RIF** 寄存器中的 NCHE 置 1。如果 **AES_IER** 寄存器中的 NCHE 置 1，可产生中断。

新的插入数据产生后(放置在 **ADC_ICHDRy** 寄存器中)，ADC 会立即将 **ADC_RIF** 寄存器中的 ICHE 置 1。如果 **AES_IER** 寄存器中的 ICHE 置 1，可产生中断。

16. 4. 17 转换序列结束

每次出现标准序列结束 (NSE) 事件和插入序列结束 (ISE) 事件时，ADC 都会通知应用。

标准转换序列的最后一个数据出现在 **ADC_NCHRD** 寄存器中时，ADC 会立即将 **ADC_RIF** 寄存器中的 NSE 标志置 1。如果 **AES_IER** 寄存器中的 NSE 位置 1，可产生中断。

插入转换序列的最后一个数据完成时，ADC 会立即将 **ADC_RIF** 寄存器中的 ISE 标志置 1。如果 **AES_IER** 寄存器中的 ISE 位置 1，可产生中断。

16. 4. 18 转换时序范例

1. NETS=0x0，CM=0
2. 所选通道 = 1、7、11、17；AUTODLY=0

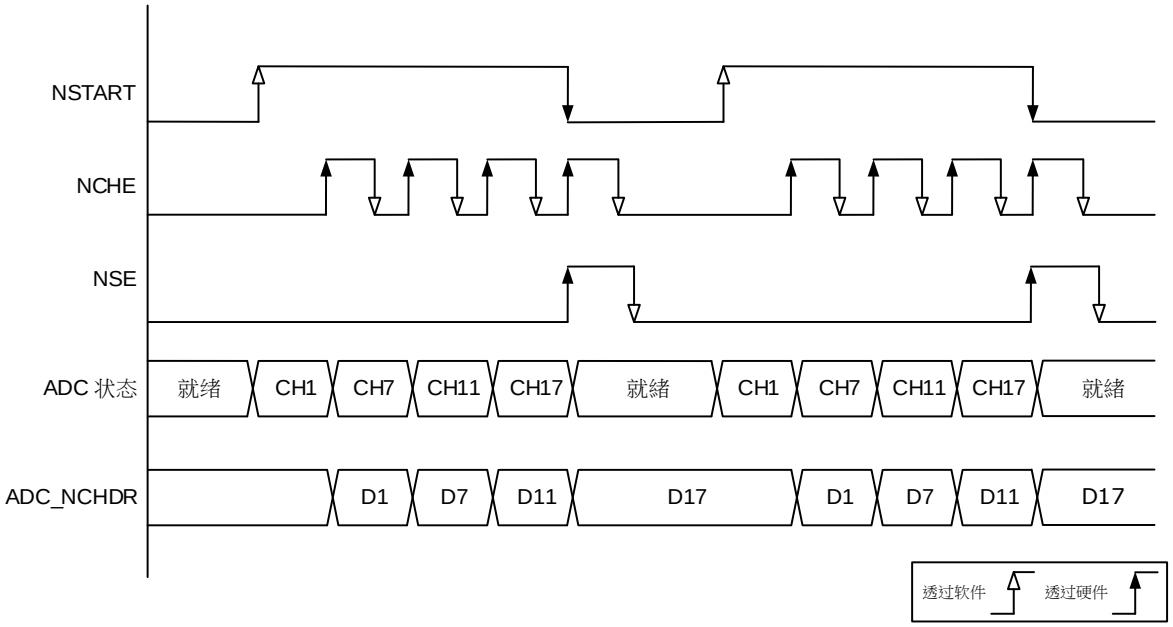


图 16-8 单次序列转换,软件触发

1. NETS=0x0，CM=1
2. 所选通道 = 1、7、11、17；AUTODLY=0

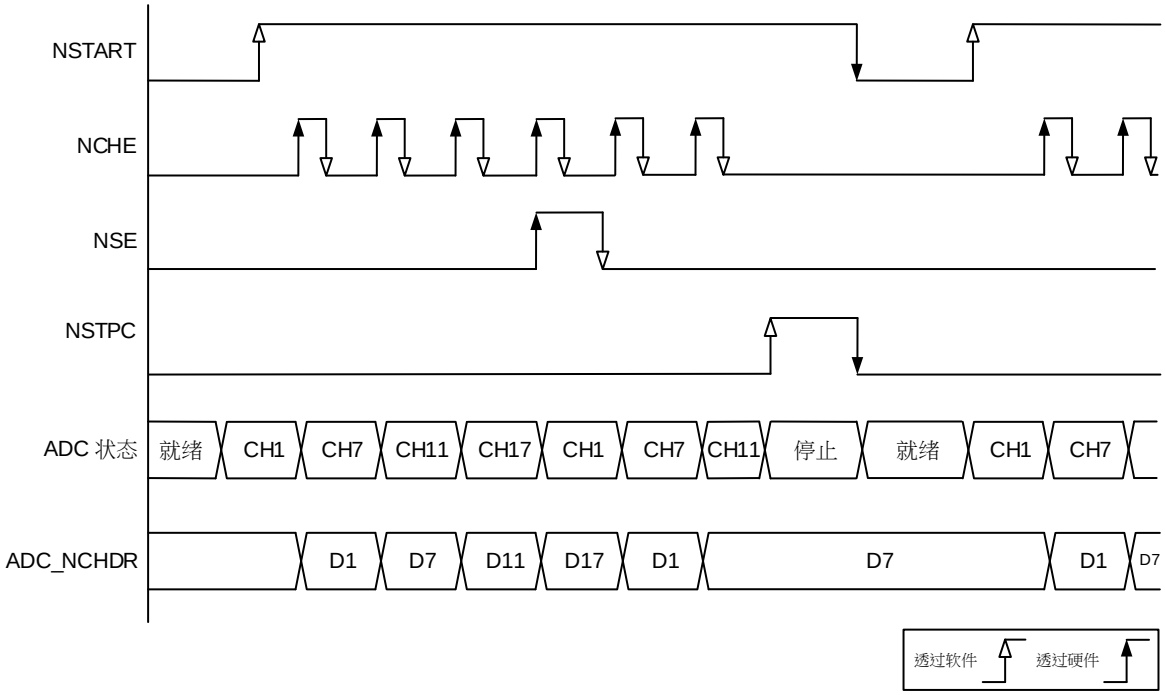


图 16-9 连续序列转换,软件触发

1. NETS=0x1，CM=0
2. 所选通道 = 1、2、3、4；AUTODLY=0

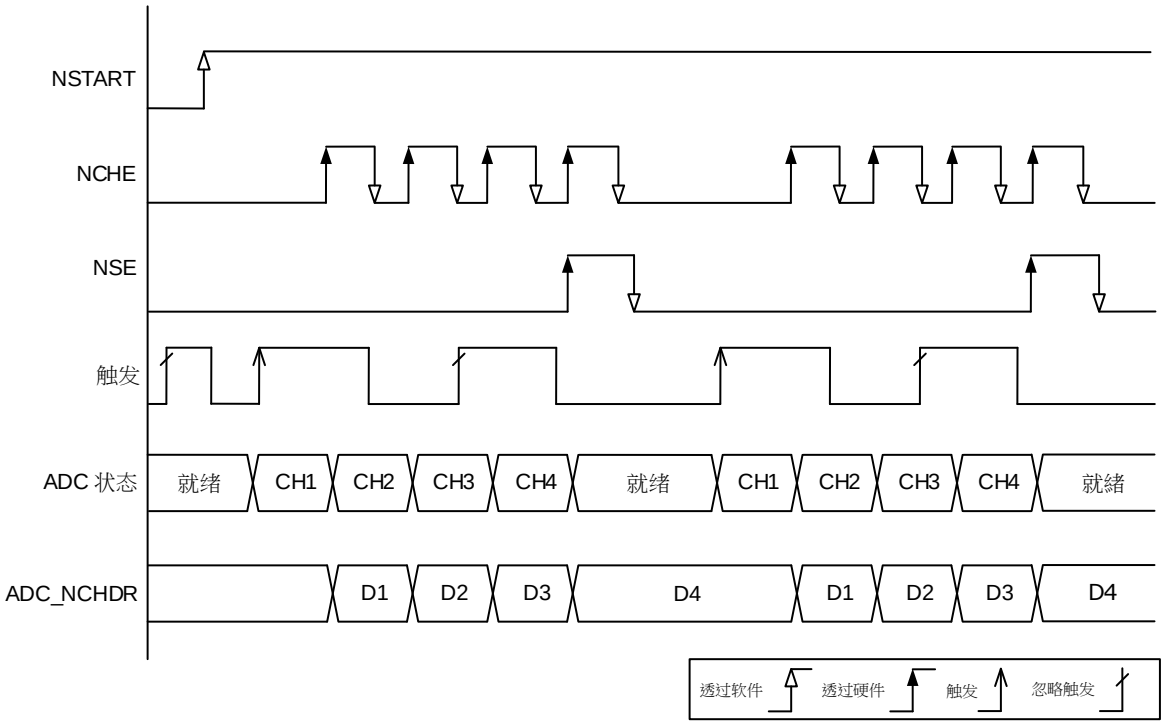


图 16-10 单次序列转换,硬件触发

1. NETS=0x2，CM=1
2. 所选通道 = 1、2、3、4；AUTODLY=0

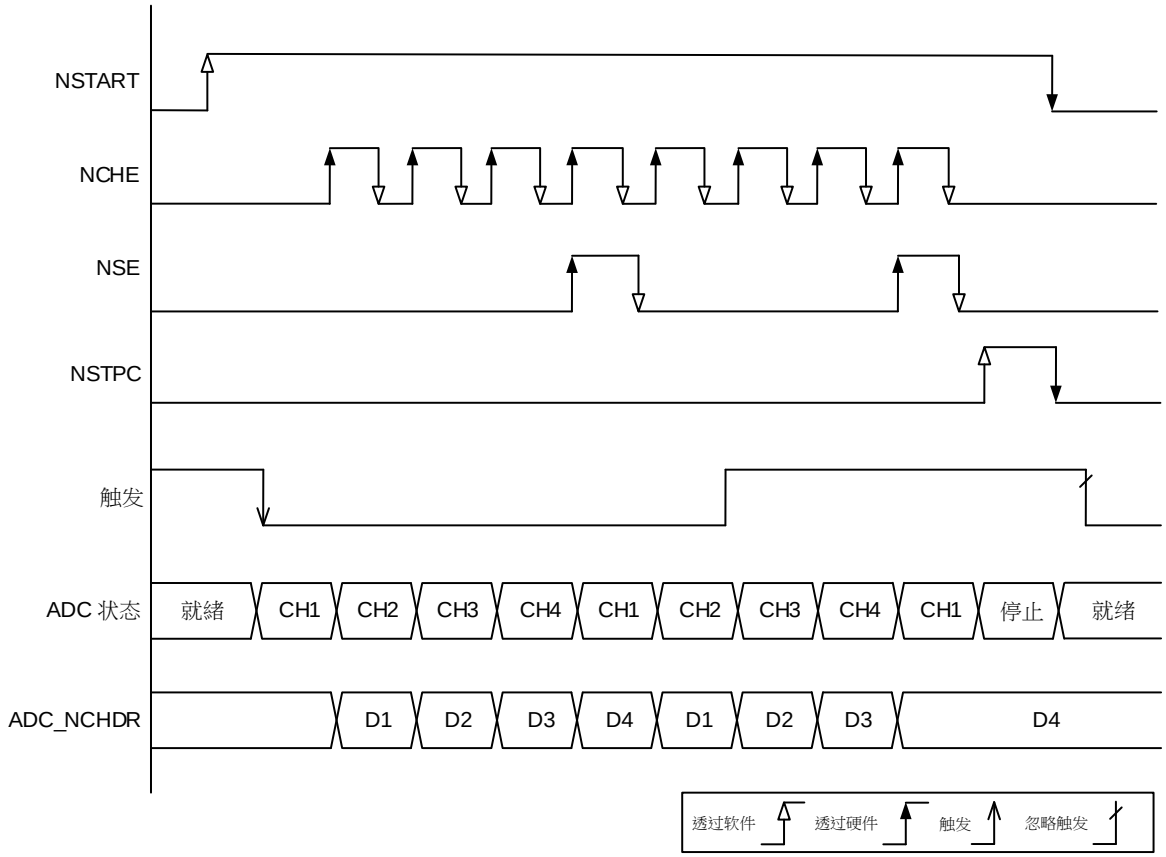


图 16-11 连续序列转换,硬件触发

16. 4. 19 数据管理

数据寄存器、数据对齐和偏移

◆ 数据和对齐

每次标准转换通道结束时(发生 NCHE 事件时)，转换后的数据结果都会存储在宽度为 16 位的 **ADC_NCHDR** 数据寄存器中。

每次插入转换通道结束时(发生 ICHE 事件时)，转换后的数据结果都会存储在宽度为 16 位的相应 **ADC_ICHDRy** 数据寄存器中。

ADC_NCHDR 和 **ADC_ICHDRy** 的数据格式，与所配置的数据对齐方式和转换的分辨率有关。

ADC_CFG 寄存器中的 ALIGN 位用于选择转换后存储的数据的对齐方式。可选择左对齐和右对齐两种方式。

特例：选择左对齐时，数据基于半字 (half-word) 对齐(分辨率配置为 6 位时除外)。当分辨率配置为 6 位时，数据基于字节 (byte) 对齐。

◆ 数据偏移

可以通过将 **ADC_OFF**y 寄存器中的 OFFEN 置 1，对通道应用偏移 y(y=1、2、3、4)。应用偏移的通道会编程到 **ADC_OFFy** 寄存器的 OFFCH[4:0]位中。这种情况下，转换后的值会减去写入到 OFF[11:0]的偏移值。计算后的结果可能是负值，因此读取的数据为有符号值，SEXT 位代表扩展符号值。

分辨率 (RES[1:0])	原始转换数据与偏移相减		结果	注释
	原始转换数据	偏移		
00:12 位	DATA[11:0]	OFF[11:0]	有符号 12 位数据	-
00:10 位	DATA[11:2],00	OFF[11:0]	有符号 10 位数据	须将 OFF[1:0]配置为 "00"
00:8 位	DATA[11:4],0000	OFF[11:0]	有符号 8 位数据	须将 OFF[3:0]配置为 "0000"
00:6 位	DATA[11:6],000000	OFF[11:0]	有符号 6 位数据	须将 OFF[5:0]配置为 "000000"

表 16-4 数据偏移计算与转换分辨率的关系

从对应于通道的 **ADC_NCHDR**(标准通道)或 **ADC_ICHDRy**(插入通道，y=1、2、3、4)读取数据时： 如果相应通道的其中一个偏移已使能(OFFEN=1)，则读取的数据为有符号数据。如果此通道的四个偏移均未使能，则读取的数据为无符号数据。

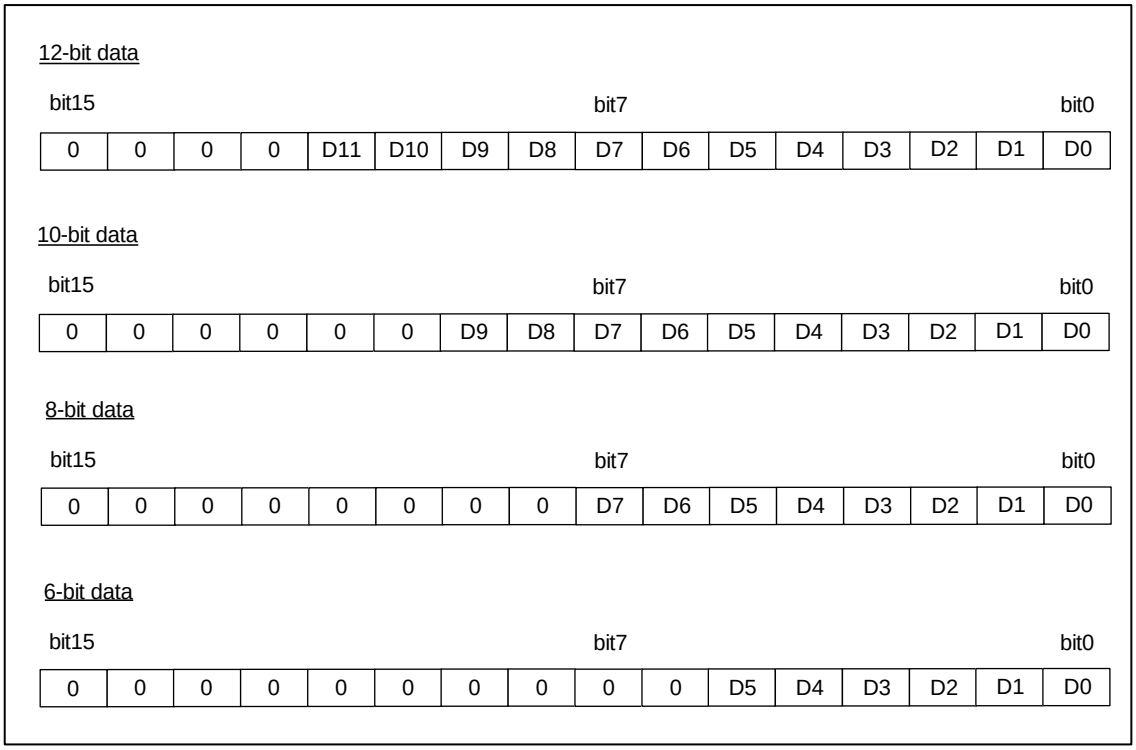


图 16-12 右对齐(无使用偏移,无符号值)

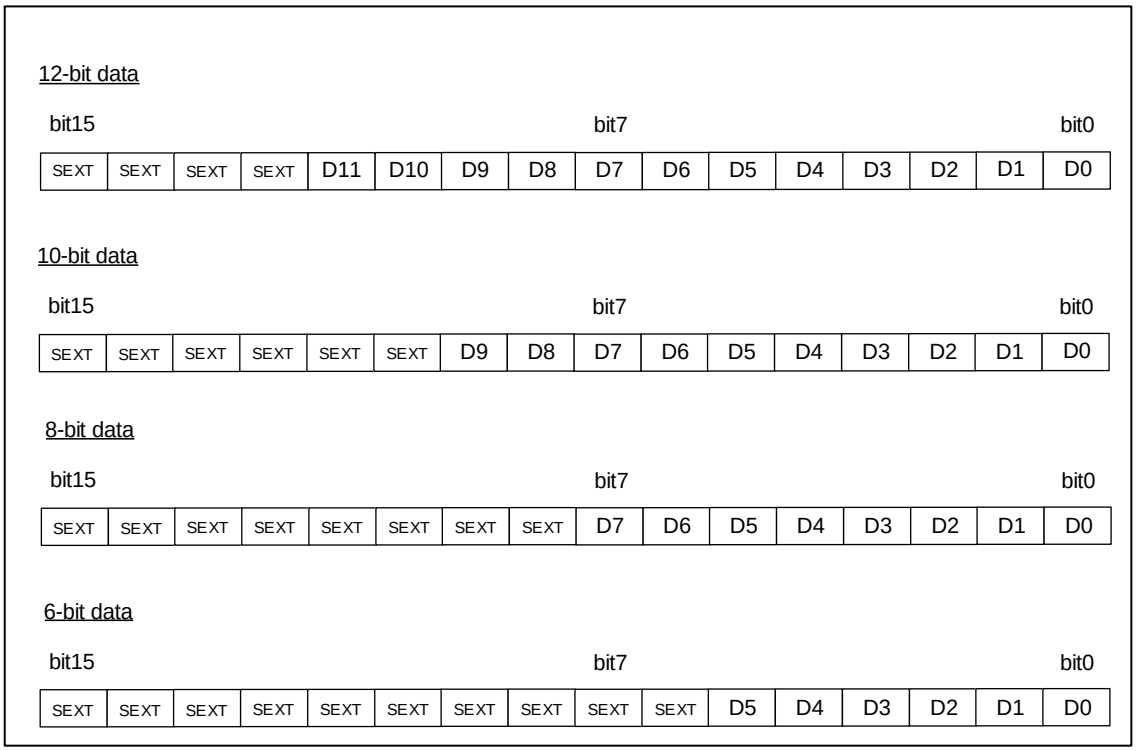


图 16-13 右对齐(使用偏移,有符号值)

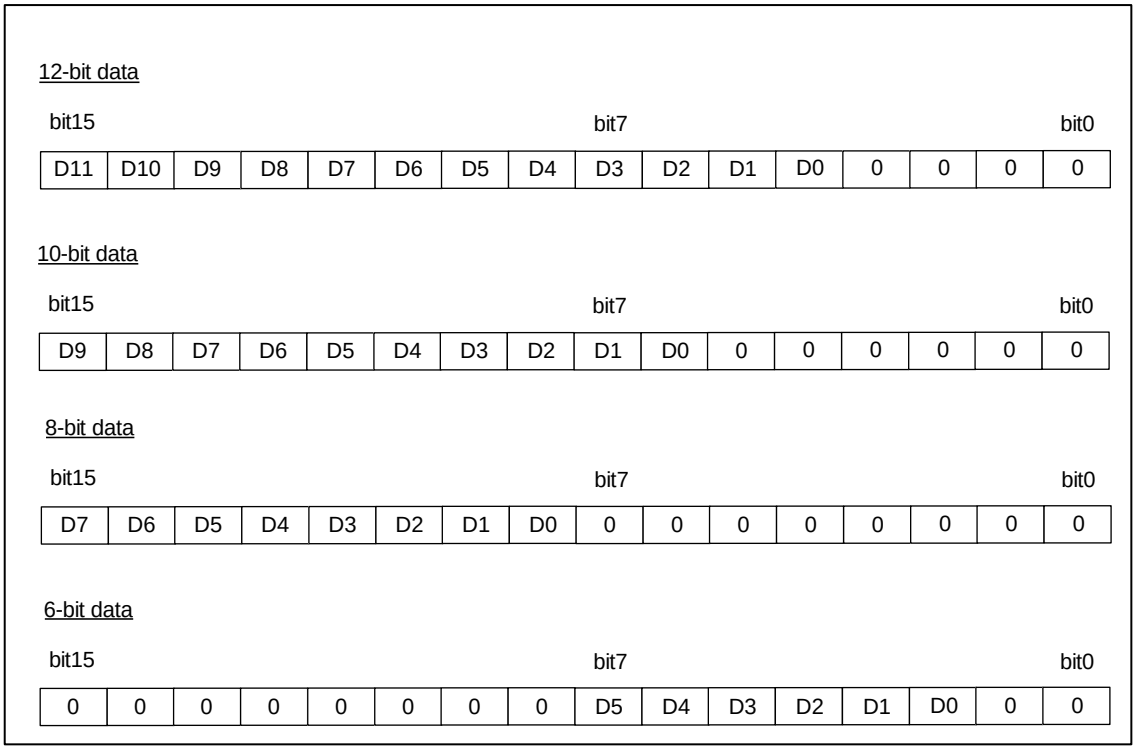


图 16-14 左对齐(无使用偏移,无符号值)

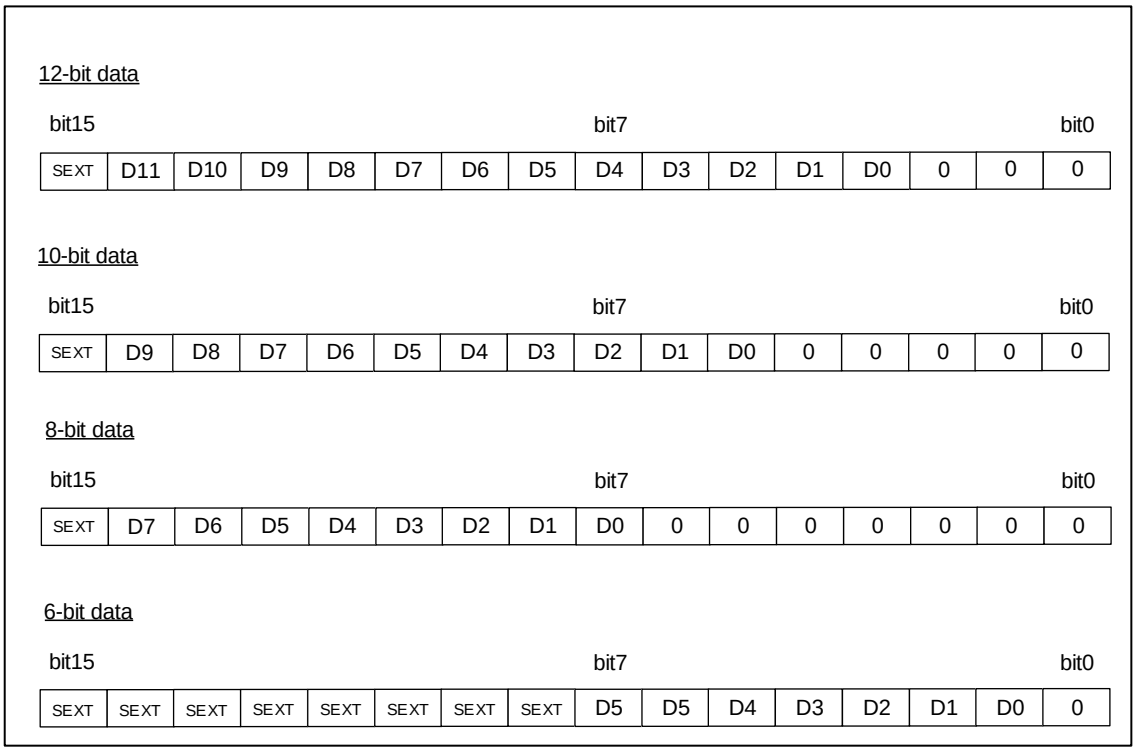


图 16-15 左对齐(使用偏移,有符号值)

ADC 溢出

如果标准转换后的数据未在新转换数据转换结束之前(由 CPU 或 DMA)读取，会将 **ADC_RIF** 寄存器中的 OVR 置 1， 表示发生 ADC 数据溢出事件，如果 **AES_IER** 寄存器中的 OVR 配置为 1，可产生中断。

如果发生溢出情况，ADC 仍会保持工作状态并可继续进行转换，除非通过软件将 NSTPC 位置 1，从而停止转换。

可对 **ADC_CFG** 寄存器中 OVRMOD 进行配置，从而配置发生溢出事件时，是要保留数据还是要覆盖数据：

OVRMOD=0：溢出事件发生时，会保留数据寄存器的数据，防止其被覆盖，并会丢弃新的转换结果。如果 OVR 保持为 1，可继续进行转换，但还是会丢弃结果数据。

OVRMOD=1：数据寄存器会由上一次转换结果覆盖，之前未读取的数据会丢失。如果 OVR 保持为 1，可继续正常进行转换，并且 **ADC_NCHDR** 寄存器将始终包含最新的转换数据。

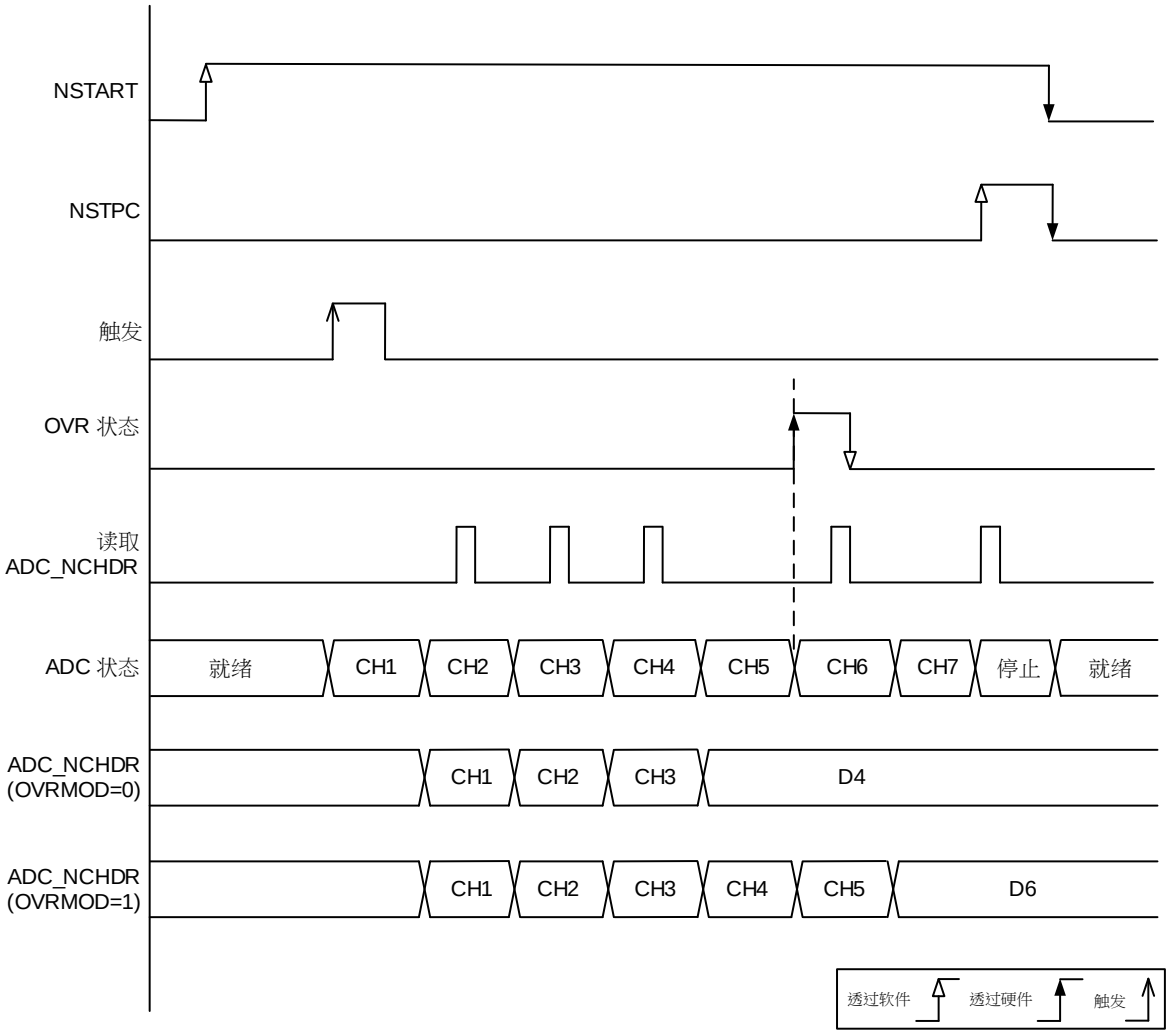


图 16-16 溢出示意图

注： 由于四个插入通道均有专用的数据寄存器，因此不会对插入通道进行溢出检测。

在不使用 DMA 的情况下管理转换序列

如果转换过程足够慢，则可使用软件来处理转换序列。在这种情况下，软件必须使用 NCHE 标志及其相关中断来处理各个数据。每当转换结束时，NCHE 都会置 1，并且可以读取 **ADC_NCHDR** 寄存器。OVRMOD 应配置为 0，以便将溢出事件作为错误进行管理。

在不使用 DMA 且不发生溢出的情况下管理转换

ADC 在转换一个或多个通道时不是每次都读取数据的情况下，这可能会很有用(例如，使用模拟看门狗时)。在这种情况下，OVRMOD 位必须配置为 1，OVR 标志应被软件忽略。溢出事件不会阻止 ADC 继续进行转换，而 **ADC_NCHDR** 寄存器始终包含最新的转换。

使用 DMA 管理转换

由于转换得到的数据值会存储到唯一的数据寄存器中，因此，对于多个通道的转换，使用 DMA 非常有帮助。这样可以避免丢失已存储在 **ADC_NCHDR** 寄存器中的数据。

若 DMA 模式已启用(**ADC_CFG** 寄存器中的 DMAEN 位置 1)，则会在每个通道转换后生成 DMA 请求。这样便可将转换的数据从 **ADC_NCHDR** 寄存器传输到用软件选择的目标位置。

尽管如此，如果因 DMA 无法及时处理 DMA 传输请求而发生溢出 (OVR=1)，ADC 会停止生成 DMA 请求，新转换对应的数据不会通过 DMA 进行传输，直至 OVR 位清零。

16. 4. 20 动态低功耗特性

自动延迟转换模式

ADC 会通过 **ADC_CFG** 寄存器中的 AUTODLY 配置，来执行自动延迟转换模式。

自动延迟转换可用于简化软件，并适合采用低频时钟的应用(此类应用可能存在 ADC 溢出的风险)的性能。

AUTODLY=1 时，仅当同一组内所有之前的数据已处理完毕时，才能开始新的转换：

对于标准转换：**ADC_NCHDR** 寄存器已读取。

对于插入转换：ISE 位已清零时。

通过这种方式，可自动调整 ADC 的速度，使其适应系统读取数据的速度。

延时会插入到每次标准通道转换后(无论 NCHDCEN=0 还是 1)和每个插入转换序列后(无论 ICHDCEN=0 还是 1)。

注：

1. 不会在插入转换序列之间插入延时，但会在最后一个序列之后插入延时。
2. 如果延时期间发生软件触发，则不会被忽略，仍可在该延时时间内通过将 NSTART 或 ISTART 位置 1 的方式重新启动转换，启动新转换之前，会由软件读取数据。

不会在不同组的转换之间插入延时(标准转换后即进行插入转换，反之亦然)：

如果在标准转换的自动延时期间发生插入触发，插入转换会立即开始。

插入序列完成后，ADC 会等待上一标准转换的延时(如果未结束)，然后才会启动新的标准转换。

自动插入模式 (IAUTO=1) 下的操作略有不同，仅当上一插入转换序列的自动延时已结束时(ISE 已清零时)，才能开始进行新的标准转换。这是为了确保软件可在启动新序列之前读取给

定序列的所有数据。

要在连续自动插入和自动延时组合模式下停止转换(IAUTO=1、CM=1 且 AUTODLY=1)，请按照以下程序进行操作：

1. 等待，直至 ISE=1(不会重新启动任何转换)
2. 将 ISE 清零
3. 将 NSTPC 置 1
4. 读取标准数据

否则，如果 ISE 在 NSTPC 已置 1 后清零，可以重新启动新的标准序列。

在 AUTODLY 模式下，如果在正在进行的标准序列期间或序列的最后一次标准转换之后的延时期间发生硬件标准触发事件，则会忽略该触发事件。但是，如果触发事件发生在该延时之后，即使发生在随后的插入序列的延时期间，也会将该触发事件视为待处理事件。随后，会在插入序列的延时结束时开始转换。

在 AUT0DLY 模式下，如果在正在进行的插入序列期间或序列的最后一次插入转换之后的延时期间发生硬件插入触发事件，则会忽略该触发事件。

1. AUTODLY=1
2. 标准配置：NETS=0x0(软件触发)，CM=1，所选通道= 1、2、3
3. 禁止插入转换

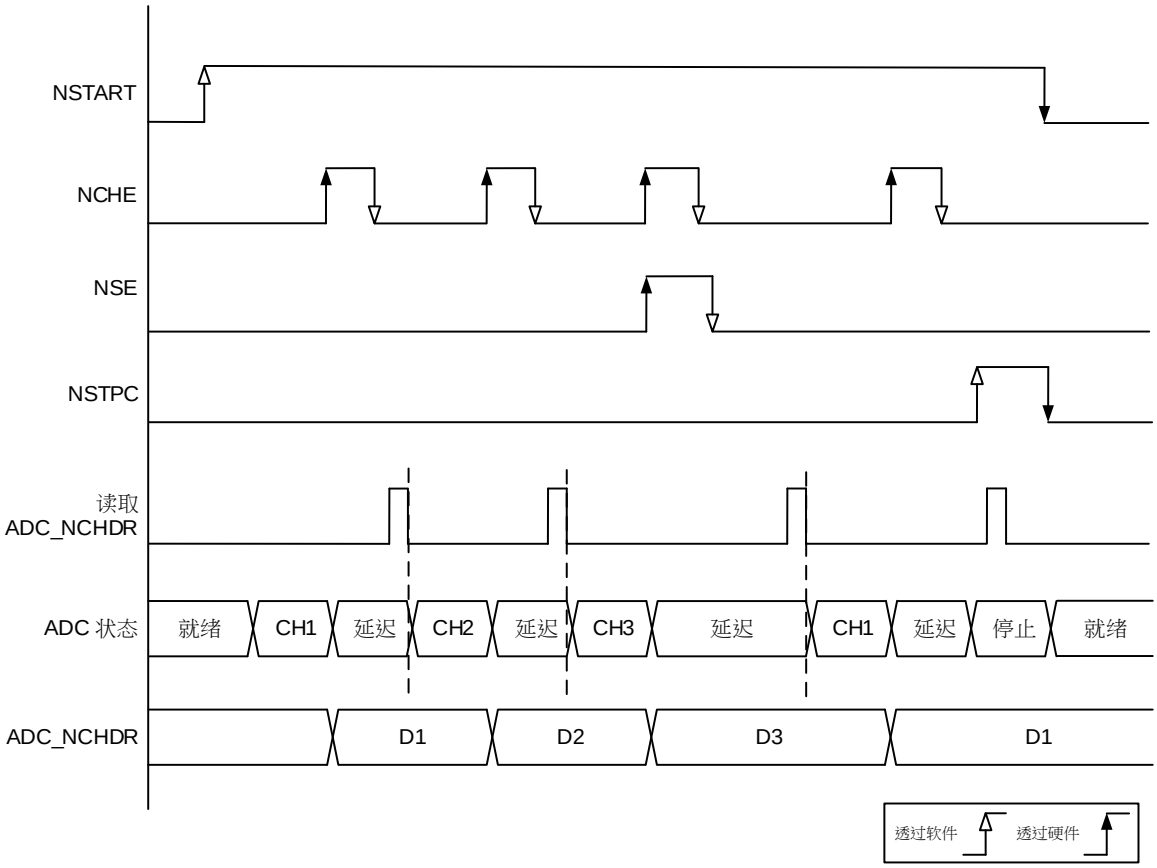


图 16-17 AUTODLY=1，连续模式下的标准转换，软件触发

1. AUTODLY=1
2. 标准配置：NETS=0x1(硬件触发)，CM=0，NCHDCEN=0，所选通道= 1、2、3
3. 插入配置：IETS=0x1(硬件触发)，ICHDCEN=0，所选通道 = 5、6

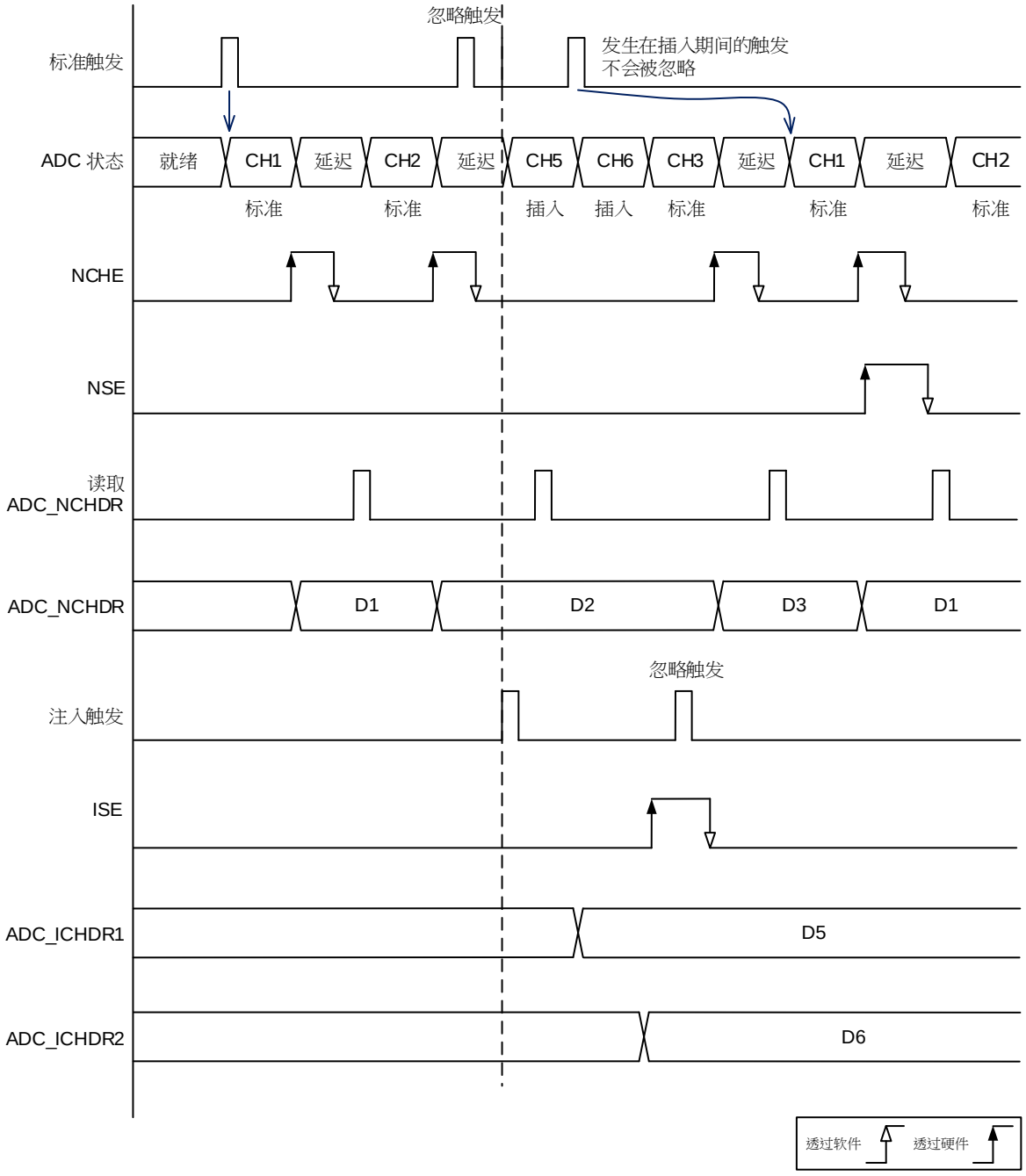


图 16-18 AUTODLY=1，被插入转换中断的标准硬件转换(NCHDCEN；ICHDCEN=1)

1. AUTODLY=1
2. 标准配置：NETS=0x1(硬件触发)，CM=0，NCHDCEN=1，所选通道= 1、2、3
3. 插入配置：IETS=0x1(硬件触发)，ICHDCEN=1，所选通道 = 5、6

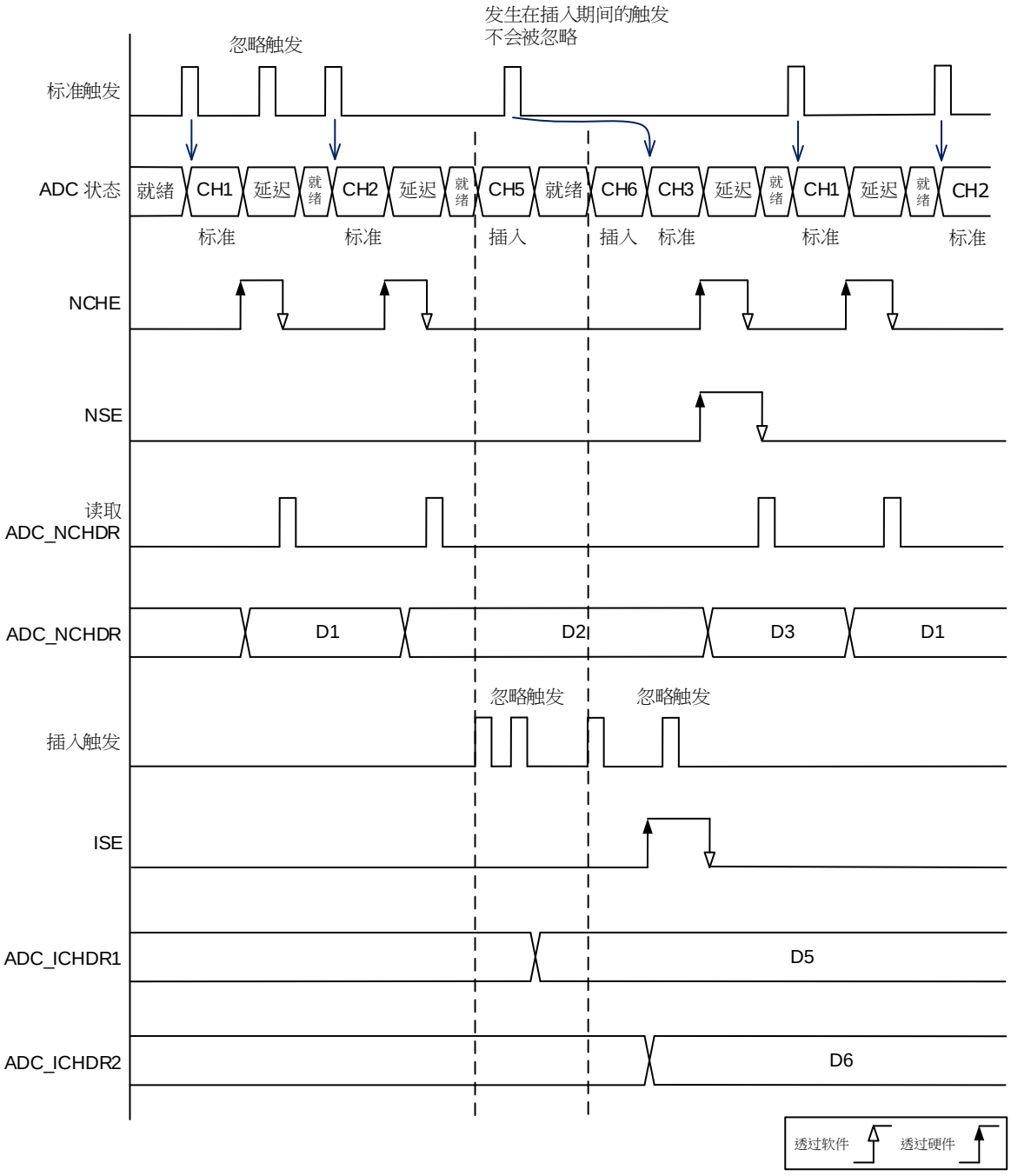


图 16-19 AUTODLY=1，被插入转换中断的标准硬件转换(NCHDCEN；ICHDCEN=1)

1. AUTODLY=1
2. 标准配置：NETS=0x0(软件触发)，CM=1，NCHDCEN=0，所选通道= 1、2、3
3. 插入配置：IETS=0x1(硬件触发)，ICHDCEN=0，所选通道 = 5、6

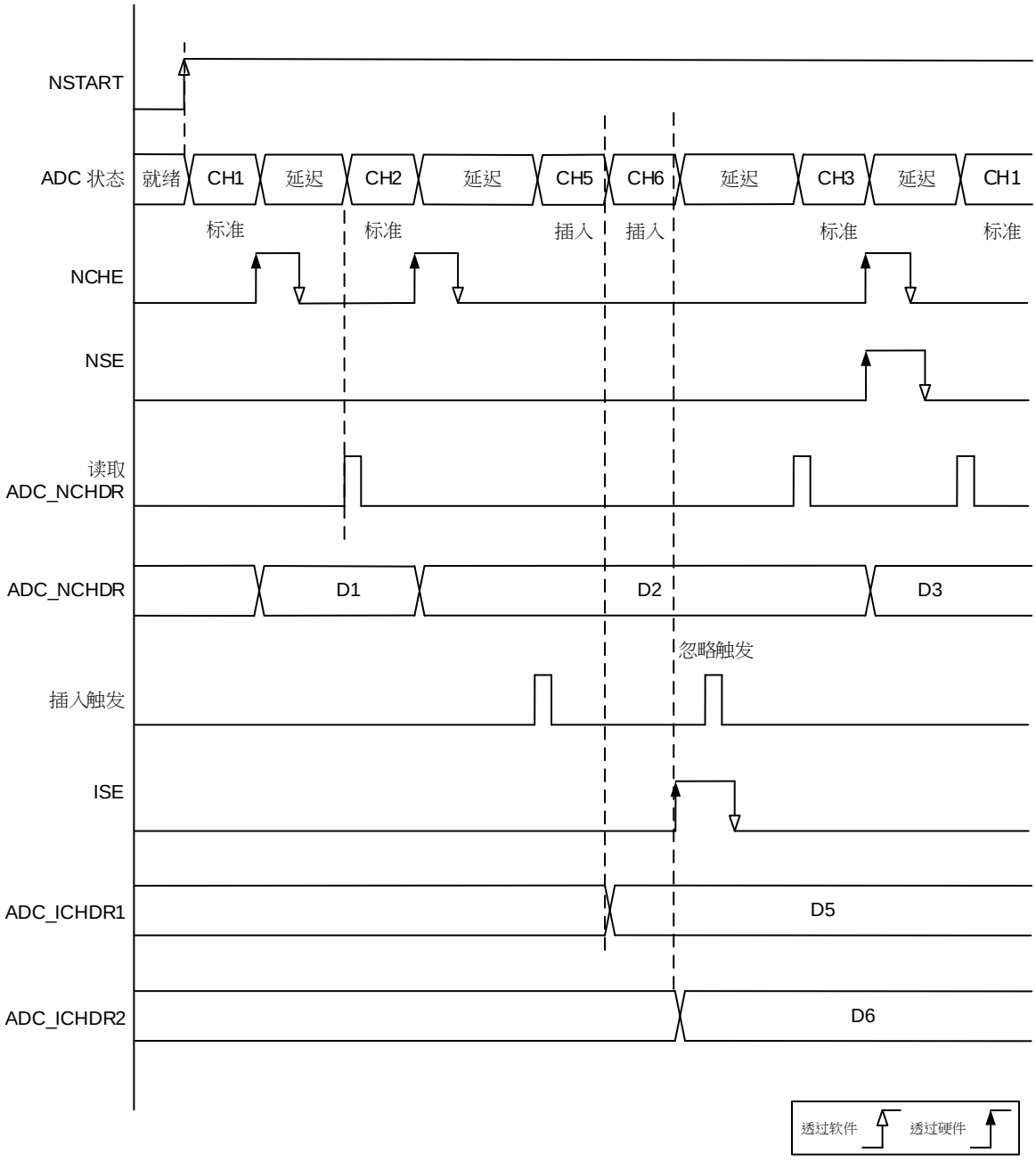


图 16-20 AUTODLY=1，被插入转换中断的标准连续转换

1. AUTODLY=1
2. 标准配置：NETS=0x0(软件触发)，CM=1，NCHDCEN=0，所选通道= 1、2
3. 插入配置：IAUTO=1，所选通道= 5、6

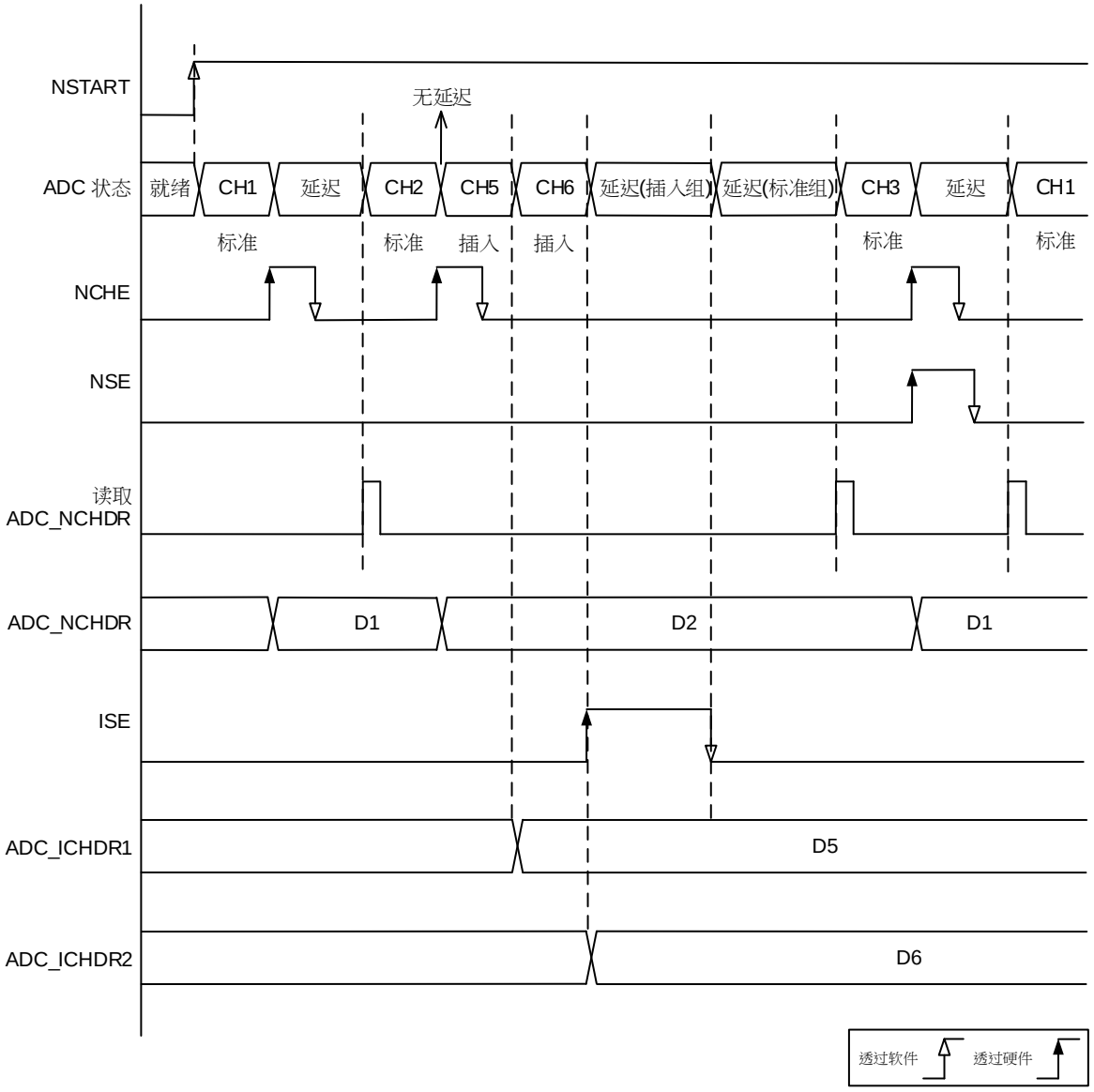


图 16-21 AUTODLY=1，自动插入模式 (IAUTO=1)

自动关闭转换模式

ADC 会通过 **ADC_CFG** 寄存器中的 AUTOFF 配置，来执行自动关闭转换模式。

当 AUTOFF=1，ADC 无转换时会自动断电，而受到软件或硬件触发时，ADC 自动唤醒。

自动关闭转换模式适合低频或较少转换需求的应用，可以降低应用的功耗。

自动延迟转换模式可与自动关闭转换模式同时使用。

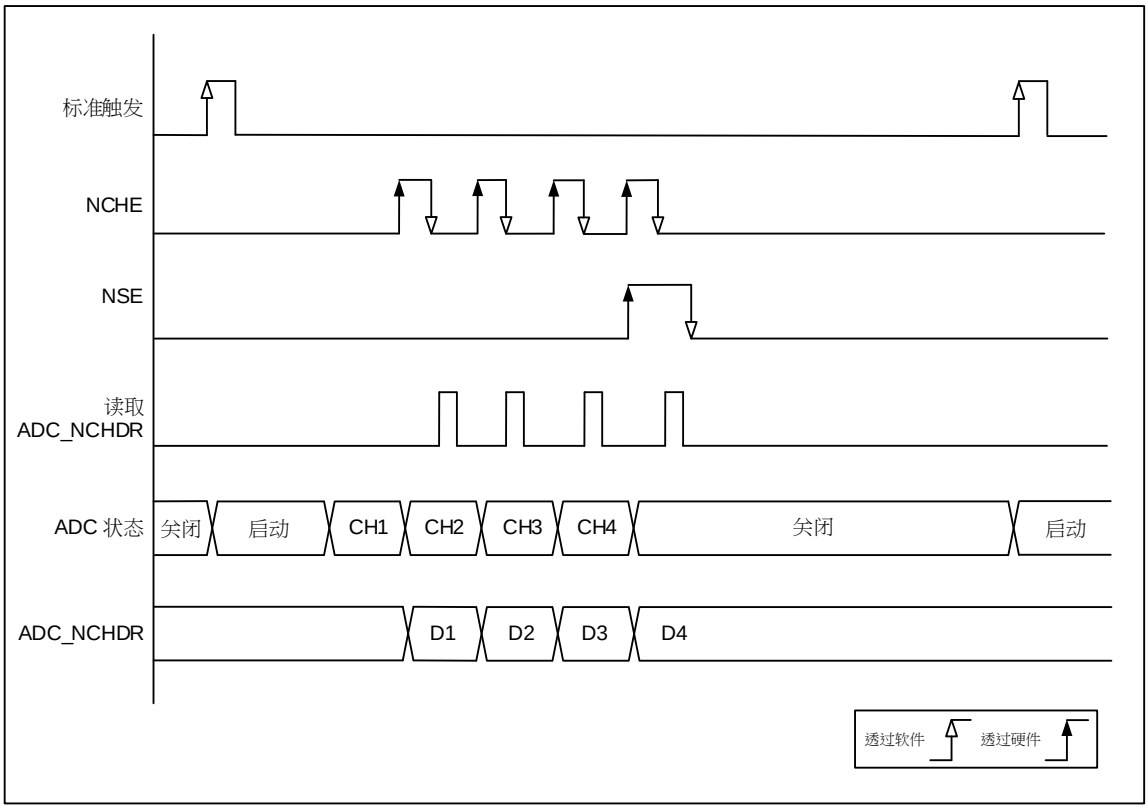


图 16-22 AUTODLY=0，自动关闭转换模式(AUTOFF)

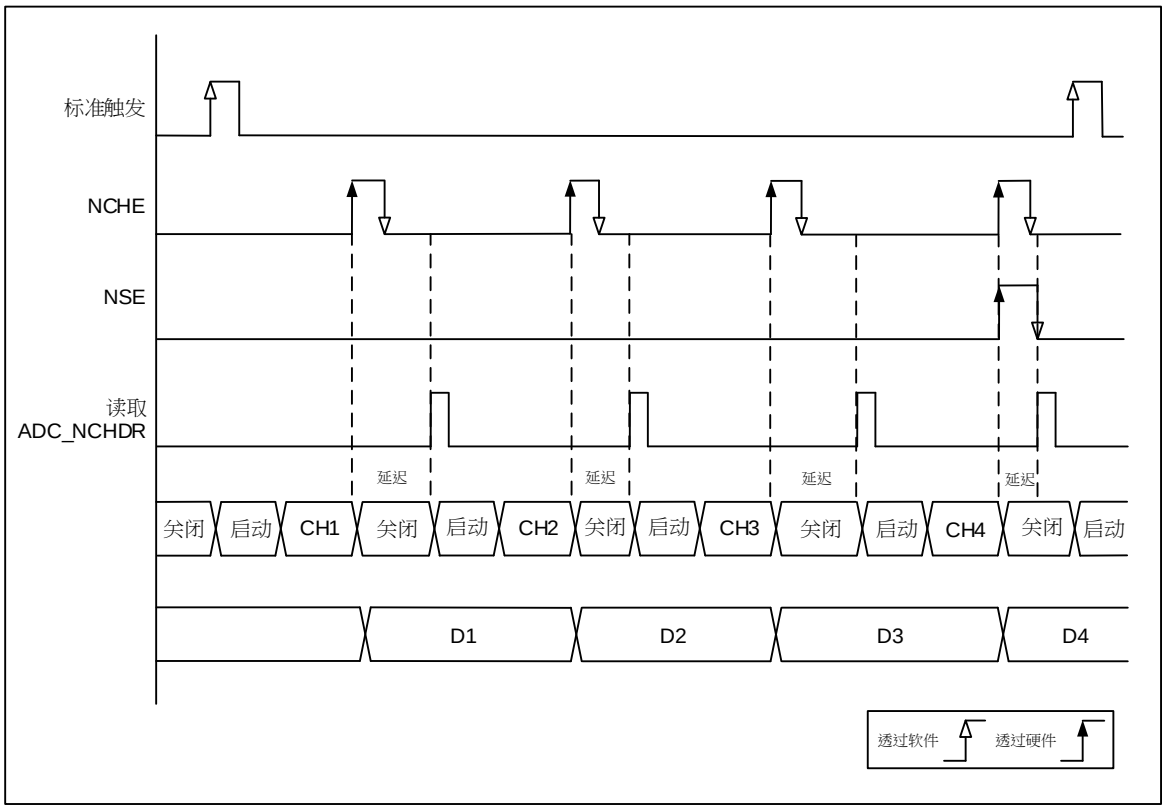


图 16-23 AUTODLY=1，自动关闭转换模式(AUTOFF)

16. 4. 21 模拟看门狗

模拟看门狗会监测一些通道是否保持在配置的电压范围(窗口)内。
在数据对齐之前，会将 ADC 转换结果与阈值上限和下限进行比较。

将 **ADC_CFG** 寄存器中的 NAWDEN 位置 1，可在标准通道使能 AWD 模拟看门狗。将 **ADC_CFG** 寄存器中的 IAWDEN 位置 1，可在插入通道使能 AWD 模拟看门狗。该看门狗监测一条已选通道或所有已使能通道是否仍在配置的电压范围(窗口)内。

如果 ADC 转换的电压低于阈值下限或高于阈值上限，则 **ADC_RIF** 寄存器中的 AWDF 模拟看门狗状态位会置 1。 这些阈值编程到模拟看门狗的 **ADC_WDTH** 寄存器的 HT[11:0] 和 LT[11:0] 位。进行任何对齐计算以及应用任何偏移之前，会以校准过的数据进行看门狗比较(进行比较的数据是无符号值)。如果转换的数据小于 12 位(取决于 RESL[1:0] 位)，会在内部对完整的 12 位经过校准的数据进行比较 (左对齐)。

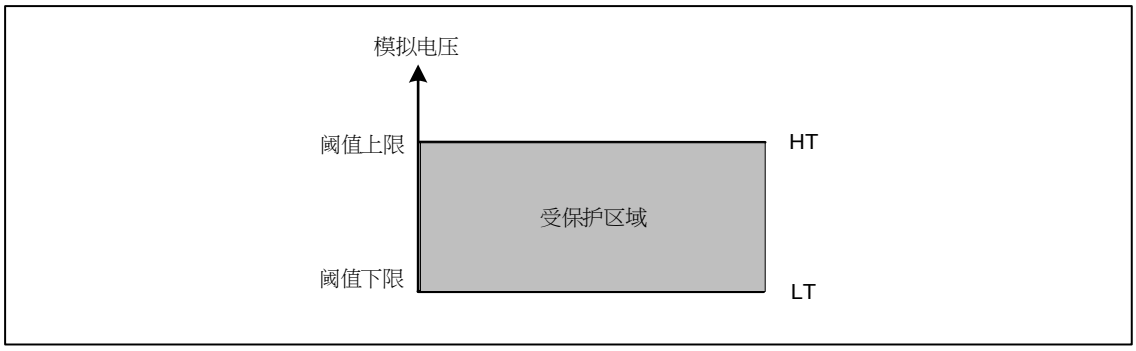


图 16-24 模拟看门狗

模拟看门狗保护通道	AWDSGL	NCHWDEN	ICHWDTEN
无	X	0	0
所有插入通道	0	0	1
所有标准通道	0	1	0
所有标准通道和插入通道	0	1	1
单个插入通道	1	0	1
单个标准通道	1	1	0
单个标准通道或插入通道	1	1	1

表 16-5 模拟看门狗通道选择

16. 4. 22 温度感测

内部温度感测输出连接到 ADC 的输入通道 16 (ADIN16)。

温度传感器(Temperature Sensor)产生随温度线性变化的电压 V_{TS}。温度传感器内部连接到 ADC 输入通道，该通道用于将传感器输出电压转换为数字值。

16. 4. 23 监测内部参考电压

内部参考电压 (VREFINT) 连接到 ADC 的输入通道 17 (ADIN17)，该通道用于将内部参考电压转换为数字值。

16. 4. 24 监测内部电阻分压

可以通过 ADC 来获得 VREFINT/VDDA 电阻分压的值。透过 SYSCFG 配置后选择 VREFINT 或 VDDA 作为 V_{RES} 的来源；V_{RES} 经由电阻分压后的信号从内部连接到 ADC 的输入通道 18 (ADIN18)。有关 V_{RES} 来源的配置，请参阅位于 SYSCFG 章节"内部电阻分压电源"的描述。

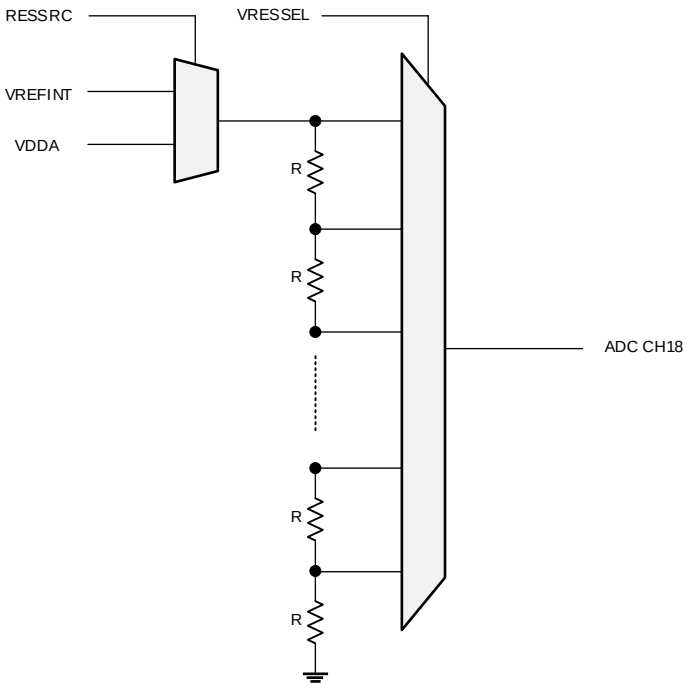


图 16-25 V_{RES} 分压

16. 4. 25 ADC 中断

中断事件	事件标志位	使能控制
超时	TO	TO
模拟看门狗状态	AWDF	AWDF
插入通道序列结束	ISE	ISE
插入通道转换结束	ICHE	ICHE
ADC 数据溢出	OVR	OVR
标准通道序列结束	NSE	NSE
标准通道转换结束	NCHE	NCHE
ADC 采样结束	SMPE	SMPE
ADC 就绪	ARDY	ARDY

表 16-6 ADC 中断

16. 5 特殊功能寄存器

16. 5. 1 寄存器列表

ADC 寄存器列表			
名称	偏移地址	类型	描述
ADC_IER	0000_H	W1	ADC 中断致能寄存器
ADC_IDR	0004_H	W1	ADC 中断禁能寄存器
ADC_IVS	0008_H	R	ADC 中断有效位状态寄存器
ADC_RIF	$000C_H$	R	ADC 原始中断状态寄存器
ADC_IFM	0010_H	R	ADC 中断标志位状态寄存器
ADC_ICR	0014_H	C_W1	ADC 中断清除寄存器
ADC_CON	0018_H	R/W	ADC 控制寄存器
ADC_CFG	$001C_H$	R/W	ADC 配置寄存器
ADC_SMPT1	0020_H	R/W	ADC 采样时间控制寄存器 1
ADC_SMPT2	0024_H	R/W	ADC 采样时间控制寄存器 2
ADC_SMPT3	0028_H	R/W	ADC 采样时间控制寄存器 3
ADC_SMPT4	$002C_H$	R/W	ADC 采样时间控制寄存器 4
ADC_SMPT5	0030_H	R/W	ADC 采样时间控制寄存器 5
ADC_WDTH	$003C_H$	R/W	ADC 看门狗阈值寄存器
ADC_NCHS1	0040_H	R/W	ADC 标准通道序列寄存器 1
ADC_NCHS2	0044_H	R/W	ADC 标准通道序列寄存器 2
ADC_NCHS3	0048_H	R/W	ADC 标准通道序列寄存器 3
ADC_NCHS4	$004C_H$	R/W	ADC 标准通道序列寄存器 4
ADC_NCHDR	0050_H	R	ADC 标准通道数据寄存器
ADC_ICHS	0054_H	R/W	ADC 插入通道序列寄存器
ADC_OFF1	0058_H	R/W	ADC 偏移寄存器 1
ADC_OFF2	$005C_H$	R/W	ADC 偏移寄存器 2
ADC_OFF3	0060_H	R/W	ADC 偏移寄存器 3
ADC_OFF4	0064_H	R/W	ADC 偏移寄存器 4
ADC_ICHDR1	0068_H	R	ADC 插入通道数据寄存器 1
ADC_ICHDR2	$006C_H$	R	ADC 插入通道数据寄存器 2
ADC_ICHDR3	0070_H	R	ADC 插入通道数据寄存器 3
ADC_ICHDR4	0074_H	R	ADC 插入通道数据寄存器 4
ADC_CALCR	0078_H	R/W	ADC 校准寄存器
ADC_CCR	$007C_H$	R/W	ADC 通用控制寄存器
ADC_SR	0080_H	R	ADC 状态寄存器

16. 5. 2 寄存器描述

16. 5. 2. 1 ADC 中断开启寄存器 (ADC_IER)

ADC 中断开启寄存器 (ADC_IER)																													
偏移地址：0x00																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																TO								ADWF	ISE	ICHE	OVR	NSE	NCHE	SMPE	ARDY

—	Bits 31-16	—	—
TO	Bit 15	W1	**开启超时中断** 0: 写入 0 无效 1: 开启 TO 中断
—	Bit 14-8	—	—
AWDF	Bit 7	W1	**开启模拟看门狗中断** 0: 写入 0 无效 1: 开启 AWDF 中断
ISE	Bit 6	W1	**开启插入通道序列结束中断** 0: 写入 0 无效 1: 开启 ISE 中断
ICHE	Bit 5	W1	**开启插入通道转换结束中断** 0: 写入 0 无效 1: 开启 ICHE 中断
OVR	Bit 4	W1	**开启 ADC 溢出中断** 0: 写入 0 无效 1: 开启 OVR 中断
NSE	Bit 3	W1	**开启标准序列结束中断** 0: 写入 0 无效 1: 开启 NSE 中断
NCHE	Bit 2	W1	**开启标准转换结束中断** 0: 写入 0 无效 1: 开启 NCHE 中断
SMPE	Bit 1	W1	**开启采样结束中断** 0: 写入 0 无效 1: 开启 SMPE 中断
ARDY	Bit 0	W1	**开启 ADC 就绪中断**

			0: 写入 0 无效 1: 开启 ARDY 中断

16. 5. 2. 2 ADC 中断关闭寄存器 (ADC_IDR)

ADC 中断关闭寄存器 (ADC_IDR)

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																TO								ADWF	ISE	ICHE	OVR	NSE	NCHE	SMPE	ARDY

—	Bits 31-16	—	—
TO	Bit 15	W1	**关闭超时中断** 0: 写入 0 无效 1: 关闭 TO 中断
—	Bit 14-8	—	—
AWDF	Bit 7	W1	**关闭模拟看门狗中断** 0: 写入 0 无效 1: 关闭 AWDF 中断
ISE	Bit 6	W1	**关闭插入通道序列结束中断** 0: 写入 0 无效 1: 关闭 ISE 中断
ICHE	Bit 5	W1	**关闭插入通道转换结束中断** 0: 写入 0 无效 1: 关闭 ICHE 中断
OVR	Bit 4	W1	**关闭 ADC 溢出中断** 0: 写入 0 无效 1: 关闭 OVR 中断
NSE	Bit 3	W1	**关闭标准序列结束中断** 0: 写入 0 无效 1: 关闭 NSE 中断
NCHE	Bit 2	W1	**关闭标准转换结束中断** 0: 写入 0 无效 1: 关闭 NCHE 中断
SMPE	Bit 1	W1	**关闭采样结束中断** 0: 写入 0 无效

			1: 关闭 SMPE 中断
ARDY	Bit 0	W1	**关闭 ADC 就绪中断** 0: 写入 0 无效 1: 关闭 ARDY 中断

16. 5. 2. 3 ADC 中断功能有效状态寄存器 (ADC_IVS)

ADC 中断功能有效状态寄存器 (ADC_IVS)

偏移地址：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TO	—	—	—	—	—	—	—	ADWF	ISE	ICHE	OVR	NSE	NCHE	SMPE	ARDY

—	Bits 31-16	—	—
TO	Bit 15	R	**超时中断功能状态** 0: TO 中断被禁用 1: TO 中断被启用
—	Bit 14-8	—	—
AWDF	Bit 7	R	**模拟看门狗中断功能状态** 0: AWDF 中断被禁用 1: AWDF 中断被启用
ISE	Bit 6	R	**插入通道序列结束中断功能状态** 0: ISE 中断被禁用 1: ISE 中断被启用
ICHE	Bit 5	R	**插入通道转换结束中断功能状态** 0: ICHE 中断被禁用 1: ICHE 中断被启用
OVR	Bit 4	R	**ADC 溢出中断功能状态** 0: OVR 中断被禁用 1: OVR 中断被启用
NSE	Bit 3	R	**标准序列结束中断功能状态** 0: NSE 中断被禁用 1: NSE 中断被启用
NCHE	Bit 2	R	**标准转换结束中断功能状态** 0: NCHE 中断被禁用 1: NCHE 中断被启用

SMPE	Bit 1	R	**采样结束中断功能状态** 0: SMPE 中断被禁用 1: SMPE 中断被启用
ARDY	Bit 0	R	**ADC 就绪中断功能状态** 0: ARDY 中断被禁用 1: ARDY 中断被启用

16. 5. 2. 4 ADC 原始中断状态寄存器 (ADC_RIF)

ADC 原始中断状态寄存器 (ADC_RIF)

偏移地址：0x0C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																TO								ADWF	ISE	ICHE	OVR	NSE	NCHE	SMPE	ARDY

—	Bits 31-16	—	—
TO	Bit 15	R	**超时原始中断状态** 0: 没有中断 1: 产生中断事件
—	Bit 14-8	—	—
AWDF	Bit 7	R	**模拟看门狗原始中断状态** 0: 没有中断 1: 产生中断事件
ISE	Bit 6	R	**插入通道序列结束原始中断状态** 0: 没有中断 1: 产生中断事件
ICHE	Bit 5	R	**插入通道转换结束原始中断状态** 0: 没有中断 1: 产生中断事件
OVR	Bit 4	R	**ADC 溢出原始中断状态** 0: 没有中断 1: 产生中断事件
NSE	Bit 3	R	**标准序列结束原始中断状态** 0: 没有中断 1: 产生中断事件
NCHE	Bit 2	R	**标准转换结束原始中断状态**

			0: 没有中断 1: 产生中断事件
SMPE	Bit 1	R	**采样结束原始中断状态** 0: 没有中断 1: 产生中断事件
ARDY	Bit 0	R	**ADC 就绪原始中断状态** 0: 没有中断 1: 产生中断事件

16. 5. 2. 5 ADC 中断标志位状态寄存器 (ADC_IFM)

ADC 中断标志位状态寄存器 (ADC_IFM)

偏移地址：0x10

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TO	—	—	—	—	—	—	—	ADWF	ISE	ICHE	OVR	NSE	NCHE	SMPE	ARDY

—	Bits 31-16	—	—
TO	Bit 15	R	**超时中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断事件
—	Bit 14-8	—	—
AWDF	Bit 7	R	**模拟看门狗中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断事件
ISE	Bit 6	R	**插入通道序列结束中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断事件
ICHE	Bit 5	R	**插入通道转换结束中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断事件
OVR	Bit 4	R	**溢出中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断事件
NSE	Bit 3	R	**标准序列结束中断标志位状态** 0: 未发生中断事件或中断未使能

			1: 产生中断事件
NCHE	Bit 2	R	**标准转换结束中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断事件
SMPE	Bit 1	R	**采样结束中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断事件
ARDY	Bit 0	R	**ADC 就绪中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断事件

16. 5. 2. 6 ADC 中断清除寄存器 (ADC_ICR)

ADC 中断清除寄存器 (ADC_ICR)

偏移地址：0x14

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																TO								ADWF	ISE	ICHE	OVR	NSE	NCHE	SMPE	ARDY

—	Bits 31-16	—	—
TO	Bit 15	C_W1	**超时中断清除** 0: 写入 0 无效 1: 清除中断事件
—	Bit 14-8	—	—
AWDF	Bit 7	C_W1	**模拟看门狗中断清除** 0: 写入 0 无效 1: 清除中断事件
ISE	Bit 6	C_W1	**插入通道序列结束中断清除** 0: 写入 0 无效 1: 清除中断事件
ICHE	Bit 5	C_W1	**插入通道转换结束中断清除** 0: 写入 0 无效 1: 清除中断事件
OVR	Bit 4	C_W1	**ADC 溢出中断清除** 0: 写入 0 无效 1: 清除中断事件

NSE	Bit 3	C_W1	**标准序列结束中断清除** 0: 写入 0 无效 1: 清除中断事件
NCHE	Bit 2	C_W1	**标准转换结束中断清除** 0: 写入 0 无效 1: 清除中断事件
SMPE	Bit 1	C_W1	**采样结束中断清除** 0: 写入 0 无效 1: 清除中断事件
ARDY	Bit 0	C_W1	**ADC 就绪中断清除** 0: 写入 0 无效 1: 清除中断事件

16. 5. 2. 7 ADC 控制寄存器 (ADC_CON)

ADC 控制寄存器 (ADC_CON)																													
偏移地址：0x18																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAL																										ISTPC	NSTPC	ISTART	NSTART	ADCDIS	ADCEN

ADCAL	Bit 31	S_W1	**ADC 校准** 此位由软件置 1，用于开始 ADC 校准。 0: 校准已完成 1: 写入 1 可校准 ADC。读取值为 1 表示正在进行校准 注: 仅当 ADCEN=0 时，才允许通过软件将 ADCAL 置 1 的方式启动校准 注: 仅当 ADCEN=1、NSTART=0 且 ISTART=0 (ADC 已使能，当前未进行任何转换)时，才允许通过软件对 ADC_CALCR 执行写操作来更新校准系数
—	Bits 30-6	—	—
ISTPC	Bit 5	S_W1	**ADC 停止插入转换命令** 该位由软件置 1，用于停止正在进行的插入转换。

			当可重新配置 ADC 插入序列和触发时，会通过硬件将该位清零。随后，ADC 会准备好接收新的开始插入转换命令。 0: 当前未执行 ADC 停止插入转换命令 1: 写入 1 可停止正在进行的插入转换。读取值为 1 表示正在执行 ISTPC 命令 注: 仅当 ISTART=1 且 ADCDIS=0 时(ADC 已使能、最终会进行插入转换、并且没有任何待处理的禁止 ADC 的请求)，才允许通过软件将 ISTPC 置 1 注: 在自动插入模式下(IAUTO=1)，将 NSTPC 位置 1 会中止标准转换和插入转换(不要使用 ISTPC)
NSTPC	Bit 4	S_W1	**ADC 停止标准转换命令** 该位由软件置 1，用于停止正在进行的标准转换。 当转换已有效丢弃、并且可重新配置 ADC 标准序列和触发时，会通过硬件将该位清零。随后，ADC 会准备好接收新的开始标准转换命令。 0: 当前未执行 ADC 停止标准转换命令 1: 写入 1 可停止正在进行的标准转换。读取值为 1 表示正在执行 NSTPC 命令 注: 仅当 NSTART=1 且 ADCDIS=0 时(ADC 已使能、最终会进行标准转换、并且没有任何待处理的禁止 ADC 的请求)，才允许通过软件将 NSTPC 置 1 注: 在自动插入模式下(IAUTO=1)，将 NSTPC 位置 1 会中止标准转换和插入转换(不要使用 ISTPC)
ISTART	Bit 3	S_W1	**ADC 开始插入转换** 此位由软件置 1，用于开始 ADC 的插入通道转换 0: 当前未进行 ADC 插入转换 1: 写入 1 可开始插入转换。读取值为 1 表示 ADC 正在运行，最终会转换插入通道 注: 仅当 ADCEN=1 且 ADCDIS=0 时(ADC 已使能，并且没有任何待处理的禁止 ADC 的请

			求)，才允许通过软件将 ISTART 置 1 注：在自动插入模式下(IAUTO=1)，通过将 NSTART 位置 1 开始标准转换和自动插入转换(ISTART 必须保持清零)
NSTART	Bit 2	S_W1	**ADC 开始标准转换命令** 此位由软件置 1，用于开始 ADC 的标准通道转换 0: 当前未进行 ADC 标准转换 1: 写入 1 可开始标准转换。读取值为 1 表示 ADC 正在运行，最终会转换标准通道 注: 仅当 ADCEN=1 且 ADCDIS=0 时(ADC 已使能，并且没有任何待处理的禁止 ADC 的请求)，才允许通过软件将 NSTART 置 1 注：在自动插入模式下(IAUTO=1)，通过将 NSTART 位置 1 开始标准转换和自动插入转换(ISTART 必须保持清零)
ADCDIS	Bit 1	S_W1	**ADC 禁止命令** 该位由软件置 1，用于禁止 ADC 并使其进入掉电状态 ADC 已有效禁止后，会立即通过硬件将该位清零(此时也会通过硬件将 ADCEN 清零) 0: 当前未执行 ADCDIS 命令 1: 写入 1 可禁止 ADC。读取值为 1 表示正在执行 ADCDIS 命令 注: 仅当 ADCEN=1、NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换)，才允许通过软件将 ADCDIS 置 1
ADCEN	Bit 0	S_W1	**ADC 使能控制** 该位由软件置 1，用于使能 ADC。ARDY 标志置 1 后，ADC 已准备好进行转换 如果 ADC 已禁止，则执行 ADCDIS 命令后，将通过硬件对该位清零 0: 禁止 ADC 1: 写入 1 来使能 ADC 注: 仅当 ADC_CON 寄存器的所有位均为 0 时(ADCAL=0、ISTART=0、NSTART=0、ISTPC=0、NSTPC=0、ADCDIS=0 且 ADCEN=0，才允许通过软件将 ADCEN 置 1

			(并且软件必须等待稳压器的启动时间)

16. 5. 2. 8 ADC 配置寄存器 (ADC_CFG)

ADC 配置寄存器 (ADC_CFG)

偏移地址：0x1C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	AWDCH <4:0>					IAUTO	IAWDEN	NAWDEN	AWDSGL	—	ICHDCEN	ETRGN <2:0>			NCHDCEN	AUTOFF	AUTODLY	CM	OVRMOD	NETS <1:0>		NEXTSEL <3:0>				ALIGN	RSEL <1:0>			—	—	DMAEN

—	Bits 31	—	—
AWDCH	Bit 30-26	R/W	**模拟看门狗通道选择** 这些位由软件设置和清除。它们设置模拟看门狗监视的输入通道。 00000: ADC 模拟输入通道 0 由模拟看门狗监视 00001: ADC 模拟输入通道 1 由模拟看门狗监视 … 10010: ADC 模拟输入通道 18 由模拟看门狗监视 其它值：保留，不会被使用 注：通过 AWDCH 选择的通道必须也在 NCHSx 或 ICHSx 寄存器中选择 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换)，才允许通过软件对这些位执行写操作
IAUTO	Bit 25	R/W	**插入组自动转换** 通过软件将该位置 1，可在标准组转换后自动转换插入组 0: 禁止插入组自动转换 1: 使能插入组自动转换 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行标准转换、也未进行插入转换)，才允许通过软件对此位执行写操作
IAWDEN	Bit 24	R/W	**插入通道上的模拟看门狗使能**

			这些位由软件设置和清除 0: 在插入通道上禁止模拟看门狗 1: 在插入通道上使能模拟看门狗 注: 仅当 ISTART=0 时(这可确保当前未进行任何插入转换),才允许通过软件对此位执行写操作
NAWDEN	Bit 23	R/W	**标准通道上的模拟看门狗使能** 这些位由软件设置和清除 0: 在标准通道上禁止模拟看门狗 1: 在标准通道上使能模拟看门狗 注: 仅当 NSTART=0 时(这可确保当前未进行任何标准转换),才允许通过软件对此位执行写操作
AWDSGL	Bit 22	R/W	**在单一通道或所有通道上使能看门狗** 此位由软件设置和清除，用于在通过AWDCH[4:0]位设定的通道或所有通道上使能模拟看门狗 0: 在所有通道上使能模拟看门狗 1: 在单一通道上使能模拟看门狗 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换),才允许通过软件对这些位执行写操作
—	Bit 21	—	—
ICHDCEN	Bit 20	R/W	**插入通道的不连续采样模式** 通过软件设置和清除可使能/禁止插入通道的不连续采样模式 0: 禁止插入通道的不连续采样模式 1: 使能插入通道的不连续采样模式 注: 仅当 ISTART=0 时(这可确保当前未进行任何插入转换),才允许通过软件对此位执行写操作 注: 不能同时使用自动插入模式和不连续模式：当 IAUTO 置 1 时，NCHDCEN 和 ICHDCEN 位必须通过软件保持清零状态
ETRGN	Bit 19-17	R/W	**外部触发不连续转换通道数** 这些位由软件写入，用于定义在接收到外部触发后以非连续模式转换的常规通道数。 000: 1 个通道

			001: 2 个通道 … 111: 8 个通道 注: 仅当 NSTART=0 时(这可确保当前未进行任何标准转换),才允许通过软件对这些位执行写操作
NCHDCEN	Bit 16	R/W	**标准通道的不连续模式** 此位由软件设置和清除,用于使能/禁止标准通道的不连续模式 0: 禁止标准通道的不连续模式 1: 使能标准通道的不连续模式 注: 不能同时使能不连续模式和连续模式：禁止同时将 NCHDCEN 和 CM 位置 1 注: 不能同时使用自动插入模式和不连续模式： 当 IAUTO 置 1 时， NCHDCEN 和 ICHDCEN 位必须通过软件保持清零状态 注: 仅当 NSTART=0 时(这可确保当前未进行任何标准转换),才允许通过软件对此位执行写操作
AUTOFF	Bit 15	R/W	**自动关闭转换模式** 此位由软件设置和清除,用于使能/禁止自动关闭转换模式 0: 自动关闭转换模式关闭 1: 自动关闭转换模式开启 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换),才允许通过软件对这些位执行写操作
AUTODLY	Bit 14	R/W	**延迟转换模式** 此位由软件设置和清除,用于使能/禁止自动延迟转换模式 0: 自动延迟转换模式关闭 1: 自动延迟转换模式开启 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换),才允许通过软件对这些位执行写操作
CM	Bit 13	R/W	**标准转换的单次/连续转换模式** 此位由软件设置和清除。该位置 1 时，标准转换将持续进行， 直到该位清零

			0: 单次转换模式 1: 连续转换模式 注: 不能同时使能不连续模式和连续模式：禁止同时将 NCHDCEN 和 CM 位置 1 注: 仅当 NSTART=0 时(这可确保当前未进行任何标准转换)，才允许通过软件对此位执行写操作
OVRMOD	Bit 12	R/W	**溢出模式** 该位由软件设置和清除，用于配置数据溢出的管理方式 0: 如果检测到溢出，ADC_NCHDR 寄存器会保留原有数据 1: 如果检测到溢出，ADC_NCHDR 寄存器会被上一转换结果覆盖 注: 仅当 NSTART=0 时(这可确保当前未进行任何标准转换)，才允许通过软件对此位执行写操作
NETS	Bit 11-10	R/W	**标准通道的外部触发使能和极性选择** 通过软件将这些位设置和清除，可选择外部触发极性和使能标准组的触发 00: 禁止硬件触发检测(可通过软件激活转换) 01: 在上升沿执行硬件触发检测 10: 在下降沿执行硬件触发检测 11: 在上升沿和下降沿都执行硬件触发检测 注: 仅当 NSTART=0 时(这可确保当前未进行任何标准转换)，才允许通过软件对这些位执行写操作
NEXTSEL	Bit 9-6	R/W	**标准组的外部触发选择** 该字段选择用于标准组的触发源: 此字段的有效配置是: Value Event 0x0 AD16C4T1_CH1 0x1 AD16C4T1_CH2 0x2 AD16C4T1_CH3 0x3 GP32C4T1_CH2 0x4 GP32C4T1_CH3 0x5 GP32C4T1_CH4 0x6 GP32C4T1_TRGOUT

			0x7 GP16C4T1_CH1 0x8 GP16C4T1_TRGOUT 0x9 GP16C4T2_CH4 0xA GP16C4T3_CH1 0xB GP16C4T3_CH2 0xC GP16C4T3_CH3 0xD BS16T1_TRGOUT 0xE RTC 0xF EXTI_TRG0 注: 仅当 NSTART=0 时(这可确保当前未进行任何标准转换),才允许通过软件对这些位执行写操作
ALIGN	Bit 5	R/W	**数据对齐方式** 此位由软件设置和清除，用于选择右对齐或左对齐 0: 右对齐 1: 左对齐 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换),才允许通过软件对此位执行写操作
RSEL	Bit 4-3	R/W	**ADC 转换精度选择位** 通过软件写入这些位可选择转换的精度 00: 6-bit 01: 8-bit 10: 10-bit 11: 12-bit 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换),才允许通过软件对这些位执行写操作
—	Bit 2-1	—	—
DMAEN	Bit 0	R/W	**DMA 访问使能** 此位由软件设置和清除，用于使能 DMA 请求的生成 0: 禁止 DMA 1: 使能 DMA 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换),才允许通过软件对此位执行写操作

16. 5. 2. 9 ADC 采样时间控制寄存器 1 (ADC_SMPT1)

ADC 采样时间控制寄存器 1 (ADC_SMPT1)																													
偏移地址：0x20																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHT2 <7:0>								CHT1 <7:0>								CHT0 <7:0>													CKDIV <2:0>		

CHTx(2-0)	Bit 31-8	R/W	**通道 x(2-0)采样时间选择位** 根据输入电压的输入阻抗来调整转换速度。这位用软件改写，用于选择通道 x 的采样时间。 在采样周期期间，通道选择位必须保持不变 在采样周期期间，通道选择位必须保持不变 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换，才允许通过软件对这些位执行写操作
—	Bits 7-3	—	—
CKDIV	Bit 2-0	R/W	**ADC 预分频器** 由软件设置和清除，以选择 ADC 的时钟频率。 在采样周期期间，选择位必须保持不变 000: PCLK 1 分频 001: PCLK 2 分频 010: PCLK 4 分频 011: PCLK 6 分频 100: PCLK 8 分频 注: 仅当 ADC 未开启时才允许通过软件对这些位执行写操作

16. 5. 2. 10 ADC 采样时间控制寄存器 2 (ADC_SMPT2)

ADC 采样时间控制寄存器 2 (ADC_SMPT2)																															
偏移地址：0x24																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHT6 <7:0>								CHT5 <7:0>								CHT4 <7:0>								CHT3 <7:0>							

CHTx(6-3)	Bit 31-0	R/W	**通道 x(6-3)采样时间选择位** 根据输入电压的输入阻抗来调整转换速度。这位用软件改写，用于选择通道 x 的采样时间。 在采样周期期间，通道选择位必须保持不变 在采样周期期间，通道选择位必须保持不变 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换，才允许通过软件对这些位执行写操作

16. 5. 2. 11 ADC 采样时间控制寄存器 3 (ADC_SMPT3)

ADC 采样时间控制寄存器 3 (ADC_SMPT3)																															
偏移地址：0x28																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHT10 <7:0>								CHT9 <7:0>								CHT8 <7:0>								CHT7 <7:0>							

CHTx(10-7)	Bit 31-0	R/W	**通道 x(10-7)采样时间选择位** 根据输入电压的输入阻抗来调整转换速度。这位用软件改写，用于选择通道 x 的采样时间。 在采样周期期间，通道选择位必须保持不变 在采样周期期间，通道选择位必须保持不变 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换，才允许通过软件对这些位执行写操作

16. 5. 2. 12 ADC 采样时间控制寄存器 4 (ADC_SMPT4)

ADC 采样时间控制寄存器 4 (ADC_SMPT4)																															
偏移地址：0x2C																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHT14 <7:0>								CHT13 <7:0>								CHT12 <7:0>								CHT11 <7:0>							

CHTx(14-11)	Bit 31-0	R/W	**通道 x(14-11)采样时间选择位** 根据输入电压的输入阻抗来调整转换速度。这位用软件改写，用于选择通道 x 的采样时间。在采样周期期间，通道选择位必须保持不变 在采样周期期间，通道选择位必须保持不变 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换，才允许通过软件对这些位执行写操作

16. 5. 2. 13 ADC 采样时间控制寄存器 5 (ADC_SMPT5)

ADC 采样时间控制寄存器 5 (ADC_SMPT5)																															
偏移地址：0x30																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHT18 <7:0>								CHT17 <7:0>								CHT16 <7:0>								CHT15 <7:0>							

CHTx(18-15)	Bit 31-0	R/W	**通道 x(18-15)采样时间选择位** 根据输入电压的输入阻抗来调整转换速度。这位用软件改写，用于选择通道 x 的采样时间。在采样周期期间，通道选择位必须保持不变 在采样周期期间，通道选择位必须保持不变 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换，才允许通过软件对这些位执行写操作

16. 5. 2. 14 ADC 看门狗阈值寄存器 (ADC_WDTH)

ADC 看门狗阈值寄存器 (ADC_WDTH)																													
偏移地址：0x3C																													
复位值：0x0FFF 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	HT <11:0>												—	—	—	—	LT <11:0>											

—	Bit 31-28	—	—
HT	Bit 27-16	R/W	**模拟看门狗高阈值** 通过软件写入这些位可为模拟看门狗定义高阈值。 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换，才允许通过软件对这些位执行写操作。
—	Bit 15-12	—	—
LT	Bit 11-0	R/W	**模拟看门狗低阈值** 通过软件写入这些位可为模拟看门狗定义低阈值。 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换，才允许通过软件对这些位执行写操作。

16. 5. 2. 15 ADC 标准通道序列寄存器 1 (ADC_NCHS1)

ADC 标准通道序列寄存器 1 (ADC_NCHS1)																													
偏移地址：0x40																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	NS4 <4:0>					—	NS3 <4:0>					—	NS2 <4:0>					—	NS1 <4:0>					—	—	NSL <3:0>			

—	Bits 31-16	—	—
NS4	Bit 28-24	R/W	**标准序列第 4 次转换通道编号** 00000~10010: 通道 018 其他: 预留

			注: 仅当 NSTART=0 时(这可确保当前未进行任何标准转换)，才允许通过软件对这些位执行写操作。
—	Bit 23	—	—
NS3	Bit 22-18	R/W	**标准序列第 3 次转换通道编号** 00000~10010: 通道 0~18 其他：预留 注: 仅当 NSTART=0 时(这可确保当前未进行任何标准转换)，才允许通过软件对这些位执行写操作。
—	Bit 17	—	—
NS2	Bit 16-12	R/W	**标准序列第 2 次转换通道编号** 00000~10010: 通道 0~18 其他: 预留 注: 仅当 NSTART=0 时(这可确保当前未进行任何标准转换)，才允许通过软件对这些位执行写操作。
—	Bit 11	—	—
NS1	Bit 10-6	R/W	**标准序列第 1 次转换通道编号** 00000~10010: 通道 0~18 其他: 预留 注: 仅当 NSTART=0 时(这可确保当前未进行任何标准转换)，才允许通过软件对这些位执行写操作。
—	Bit 5-4	—	—
NSL	Bit 3-0	R/W	**标准通道序列长度** 通过软件写入这些位可定义标准通道转换序列中的转换总数。 0000: 1 次转换 0001: 2 次转换 ... 1111: 16 次转换 注: 仅当 NSTART=0 时(这可确保当前未进行任何标准转换)，才允许通过软件对这些位执行写操作。

16. 5. 2. 16 ADC 标准通道序列寄存器 2 (ADC_NCHS2)

ADC 标准通道序列寄存器 2 (ADC_NCHS2)																													
偏移地址：0x44																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			NS9 <4:0>						NS8 <4:0>						NS7 <4:0>						NS6 <4:0>					NSS <3:0>			

—	Bit 31-29	—	—
NS9	Bit 28-24	R/W	**标准序列第 9 次转换通道编号** 00000~10010: 通道 0~18 其他: 预留 注: 仅当 NSTART=0 时(这可确保当前未进行任何标准转换)，才允许通过软件对这些位执行写操作。
—	Bit 23	—	—
NS8	Bit 22-18	R/W	**标准序列第 8 次转换通道编号** 00000~10010: 通道 0~18 其他: 预留 注: 仅当 NSTART=0 时(这可确保当前未进行任何标准转换)，才允许通过软件对这些位执行写操作。
—	Bit 17	—	—
NS7	Bit 16-12	R/W	**标准序列第 7 次转换通道编号** 00000~10010: 通道 0~18 其他: 预留 注: 仅当 NSTART=0 时(这可确保当前未进行任何标准转换)，才允许通过软件对这些位执行写操作。
—	Bit 11	—	—
NS6	Bit 10-6	R/W	**标准序列第 6 次转换通道编号** 00000~10010: 通道 0~18 其他: 预留 注: 仅当 NSTART=0 时(这可确保当前未进行任何标准转换)，才允许通过软件对这些位执行写操作。

—	Bit 5	—	—
NS5	Bit 4-0	R/W	**标准序列第 5 次转换通道编号** 00000~10010: 通道 0~18 其他: 预留 注: 仅当 NSTART=0 时(这可确保当前未进行任何标准转换)，才允许通过软件对这些位执行写操作。

16. 5. 2. 17 ADC 标准通道序列寄存器 3 (ADC_NCHS3)

ADC 标准通道序列寄存器 3 (ADC_NCHS3)

偏移地址：0x48

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			NS14 <4:0>						NS13 <4:0>						NS12 <4:0>						NS11 <4:0>						NS10 <3:0>				

—	Bit 31-29	—	—
NS14	Bit 28-24	R/W	**标准序列第 14 次转换通道编号** 00000~10010: 通道 0~18 其他: 预留 注: 仅当 NSTART=0 时(这可确保当前未进行任何标准转换)，才允许通过软件对这些位执行写操作。
—	Bit 23	—	—
NS13	Bit 22-18	R/W	**标准序列第 13 次转换通道编号** 00000~10010: 通道 0~18 其他: 预留 注: 仅当 NSTART=0 时(这可确保当前未进行任何标准转换)，才允许通过软件对这些位执行写操作。
—	Bit 17	—	—
NS12	Bit 16-12	R/W	**标准序列第 12 次转换通道编号** 00000~10010: 通道 0~18 其他: 预留 注: 仅当 NSTART=0 时(这可确保当前未进行任何标准转换)，才允许通过软件对这些位

			执行写操作。
—	Bit 11	—	—
NS11	Bit 10-6	R/W	**标准序列第 11 次转换通道编号** 00000~10010: 通道 0~18 其他: 预留 注: 仅当 NSTART=0 时(这可确保当前未进行任何标准转换)，才允许通过软件对这些位执行写操作。
—	Bit 5	—	—
NS10	Bit 4-0	R/W	**标准序列第 10 次转换通道编号** 00000~10010: 通道 0~18 其他: 预留 注: 仅当 NSTART=0 时(这可确保当前未进行任何标准转换)，才允许通过软件对这些位执行写操作。

16. 5. 2. 18 ADC 标准通道序列寄存器 4 (ADC_NCHS4)

ADC 标准通道序列寄存器 4 (ADC_NCHS4)

偏移地址：0x4C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																					NS16 <4:0>						NS15 <4:0>				

—	Bits 31-11	—	—
NS16	Bit 10-6	R/W	**标准序列第 16 次转换通道编号** 00000~10010: 通道 0~18 其他: 预留 注 :仅当 NSTART=0 时(这可确保当前未进行任何标准转换)，才允许通过软件对这些位执行写操作。
—	Bits 5	—	—
NS15	Bits 4-0	R/W	**标准序列第 15 次转换通道编号** 00000~10010: 通道 0~18 其他 :预留 注: 仅当 NSTART=0 时(这可确保当前未进

			行任何标准转换)，才允许通过软件对这些位执行写操作。

16. 5. 2. 19 ADC 标准通道数据寄存器 (ADC_NCHDR)

ADC 标准通道数据寄存器 (ADC_NCHDR)

偏移地址：0x50

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																VAL <15:0>															

—	Bits 31-16	—	—
VAL	Bit 15-0	R	**标准通道转换数据** 这些位只能被读取，该值为对齐之后的数据

16. 5. 2. 20 ADC 插入通道序列寄存器 (ADC_ICHS)

ADC 插入通道序列寄存器 (ADC_ICHS)

偏移地址：0x54

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IS4 <4:0>						IS3 <4:0>						IS2 <4:0>						IS1 <4:0>					IETS <1:0>		IEXTSEL <3:0>				ISL <1:0>		

—	Bits 31	—	—
IS4	Bit 30-26	R/W	**插入组第 4 次转换通道选择** 00000~10010: 通道 0~18 其他: 预留 注: 仅当 ISTART=0 时(这可确保当前未进行任何插入转换)，才允许通过软件对这些位执行写操作
—	Bit 25	—	—
IS3	Bit 24-20	R/W	**插入组第 3 次转换通道选择** 00000~10010: 通道 0~18 其他: 预留 注: 仅当 ISTART=0 时(这可确保当前未进行

			任何插入转换)，才允许通过软件对这些位执行写操作
—	Bit 19	—	—
IS2	Bit 18-14	R/W	**插入组第 2 次转换通道选择** 00000~10010: 通道 0~18 其他: 预留 注: 仅当 ISTART=0 时(这可确保当前未进行任何插入转换),才允许通过软件对这些位执行写操作
—	Bit 13	—	—
IS1	Bit 12-8	R/W	**插入组第 1 次转换通道选择** 00000~10010: 通道 0~18 其他: 预留 注: 仅当 ISTART=0 时(这可确保当前未进行任何插入转换),才允许通过软件对这些位执行写操作
IETS	Bit 7-6	R/W	**插入通道的外部触发使能和极性选择** 通过软件将这些位设置和清除，可选择外部触发极性和使能插入组的触发 00: 禁止硬件触发检测(可通过软件激活转换) 01: 在上升沿执行硬件触发检测 10: 在下降沿执行硬件触发检测 11: 在上升沿和下降沿都执行硬件触发检测 注: 仅当 ISTART=0 时(这可确保当前未进行任何插入转换)，才允许通过软件对这些位执行写操作
IEXTSEL	Bit 5-2	R/W	**插入组的外部触发选择** 该字段选择用于插入组的触发源 此字段的有效配置是: Value Event 0x0 AD16C4T1_CH4 0x1 AD16C4T1_TRGOUT 0x2 GP32C4T1_CH1 0x3 GP32C4T1_TRGOUT 0x4 GP16C4T1_CH2 0x5 GP16C4T1_CH3 0x6 GP16C4T1_CH4

			0x7 GP16C4T2_CH1 0x8 GP16C4T2_CH2 0x9 GP16C4T2_CH3 0xA GP16C4T2_TRGOUT 0xB GP16C4T3_CH4 0xC GP16C4T3_TRGOUT 0xD GP16C2T1_TRGOUT 0xE GP16C2T2_TRGOUT 0xF EXTI_TRG1 注: 仅当 ISTART=0 时(这可确保当前未进行任何插入转换)，才允许通过软件对这些位执行写操作
ISL	Bit 1-0	R/W	**插入通道序列长度** 通过软件写入这些位可定义插入通道转换序列中的转换总数。 00: 1 次转换 01: 2 次转换 10: 3 次转换 11: 4 次转换 注: 仅当 ISTART=0 时(这可确保当前未进行任何插入转换)，才允许通过软件对这些位执行写操作。

16. 5. 2. 21 ADC 偏移寄存器 1 (ADC_OFF1)

ADC 偏移寄存器 1 (ADC_OFF1)

偏移地址：0x58

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OFFEN	OFFCH <4:0>					SATEN	OFFPEN													OFF <11:0>											

OFFEN	Bit 31	R/W	**偏移使能** 该位通过软件写入，用于使能和禁止编程到 OFF[11:0]位中的偏移。 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换)，才允许通过软件对此位执行写操作。
OFFCH	Bit 30-26	R/W	**数据偏移的通道选择** 这些位通过软件写入，用于定义编程到 OFF[11:0]位中的偏移将应用到的通道 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换)，才允许通过软件对此位执行写操作。
SATEN	Bit 25	R/W	**饱和使能** 该位由软件设置，以使能偏移功能 0x000 和 0xFFF 饱和度 0: 无饱和控制，偏移结果为有号数 1: 启用饱和，偏移结果无号数，并在 0x000 和 0xFFF 处饱和 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换)，才允许通过软件对此位执行写操作。
OFFPEN	Bit 24	R/W	**正偏移** 该位由软件置 1 以启用正偏移 0: 负偏移 1: 正偏移 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换)，才允许通过软件对此位执行写操作。

—	Bit 23-12	—	—
OFF	Bit 11-0	R/W	**编程到 OFFCH[4:0]位中的通道所对应的数据偏移** 这些位通过软件写入，用于定义在转换通道(可以是标准通道或插入通道)时从原始转换数据中减去的偏移 y。应用数据偏移 y 的通道必须在 OFFCH[4:0]位中编程。转换结果可从 ADC_NCHDR(标准转换)或 ADC_ICHDRx 寄存器(插入转换)中读取 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换)，才允许通过软件对此位执行写操作 注: 如果多个偏移(OFFx)指向同一通道，相减时只会考虑使用 x 值最小的偏移 例如: 如果 OFF1CH[4:0]=2 且 OFF3CH[4:0]=2，转换通道 2 时会减去 OFF1[11:0]

16. 5. 2. 22 ADC 偏移寄存器 2 (ADC_OFF2)

ADC 偏移寄存器 2 (ADC_OFF2)

偏移地址：0x5C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OFFEN	OFFCH <4:0>					SATEN	OFFPEN													OFF <11:0>											

OFFEN	Bit 31	R/W	**偏移使能** 该位通过软件写入，用于使能和禁止编程到 OFF[11:0]位中的偏移 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换)，才允许通过软件对此位执行写操作
OFFCH	Bit 30-26	R/W	**数据偏移的通道选择** 这些位通过软件写入，用于定义编程到 OFF[11:0]位中的偏移将应用到的通道 注: 仅当 NSTART=0 且 ISTART=0 时(这可确

			保当前未进行任何转换)，才允许通过软件对此位执行写操作
SATEN	Bit 25	R/W	**饱和使能** 该位由软件设置，以使能偏移功能 0x000 和 0xFFF 饱和度 0: 无饱和控制，偏移结果为有号数 1: 启用饱和，偏移结果无号数，并在 0x000 和 0xFFF 处饱和 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换)，才允许通过软件对此位执行写操作
OFFPEN	Bit 24	R/W	**正偏移** 该位由软件置 1 以启用正偏移 0: 负偏移 1: 正偏移 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换)，才允许通过软件对此位执行写操作
—	Bit 23-12	—	—
OFF	Bit 11-0	R/W	**编程到 OFFCH[4:0]位中的通道所对应的数据偏移** 这些位通过软件写入，用于定义在转换通道(可以是标准通道或插入通道)时从原始转换数据中减去的偏移 y。应用数据偏移 y 的通道必须在 OFFCH[4:0]位中编程。转换结果可从 ADC_NCHDR(标准转换)或 ADC_ICHDRx 寄存器(插入转换)中读取 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换)，才允许通过软件对此位执行写操作 注: 如果多个偏移(OFFx)指向同一通道，相减时只会考虑使用 x 值最小的偏移 例如: 如果 OFF1CH[4:0]=2 且 OFF3CH[4:0]=2，转换通道 2 时会减去 OFF1[11:0]

16. 5. 2. 23 ADC 偏移寄存器 3 (ADC_OFF3)

ADC 偏移寄存器 3 (ADC_OFF3)																													
偏移地址：0x60																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OFFEN	OFFCH <4:0>					SATEN	OFFPEN													OFF <11:0>											

OFFEN	Bit 31	R/W	**偏移使能** 该位通过软件写入，用于使能和禁止编程到 OFF[11:0]位中的偏移。 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换)，才允许通过软件对此位执行写操作。
OFFCH	Bit 30-26	R/W	**数据偏移的通道选择** 这些位通过软件写入，用于定义编程到 OFF[11:0]位中的偏移将应用到的通道 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换)，才允许通过软件对此位执行写操作
SATEN	Bit 25	R/W	**饱和使能** 该位由软件设置，以使能偏移功能 0x000 和 0xFFF 饱和度 0: 无饱和控制，偏移结果为有号数 1: 启用饱和，偏移结果无号数，并在 0x000 和 0xFFF 处饱和 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换)，才允许通过软件对此位执行写操作
OFFPEN	Bit 24	R/W	**正偏移** 该位由软件置 1 和清除以启用正偏移。 0: 负偏移 1: 正偏移 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换)，才允许通过软件对此位执行写操作。

—	Bit 23-12	—	—
OFF	Bit 11-0	R/W	**编程到 OFFCH[4:0]位中的通道所对应的数据偏移** 这些位通过软件写入，用于定义在转换通道(可以是标准通道或插入通道)时从原始转换数据中减去的偏移 y。应用数据偏移 y 的通道必须在 OFFCH[4:0]位中编程。转换结果可从 ADC_NCHDR(标准转换)或 ADC_ICHDRx 寄存器(插入转换)中读取 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换)，才允许通过软件对此位执行写操作 注: 如果多个偏移(OFFx)指向同一通道，相减时只会考虑使用 x 值最小的偏移 例如: 如果 OFF1CH[4:0]=2 且 OFF3CH[4:0]=2，转换通道 2 时会减去 OFF1[11:0]

16. 5. 2. 24 ADC 偏移寄存器 4 (ADC_OFF4)

ADC 偏移寄存器 4 (ADC_OFF4)

偏移地址：0x64

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OFFEN	OFFCH <4:0>					SATEN	OFFPEN													OFF <11:0>											

OFFEN	Bit 31	R/W	**偏移使能** 该位通过软件写入，用于使能和禁止编程到 OFF[11:0]位中的偏移。 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换)，才允许通过软件对此位执行写操作。
OFFCH	Bit 30-26	R/W	**数据偏移的通道选择** 这些位通过软件写入，用于定义编程到 OFF[11:0]位中的偏移将应用到的通道。 注: 仅当 NSTART=0 且 ISTART=0 时(这可确

			保当前未进行任何转换)，才允许通过软件对此位执行写操作。
SATEN	Bit 25	R/W	**饱和使能** 该位由软件设置，以使能偏移功能有 0x000 和 0xFFF 饱和度 0: 无饱和控制，偏移结果为有号数 1: 启用饱和，偏移结果无号数，并在 0x000 和 0xFFF 处饱和 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换)，才允许通过软件对此位执行写操作。
OFFPEN	Bit 24	R/W	**正偏移** 该位由软件置 1 以启用正偏移 0: 负偏移 1: 正偏移 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换)，才允许通过软件对此位执行写操作。
—	Bit 23-12	—	—
OFF	Bit 11-0	R/W	**编程到 OFFCH[4:0]位中的通道所对应的数据偏移** 这些位通过软件写入，用于定义在转换通道(可以是标准通道或插入通道)时从原始转换数据中减去的偏移 y。应用数据偏移 y 的通道必须在 OFFCH[4:0]位中编程。转换结果可从 ADC_NCHDR(标准转换)或 ADC_ICHDRx 寄存器(插入转换)中读取。 注: 仅当 NSTART=0 且 ISTART=0 时(这可确保当前未进行任何转换)，才允许通过软件对此位执行写操作 注: 如果多个偏移(OFFx)指向同一通道，相减时只会考虑使用 x 值最小的偏移 例如: 如果 OFF1CH[4:0]=2 且 OFF3CH[4:0]=2，转换通道 2 时会减去 OFF1[11:0]

16. 5. 2. 25 ADC 插入通道数据寄存器 1 (ADC_ICHDR1)

ADC 插入通道数据寄存器 1 (ADC_ICHDR1)																													
偏移地址：0x68																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																VAL <15:0>															

—	Bits 31-16	—	—
VAL	Bits 15-0	R	**插入通道转换数据** 这些位只能被读取，该值为插入序列中第一次转换的数据(对齐之后的数据)

16. 5. 2. 26 ADC 插入通道数据寄存器 2 (ADC_ICHDR2)

ADC 插入通道数据寄存器 2 (ADC_ICHDR2)																													
偏移地址：0x6C																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																VAL <15:0>															

—	Bits 31-16	—	—
VAL	Bits 15-0	R	**插入通道转换数据** 这些位只能被读取，该值为插入序列中第二次转换的数据(对齐之后的数据)

16. 5. 2. 27 ADC 插入通道数据寄存器 3 (ADC_ICHDR3)

ADC 插入通道数据寄存器 3 (ADC_ICHDR3)																													
偏移地址：0x70																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																VAL <15:0>															

—	Bits 31-16	—	—
VAL	Bits 15-0	R	**插入通道转换数据** 这些位只能被读取，该值为插入序列中第三次转换的数据(对齐之后的数据)

16. 5. 2. 28 ADC 插入通道数据寄存器 4 (ADC_ICHDR4)

ADC 插入通道数据寄存器 4 (ADC_ICHDR4)																													
偏移地址：0x74																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																VAL <15:0>															

—	Bits 31-16	—	—
VAL	Bits 15-0	R	**插入通道转换数据** 这些位只能被读取，该值为插入序列中第四次转换的数据(对齐之后的数据)

16. 5. 2. 29 ADC 校准寄存器 (ADC_CALCR)

ADC 校准寄存器 (ADC_CALCR)

偏移地址：0x78

复位值：0x0000 0400

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								OCOMCOE <7:0>												GCOMCOE <11:0>											

—	Bit 31-24	—	—
OCOMCOE	Bit 23-16	R/W	**偏移补偿系数** 这些位可由硬件校准功能或软件写入，通常写入值为校准结果算出的位移(b) 数值范围为-128 到 127，为 8bits 的二补码表示表示范围: -0.125~0.124 (OCOMCOE/1024) 1000 0000: 偏移为-0.125 … 1100 0000: 偏移为-0.0625 … 0000 0000: 偏移为 0 … 0100 0000: 偏移为 0.0625 … 理想 ADC 的偏移为 0，偏移系数可以是以零为中心的正数或负数(2 补码的形式) result = (conversion value – OCOMCOE) * GCOMCOE/1024 注: 仅当 ADCEN=1、NSTART=0 且 ISTART=0 时(ADC 已使能、当前未执行任何校准和转换)，才允许通过软件对这些位执行写操作
—	Bit 15-12	—	—
GCOMCOE	Bit 11-0	R/W	**增益补偿系数** 这些位可由硬件校准功能或软件写入，通常写入值为校准结果算出的斜率取倒数(1/a) 数值范围为 0 到 4095，为 12bits 的无号数表

			示 表示范围: 0 ~ 3.999 (GCOMCOE/1024) 00 10 0000 0000: 增益为 0.5 … 00 11 0000 0000: 增益为 0.75 … 01 00 0000 0000: 增益为 1 … 注: 仅当 ADCEN=1、NSTART=0 且 ISTART=0 时(ADC 已使能、当前未执行任何校准和转换)才允许通过软件对这些位执行写操作

16. 5. 2. 30 ADC 通用控制寄存器 (ADC_CCR)

ADC 通用控制寄存器 (ADC_CCR)

偏移地址：0x7C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					VRESSEL <2:0>																										

—	Bits 31-27	—	—
VRESSEL	Bit 26-24	R/W	**内部电阻分压输出选择** 软件将写入这些位，选择内部电阻分压 V_{RES} 的输出电压 内部电阻分压 V_{RES} 连接到 ADIN18 000: 4/16 001: 8/16 010: 12/16 011: 16/16 100: 1/16 101: 15/16 11x: reserved 注: 仅当 ADCEN=1、NSTART=0 且 ISTART=0 时(ADC 已使能、当前未执行任何校准和转换)，才允许通过软件对这些位执

			行写操作
—	Bits 23-0	—	—

16. 5. 2. 31 ADC 状态寄存器 (ADC_SR)

ADC 状态寄存器 (ADC_SR)

偏移地址：0x80

复位值：0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																													NDRE		

—	Bits 31-3	—	—
NDRE	Bit 2	R	**标准通道数据寄存器状态** 0: ADC_NCHDR 寄存器有数据 1: ADC_NCHDR 寄存器无任何数据
—	Bits 1-0	—	—

第17章 模拟比较器 (CMP)

17.1 概述

模拟比较器是一个外围设备，它可以比较两个模拟电压的值，并以逻辑输出的形式显示比较结果。模拟比较器支持两个单独的比较器(CMP1 和 CMP2)，每个比较器可以向设备引脚提供输出并替换电路板上的模拟比较器。比较器可以通过中断触发 ADC，或者通知应用程序开始捕获样本序列。独立的外部参考电压。

17.2 特性

- 两个单独的模拟比较器。
- 共享内部参考电压 。
- CMP1 与 CMP2 可以配置为一个监控窗口比较器。
- 消隐源比较器输出
- 每个比较器拥有正端输入与可配置负端输入，可配置的负端输入如下：
  - ◇ I/O 输入引脚。
  - ◇ 内部参考电压与 3 个分压（1/4、1/2、3/4）。
- 提供触发给其他 IP 使用（ADC、Timer）。
- 每个比较器都可以产生中断 (通过 EXTI 控制器)。

17. 3 结构图

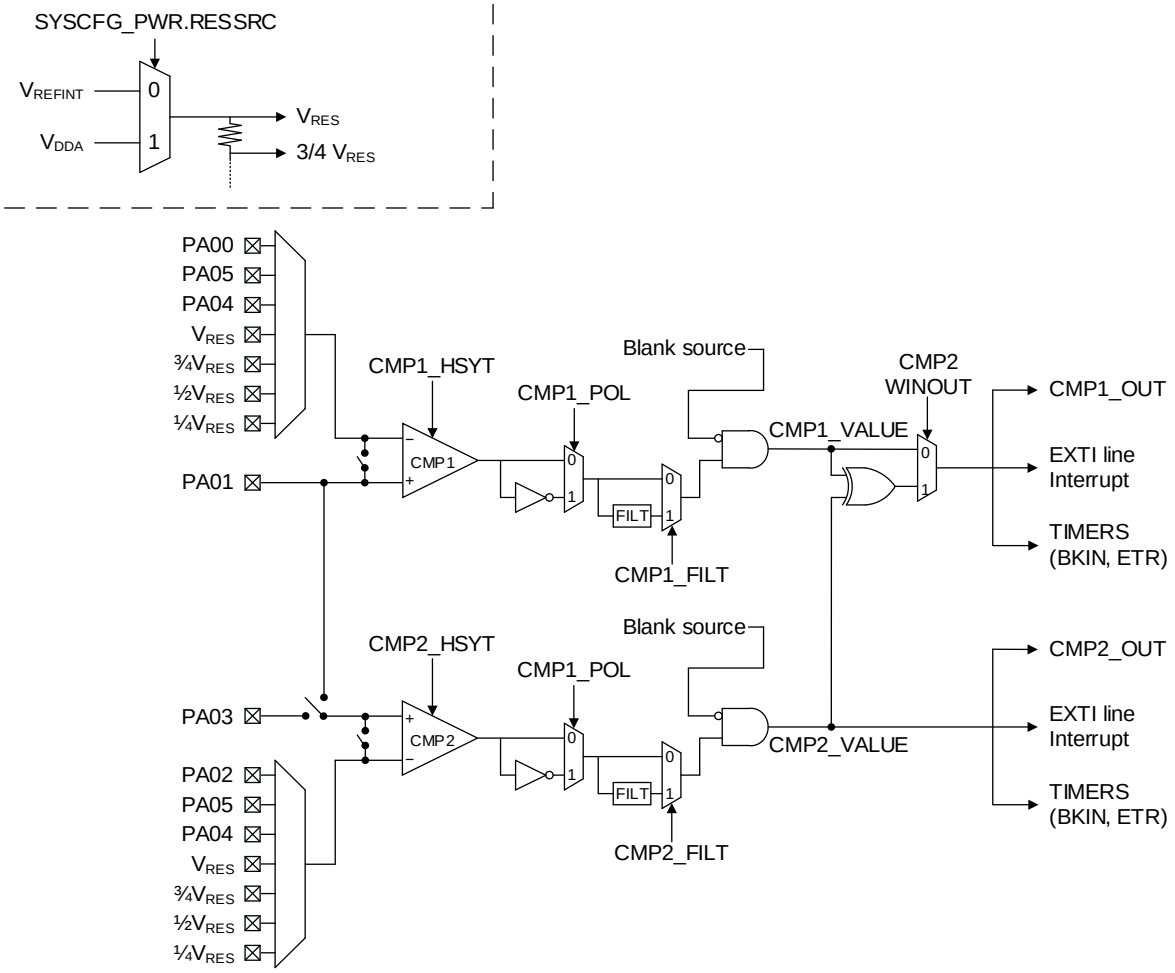


图 17-1 CMP 架构图

17.4 功能描述

17.4.1 CMP 引脚与外部信号

CMP 输入的 I/O 必须在 GPIO 中以模似模式配置寄存器。CMP 输出可以使用多路复用引脚功能选择连接到 I/O 上，请参考数据表的 “多路复用引脚功能选择” 表。

CMP 输出还可以触发以下各种计时器：

- 使用 BKIN 来紧急关闭 PWM 信号。
- 使用 OCREF_CLR 输入进行周期电流控制。
- 输入捕捉次数计数。

CMP 可以将输出同时输出至内部与外部做使用。

注：若要使用 V_{RES}，需至 SYSCFG 寄存器中配置 RESEN 与 RESSRC，来选择分压电路的电压来源与启动分压电路。详细内容请参考 System Config (SYSCFG)章节。

17.4.2 CMP 复位与时钟

CMP 输出是使用 PCLK (APB 时钟)进行同步后的结果。

17.4.3 CMP 锁定机制

CMP 可用于安全目的，例如过载保护或过热保护。对于拥有特定安全功能要求的应用，有必要确保在任何情况下，CMP 的寄存器配置皆不能被更改。为此，可以对 CMP 控制和状态寄存器进行写入保护(意即只能读取)。

CMP 配置完成后，使用 **CMP_CFGx** 的位 31，可以将 LOCKx 位设置为 1。这将导致整个 **CMP_CFGx** 寄存器变为只能进行读取操作，包括 LOCKx 位。

开启写入保护后只能通过 RCU 来将寄存器复位。

17.4.4 CMP 窗口模式

比较器的窗口模式用于监控模拟电压是否处于阀值上下限锁定一的特定电压范围内。可使用 2 个比较器来建立监控窗口。受监控的模拟电压连接到 2 个比较器的正端输入，阀值上下限电压连接到 2 个比较器的负端输入。可通过开启 WINMODE 位将 2 个正端输入在内部互相连接，进而保留一个外部 IO 来用于其他用途。

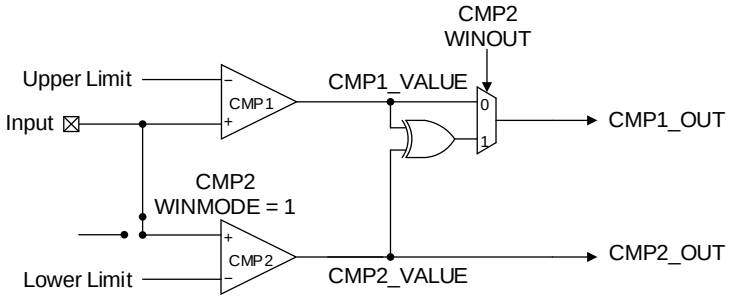


图 17-2 CMP 窗口模式

17. 4. 5 CMP 迟滞功能

CMP 具有可配置的迟滞功能，当比较器输入信号有噪声时，可能会导致有不稳定的输出，开启迟滞功能可避免此问题。如果不需要迟滞功能，可以将其禁用。

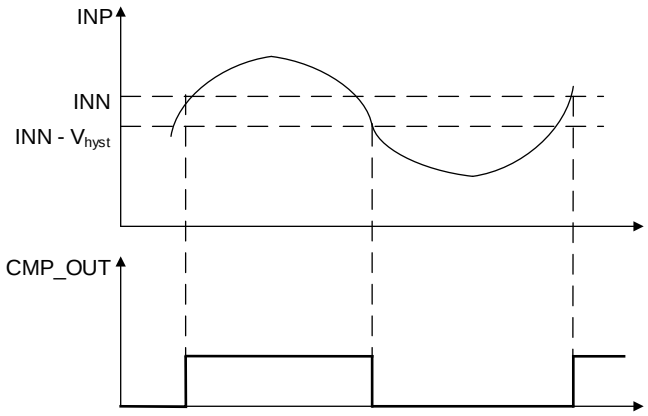


图 17-3 迟滞功能示意图

17. 4. 6 CMP 滤波功能

CMP 具有可配置的滤波功能，避免转换结果不稳定的现象。如果不需要滤波功能，可以将其禁用。

17. 4. 7 CMP 消隐功能

消隐功能的目的是防止电流在 PWM 周期开始处出现短暂的电流尖峰 (通常为功率开关，反向并联二极管中的恢复电流)时发生跳闸。这功能是通过配置定时器输出比较信号来定义消隐窗口的大小，并通过软件配置 CMP_CFGx.BLANKSEL[4:0]进行选择(请参见比较器寄存器说明)。然后，将消隐信号进行取反后与比较器输出执行逻辑"AND"运算，以提供所需的比较器输出。请参考下图所示的例子：

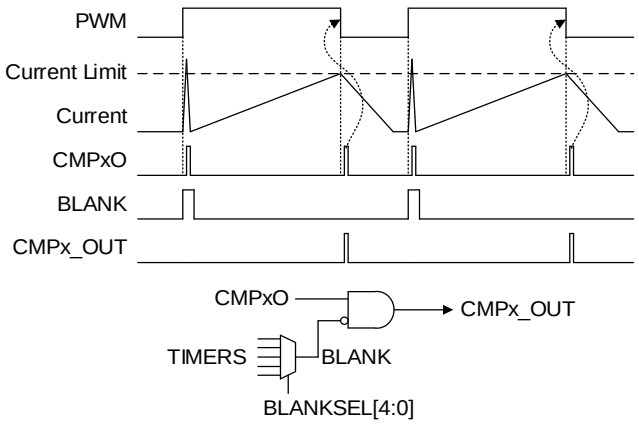


图 17-4 消隐功能示意图

17. 4. 8 CMP 中断功能

CMP 输出在内部会连接到扩展中断和事件控制器。每个 CMP 都有自己的 EXTI，并且可以产生中断或事件。

17. 5 特殊功能寄存器

17. 5. 1 寄存器列表

CMP 寄存器列表			
名称	偏移地址	类型	描述
CMP_CFG1	0000_H	R/W	CMP 配置寄存器 1
CMP_CFG2	0004_H	R/W	CMP 配置寄存器 2

17. 5. 2 寄存器描述

17. 5. 2. 1 CMP 配置寄存器 1 (CMP_CFG1)

CMP 配置寄存器 1 (CMP_CFG1)

偏移地址：0x00

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LOCK	VALUE	—	—	—	—	—	BLANKSEL <4:0>					—	FILT	—	HYST	POLARITY	OUTSEL <2:0>			—	—	—	—	—	INNSEL <2:0>			—	—	—	EN

LOCK	Bit 31	R/W	**Comparator 1 锁定** 0: CMP_CFG1[31:0]位可正常读写操作。 1: CMP_CFG1[31:0]位仅供读操作。
VALUE	Bit 30	R	**Comparator 1 输出** 0: CMP输出为低准位。 1: CMP输出为高准位。
—	Bit 29-25	—	—
BLANKSEL	Bit 24-20	R/W	**Comparator 1 消隐功能** 00000: 关闭消隐功能。 xxxx1: 开启AD16C4T1_OC4消隐功能。 xxx1x: 开启GP32C4T1_OC4消隐功能。 xx1xx: 开启GP16C4T1_OC4消隐功能。 x1xxx: 开启GP16C4T2_OC4消隐功能。 1xxxx: 开启GP16C2T1_OC2消隐功能。 可同时开启多个输入消隐。
—	Bit 19	—	—
FILT	Bit 18	R/W	**Comparator 1 滤波功能** 0: 关闭滤波功能。 1: 开启滤波功能。
—	Bit 17	—	—
HYST	Bit 16	R/W	**Comparator 1 迟滞功能** 0: 关闭迟滞功能。 1: 开启迟滞功能。
POLARITY	Bit 15	R/W	**Comparator 1 输出极性** 0: 输出无反相。 1: 输出反相。
OUTSEL	Bit 14-12	R/W	**Comparator 1 输出触发选择**

			000: 未指定输出。 001: AD16C4T1 BKIN。 010: GP16C2T1 BKIN。 011: GP16C2T2 BKIN。 100: GP16C2T3 BKIN。 101: GP16C2T4 BKIN。 110: 保留。 111: 保留。
—	Bit 11-7	-	—
INNSEL	Bit 6-4	R/W	**Comparator 1 负端输入选择** 000: 1/4 of V_{RES} 001: 1/2 of V_{RES} 010: 3/4 of V_{RES} 011: V_{RES} 100: PA04 101: PA05 110: PA00 111: Reserved
—	Bit 3-1	—	—
EN	Bit 0	R/W	**Comparator 1 开关** 0: Comparator 1 关闭。 1: Comparator 1 启动。

17. 5. 2. 2 CMP 配置寄存器 2 (CMP_CFG2)

CMP 配置寄存器 2 (CMP_CFG2)																												
偏移地址：0x04																												
复位值：0x0000 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LOCK	VALUE	—	—	—	—	—	BLANKSEL <4:0>					—	FILT	—	HYST	POLARITY	OUTSEL<2:0>			—	—	WINOUT	WINMODE	—	INNSEL<2:0>			—	—	—	EN

LOCK	Bit 31	R/W	**Comparator 2 锁定** 0: CMP_CFG2[31:0]位可正常读写操作。 1: CMP_CFG2[31:0]位仅供读操作。
VALUE	Bit 30	R	**Comparator 2 输出** 0: CMP输出为低准位。 1: CMP输出为高准位。
—	Bit 29-25	—	—
BLANKSEL	Bit 24-20	R/W	**Comparator 2 消隐功能** 00000: 关闭消隐功能。 xxxx1: 开启AD16C4T1_OC4消隐功能。 xxx1x: 开启GP32C4T1_OC4消隐功能。 xx1xx: 开启GP16C4T1_OC4消隐功能。 x1xxx: 开启GP16C4T2_OC4消隐功能。 1xxxx: 开启GP16C2T1_OC2消隐功能。 可同时开启多个输入消隐。
FILT	Bit 18	R/W	**Comparator 2 滤波功能** 0: 关闭滤波功能。 1: 开启滤波功能。
—	Bit 17	—	—
HYST	Bit 16	R/W	**Comparator 2 迟滞功能** 0: 关闭迟滞功能。 1: 开启迟滞功能。
POLARITY	Bit 15	R/W	**Comparator 2 输出极性** 0: 输出无反相。 1 :输出反相。
OUTSEL	Bit 14-12	R/W	**Comparator 2 输出触发选择** 000: 未指定输出。 001: AD16C4T1 BKIN。

			010: GP16C2T1 BKIN。 011: GP16C2T2 BKIN。 100: GP16C2T3 BKIN。 101: GP16C2T4 BKIN。 110: 保留。 111: 保留。
—	Bit 11-10	—	—
WINOUT	Bit 9	R/W	**Comparator 2 窗口输出模式** 0: 关闭CMP1窗口输出模式。 1: 开启CMP1窗口输出模式。
WINMODE	Bit 8	R/W	**Comparator 2 窗口监控模式** 0: 关闭窗口监控模式。 1: 开启窗口监控模式。
—	Bit 7	—	—
INNSEL	Bit 6-4	R/W	**Comparator 2 负端输入选择** 000: 1/4 of V_{RES} 001: 1/2 of V_{RES} 010: 3/4 of V_{RES} 011: V_{RES} 100: PA04 101: PA05 110: PA02 111: Reserved
—	Bit 3-1	—	—
EN	Bit 0	R/W	**Comparator 2 开关** 0: Comparator 2 关闭。 1: Comparator 2 启动。

第18章 高级控制定时器 16 位 4 通道 (AD16C4T1)

18. 1 概述

高级控制定时器(AD16C4T1)是一个功能强大、设置灵活的定时器模块，它包含一个 16 位计数器，具有定时、计数、脉冲输入信号测量(输入捕获)、产生特定 PWM 波形(输出比较)与可设置死区时间的互补输出等功能。

18. 2 特性

- 三种 16 位自动重载计数器模式
  - 递增
  - 递减
  - 递增/递减
- 16 位可配置预分频器，可在定时器运行时对计数器工作时钟进行 1 到 65536 之间的任意分频
- 带有四个独立信道，每个信道支持以下功能
  - 输入捕获
  - 输出比较
  - PWM 输出(边沿和中心对齐模式)
  - 单脉冲输出
- 通道 1~3 支持互补输出，可配置死区时间
- 同步电路用于外部信号控制定时器及内部互联多个定时器
- 重复计数器，用于在给定数目的计数周期后更新定时器寄存器
- 支持刹车功能，并可设置煞车后定时器输出状态
- 下列事件支持产生中断与 DMA 请求：
  - 更新事件：计数器上溢或下溢，计数器初始化(通过软件或内部与外部触发)
  - 触发事件：计数器开启、停止、初始化或通过内部与外部触发计数
  - 换向事件(COM)
  - 输入捕获
  - 输出比较
  - 刹车输入
- 支持增量(正交)编码及霍尔电路进行定位
- 外部时钟输入触发计数器

18. 3 结构图

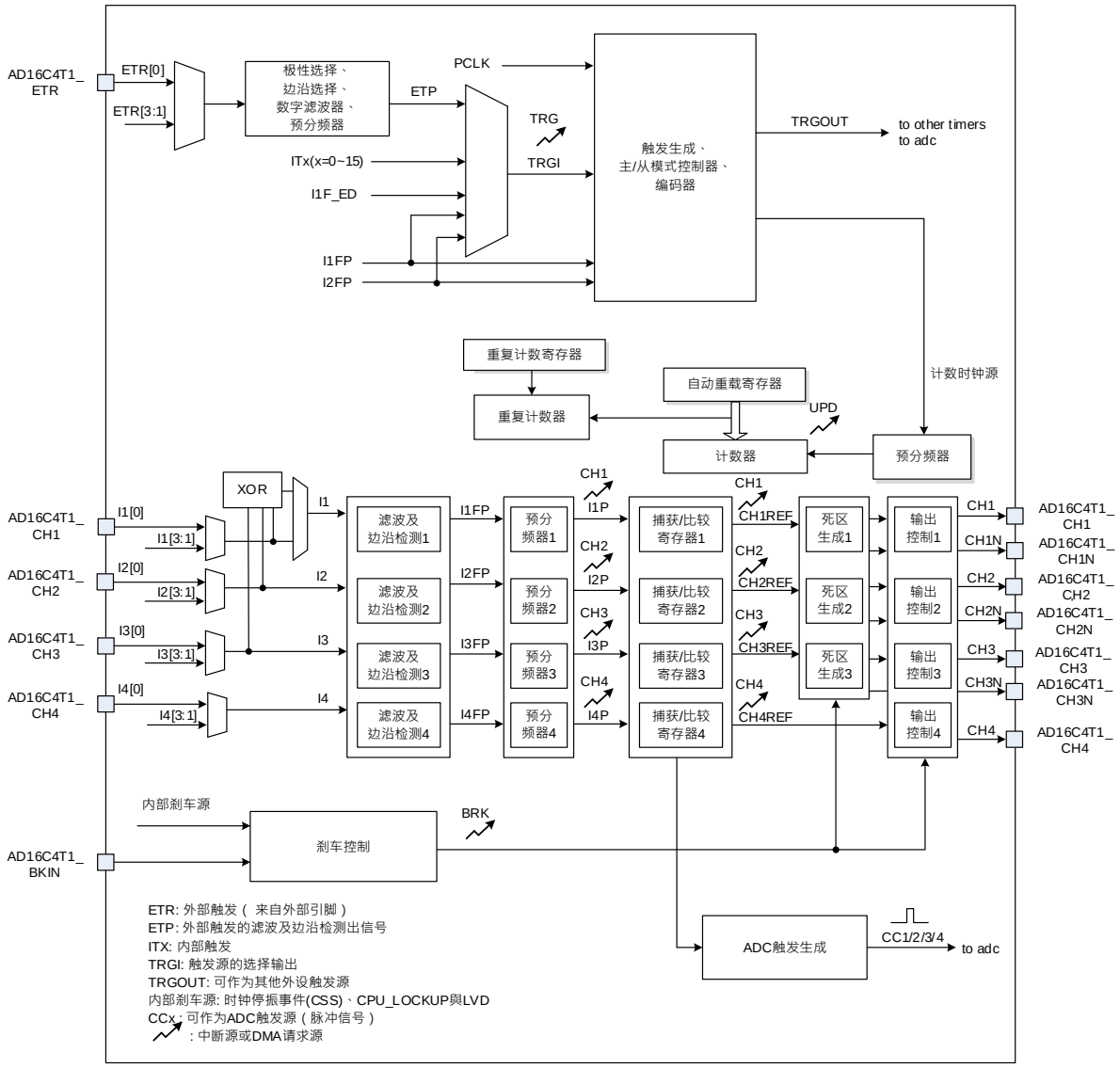


图 18-1 AD16C4T1 定时器结构框图

18. 4 功能描述

18. 4. 1 定时单位

定时器包含一个 16 位的计数器(**AD16C4T1_COUNT**)，计数时钟由预分频寄存器(**AD16C4T1_PRES**)进行分频。计数周期由自动重载计数器(**AD16C4T1_AR**)设定。重复计数寄存器则可指定计数周期数目(**AD16C4T1_REPAR**)。

自动重载寄存器(**AD16C4T1_AR**) 是一个可缓冲的寄存器。设置 **AD16C4T1_CON1** 寄存器的 ARPEN 位为 0 时，关闭 **AD16C4T1_AR** 寄存器缓冲功能，写入 **AD16C4T1_AR** 的重载值会被立即反应到影子寄存器中；而设置 ARPEN 位为 1 时，**AD16C4T1_AR** 寄存器具有缓冲功能，当产生更新事件(UPD)时，**AD16C4T1_AR** 寄存器的重载值才会被更新到影子寄存器中。

设置 **AD16C4T1_CON1** 寄存器的 DISUE 位为 0 时，计数器递增计数达到上溢值或递减达到下溢值时会产生更新事件(UPD)。另外可以通过 **AD16C4T1_SGE** 寄存器的 SGUPD 位为 1 产生软件更新事件。设置 **AD16C4T1_CON1** 寄存器的 CNTEN 为 1 时，计数器开始计数。

注：计数器在设置 CNTEN 位为 1 后，在 1 个 APB 时钟周期后开始计数。

预分频器可对定时器工作时钟进行 **AD16C4T1_PRES** 寄存器数值+1 次分频。由于 **AD16C4T1_PRES** 是一个可缓冲寄存器，因此定时器运行时可以对该寄存器进行修改，修改值在下次更新事件(UPD)后有效。

下图给出了定时器运行过程中改变预分频值时计数器的计数情况。

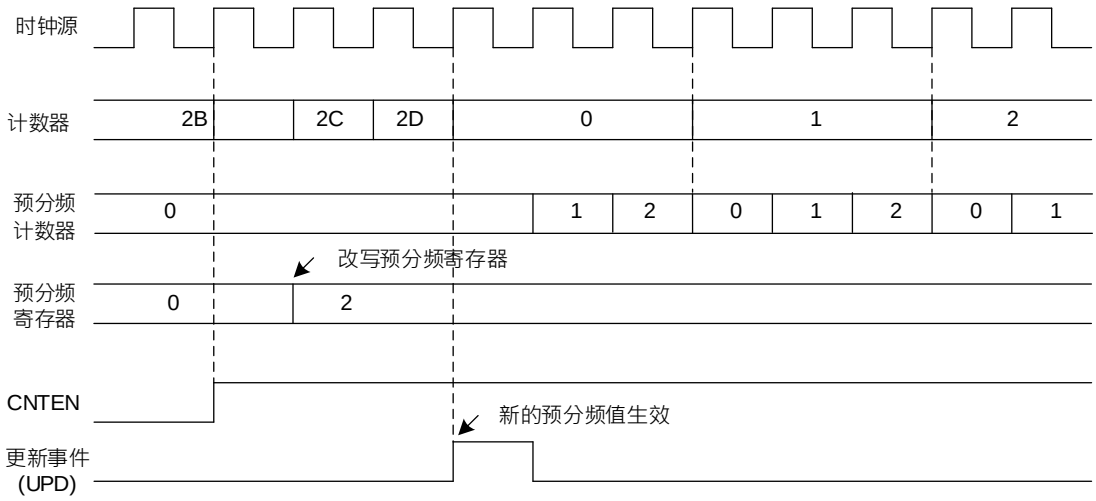


图 18-2 预分频值计数时序图

18. 4. 2 重复计数器

重复计数器用于控制发生多少次上溢或下溢后产生更新事件。

重复计数器在下列情况下递减：

- 递增模式时计数器的每次上溢
- 递减模式时计数器的每次下溢
- 中心对齐模式时，计数器的每次上溢与下溢。中心对齐模式限制了最大重复次数为 128 个 PWM 周期，每个 PWM 周期内可更新两次占空比。

AD16C4T1_REPAR 寄存器是一个可缓冲寄存器。当由软件(设置 **AD16C4T1_SGE** 寄存器的 SGUPD 位为 1)或硬件(从机模式控制方式)产生更新事件时，无论重复计数器为何值，缓存寄存器数值会立即更新到重复计数器的影子寄存器。

中心对齐模式下，当 **AD16C4T1_REPAR** 为奇数时，更新事件是在上溢或下溢时产生，取决于何时写 **AD16C4T1_REPAR** 寄存器及何时开始计数。若在开启计数器前写 **AD16C4T1_REPAR** 寄存器，则上溢时产生 UPD，反之则在下溢时产生 UPD。

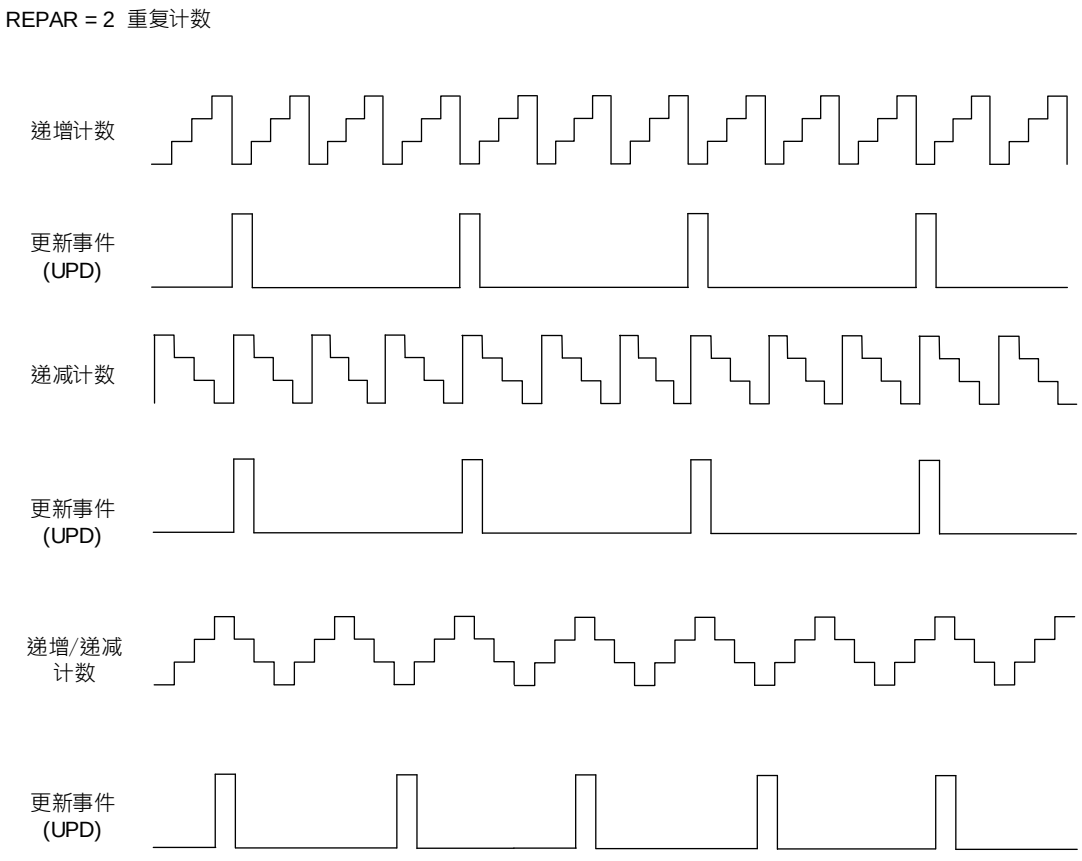


图 18-3 重复计数器工作模式

注意：设置 AD16C4T1_SGE 寄存器的 SGUPD 位为 1，也可以产生更新事件。

18. 4. 3 时钟源

计数器工作时钟可以选择内部时钟(INT_CLK)、外部时钟源 1(I1、I2)、外部时钟源 2(ETR)与内部触发输入(IT0~IT15)。

18. 4. 3. 1 内部时钟源(INT_CLK)

若从模式控制器被关闭(**AD16C4T1_SMCON** 寄存器的 SMODS 位为 000b)，则 **AD16C4T1_CON1** 寄存器的 CNTEN、DIRSEL 位与 **AD16C4T1_SGE** 寄存器的 SGUPD 位为控制位，这些位只能软件修改(SGUPD 位除外，仍由硬件自动清除)。一旦设置 CNTEN 位为 1，预分频器就由内部 INT_CLK 提供时钟。

下图给出了正常模式下没有分频控制电路和递增计数的情况。

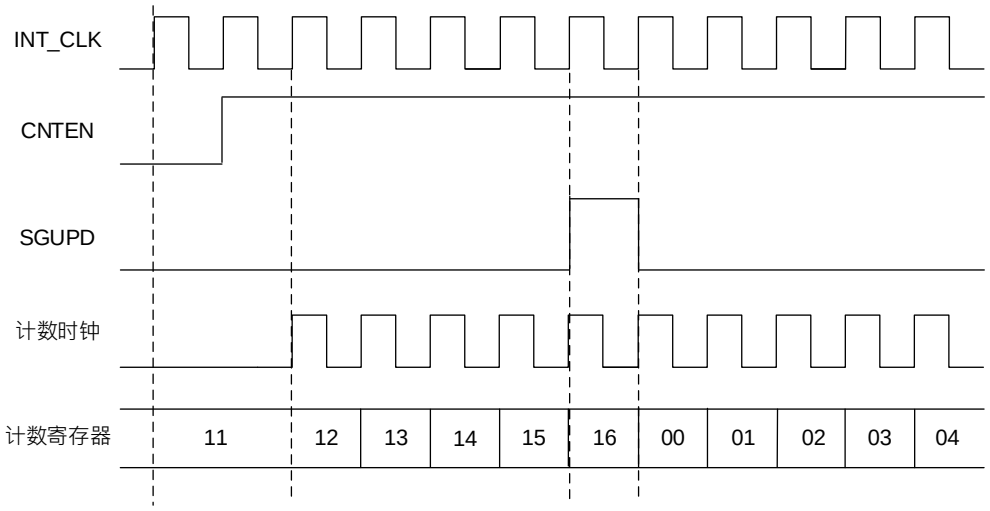


图 18-4 采用内部时钟计数

18. 4. 3. 2 外部时钟源 1

AD16C4T1_SMCON 寄存器的 SMODS 位为 111b 时，可选择外部时钟源 1。计数器可根据选定的上升沿或下降沿计数。

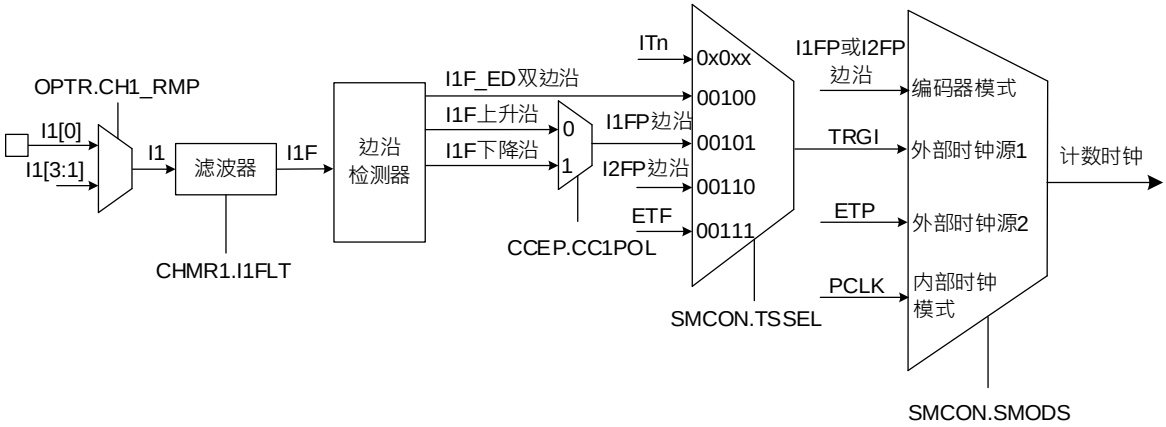


图 18-5 外部时钟连接

配置计数器外部时钟源为 I1 输入，并在 I1 上升沿时计数，步骤如下：

1. 设置 **AD16C4T1_OPTR** 寄存器的 CH1_RMP 位为 00b，选择 I1 由 IO 输入(默认值皆为 IO 输入，后续不再特别描述)。
2. 设置 **AD16C4T1_CHMR1** 寄存器 CC1SSEL 位为 01b，让通道 1 为 I1 输入
3. 设置 **AD16C4T1_CHMR1** 寄存器的 I1FLT 位，输入滤波器时间(若没有滤波器需求，维持 I1FLT 位为 0000)。
4. 设置 **AD16C4T1_CCEP** 寄存器的 CC1NPOL 位为 0、CC1POL 位为 0，选择极性为上升沿。
5. 设置 **AD16C4T1_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00101b，选择外部时钟源为 I1。
6. 设置 **AD16C4T1_SMCON** 寄存器的 SMODS 位为 111b，选择定时器外部时钟模式 1。
7. 设置 **AD16C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

当 I1 上出现一次上升沿时，计数器计数一次且设置 TRGI 标志位为 1。I1 上升沿与实际时钟间的延时，取决于 I1 输入的同步电路。

18. 4. 3. 3 外部时钟源 2

设置 **AD16C4T1_SMCON** 寄存器的 ECM2EN 位为 1 选定外部时钟源 2。

计数器可对外部触发输入 ETR 进行上升沿或下降沿计数。

下图给出了外部触发输入模块的概况。

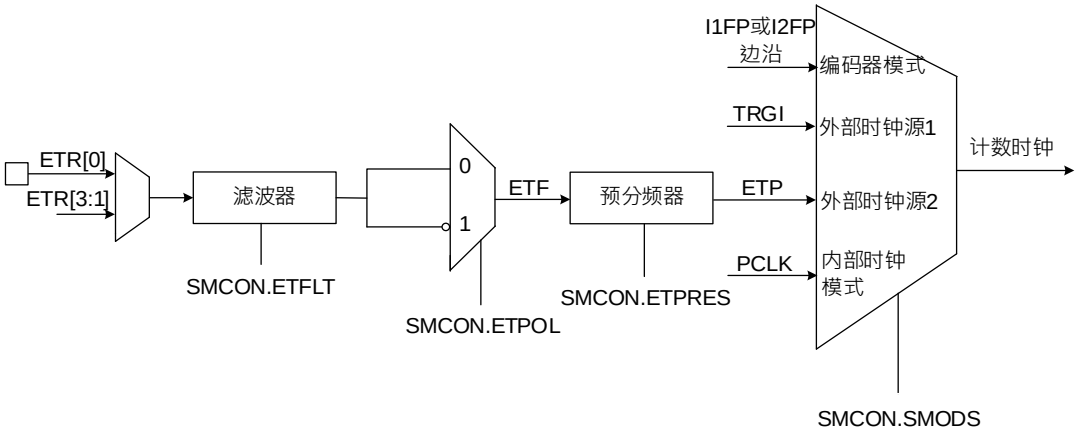


图 18-6 外部触发输入模块

配置计数器为外部时钟源 2，配置过程如下：

1. 设置 **AD16C4T1_SMCON** 寄存器的 ETFLT 位，输入滤波器时间(若没有滤波器需求，维持 ETFLT 位为 0000)。
2. 设置 **AD16C4T1_SMCON** 寄存器的 ETPOL 位，检测 ETR 引脚上升沿或下降沿。
3. 设置 **AD16C4T1_SMCON** 寄存器的 ECM2EN 位为 1，开启外部时钟模式 2。
4. 设置 **AD16C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

计数器在每个 ETR 上升沿计数一次。

18. 4. 3. 4 内部触发输入(ITn)

设置 **AD16C4T1_SMCON** 寄存器的 SMODS 位为 111b，外部时钟模式 1。计数器根据选定的内部输入端(ITn)的上升沿计数。

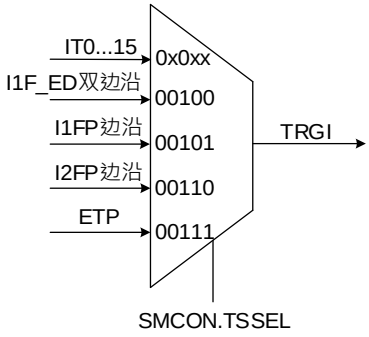


图 18-7 ITn 内部时钟连接

设置计数器外部时钟源为 ITn 输入，并在 ITn 上升沿时计数，步骤如下：

1. 设置 **AD16C4T1_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位，选定 ITn 作为外部时钟源。
2. 设置 **AD16C4T1_SMCON** 寄存器的 SMODS 位为 111b，设置外部时钟模式 1。
3. 设置 **AD16C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

ITn 产生上升沿时，计数器计数一次。

18. 4. 4 计数模式

18. 4. 4. 1 递增计数模式

设置 **AD16C4T1_CON1** 寄存器的 DIRSEL 位为 0 时，定时器设置为递增模式，计数器从 0 开始递增，直至 **AD16C4T1_AR** 寄存器数值；然后从 0 重新开始计数并产生一个更新事件(UPD)。设置 **AD16C4T1_REPAR** 寄存器不为 0 时，则在 **AD16C4T1_REPAR**+1 次计数后产生更新事件。

设置 **AD16C4T1_SGE** 寄存器的 SGUPD 位为 1(通过软件)或使用从模式控制器同样会产生更新事件。

通过软件设置 **AD16C4T1_CON1** 寄存器中的 DISUE 位为 1 可关闭更新事件(UPD)产生。可以避免在写入预装载寄存器数值时产生更新事件(UPD)更新影子寄存器。在设置 DISUE 位为 0 之前都不会产生更新事件(UPD)，计数器和预分频器都会重新从 0 开始计数。

此外，**AD16C4T1_CON1** 寄存器中的 UERSEL 位为 1 时，设置 SGUPD 位为 1 会产生更新事件(UPD)，但不会更新更新标志位(**AD16C4T1_RIF** 寄存器的 UPD 位)，也不会产生中断或 DMA 请求。在这个配置下，发生捕获事件时将计数器清零，将不会同时产生更新中断和捕获中断。

发生更新事件(UPD)时，所有预装载寄存器会更新到影子寄存器：

- 更新 **AD16C4T1_REPAR** 寄存器数值到影子寄存器
- 更新 **AD16C4T1_AR** 寄存器数值到影子寄存器
- 更新 **AD16C4T1_PRES** 寄存器数值到影子寄存器

下图为设置 **AD16C4T1_AR** 寄存器为 16h，预分频设为 2 分频时的计数器时序。

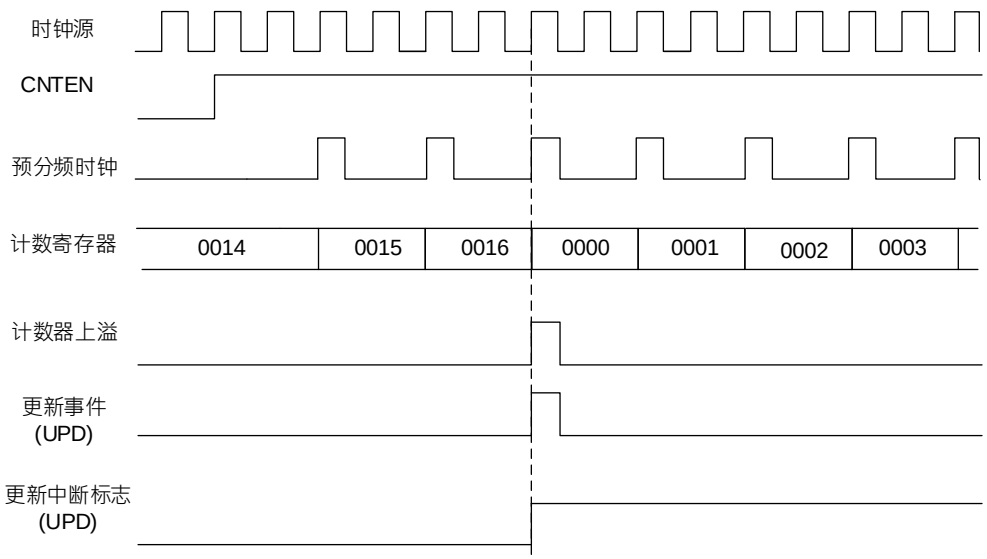


图 18-8 计数器递增计数时序图

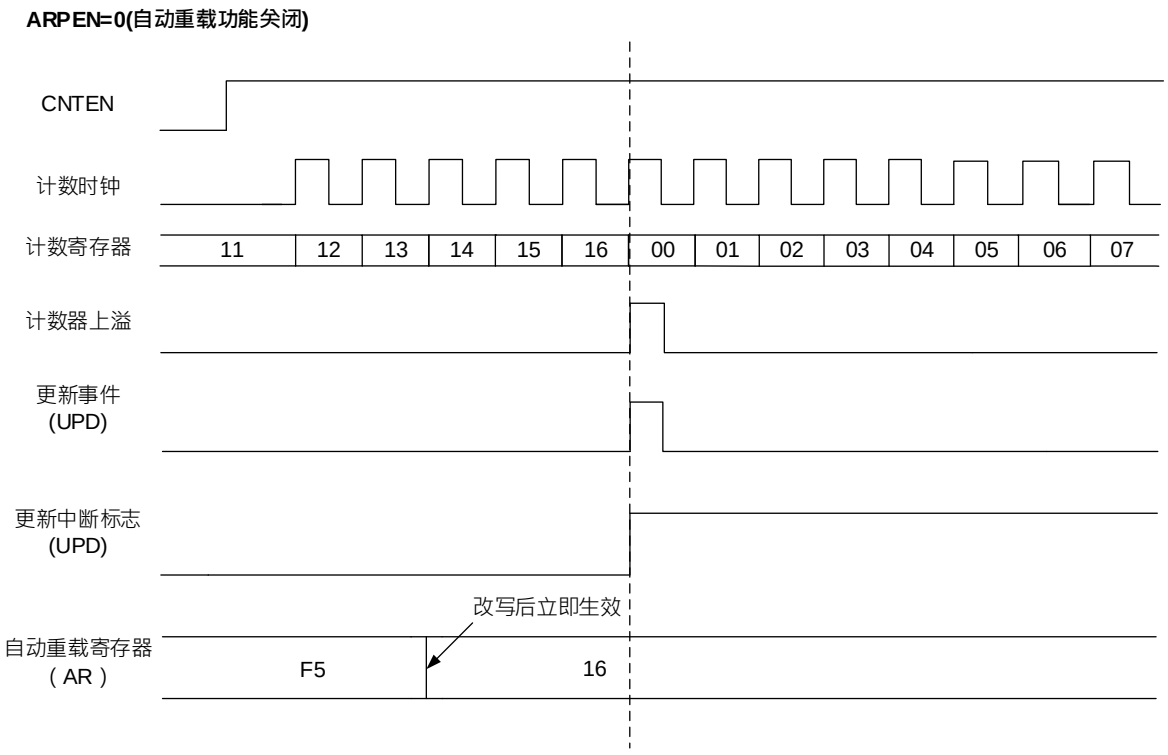


图 18-9 设置 ARPEN 位为 0 时计数器时序图

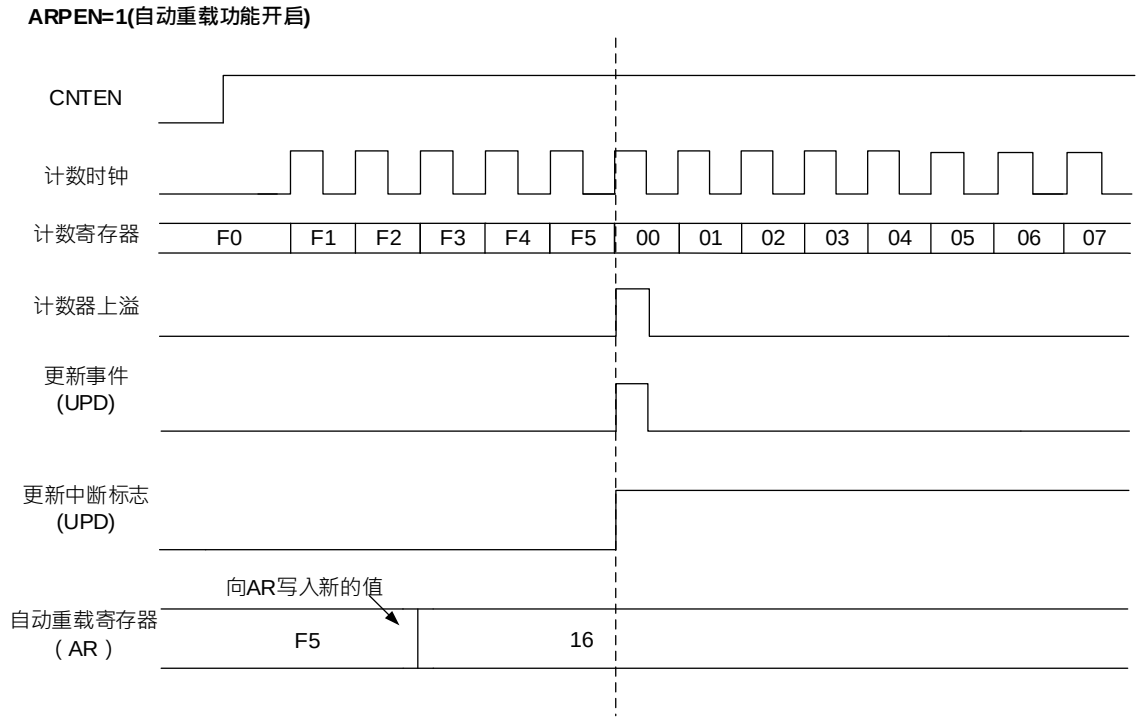


图 18-10 设置 ARPEN 位为 1 时计数器时序图

18. 4. 4. 2 递减计数模式

设置 **AD16C4T1_CON1** 寄存器的 DIRSEL 位为 1 时，定时器设置为递减模式，计数器从 **AD16C4T1_AR** 寄存器数值开始递减至 0；然后从 **AD16C4T1_AR** 寄存器数值重新递减并产生更新事件(UPD)。设置 **AD16C4T1_REPAR** 寄存器不为 0 时，则在 **AD16C4T1_REPAR** +1 次后产生更新事件。

设置 **AD16C4T1_SGE** 寄存器的 SGUPD 位为 1(通过软件)或使用从模式控制器同样会产生更新事件。

通过软件设置 **AD16C4T1_CON1** 寄存器中的 DISUE 位为 1 可关闭更新事件(UPD)产生。可以避免在写入预装载寄存器数值时产生更新事件(UPD)更新影子寄存器。在设置 DISUE 位为 0 之前都不会产生更新事件(UPD)，计数器会重新从当前自动重载值开始计数，而预分频器从 0 开始计数。

此外，**AD16C4T1_CON1** 寄存器中的 UERSEL 位为 1 时，设置 SGUPD 位为 1 会产生更新事件(UPD)，但不会更新更新标志位(**AD16C4T1_RIF** 寄存器的 UPD 位)，也不会产生中断或 DMA 请求。在这个配置下，发生捕获事件时将计数器清零，将不会同时产生更新中断和捕获中断。

发生更新事件(UPD)时，所有预装载寄存器会更新到影子寄存器。

下图为设置 **AD16C4T1_AR** 寄存器为 27h，预分频设为 1 分频时的计数器时序。

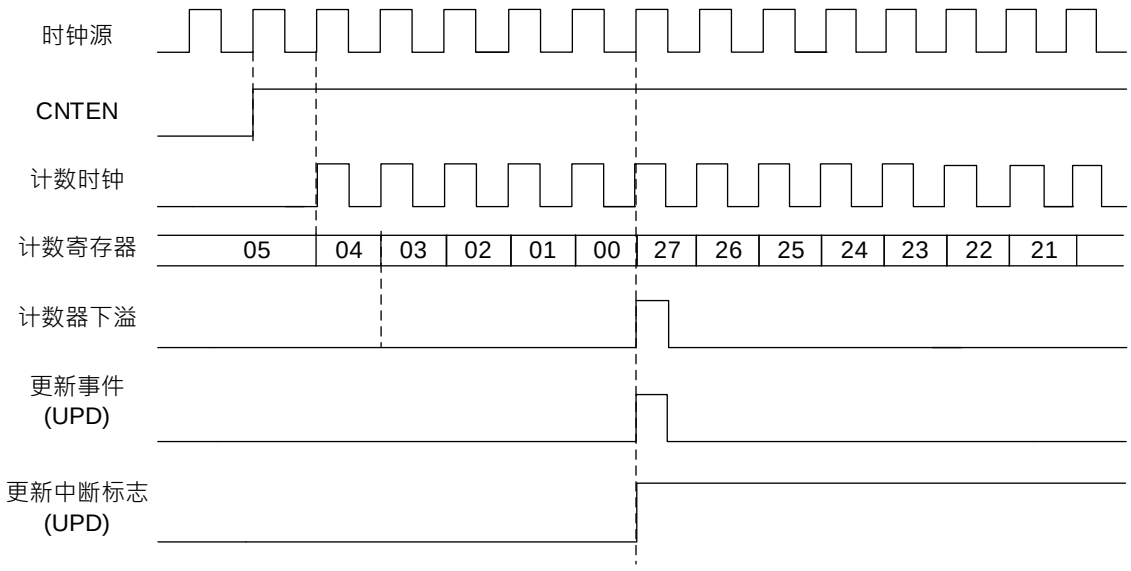


图 18-11 计数器递减计数时序图

18. 4. 4. 3 中心对齐模式

设置 **AD16C4T1_CON1** 寄存器的 CMSEL 位数值不等于 00 时，定时器工作在中心对齐模式。定时器设置为中心对齐模式时，计数器先从 0 开始递增至 **AD16C4T1_AR** 寄存器数值减 1，并产生更新事件(UPD)；接着计数器从 **AD16C4T1_AR** 寄存器数值递减至 1，并产生更新事件，之后从 0 开始重新计数，因此方式循环计数。将信道配置为输出模式时，当计数器递减计数(中心对齐模式 1，设置 CMSEL 位为 01)、计数器递增计数(中心对齐模式 2，设置 CMSEL 位为 10)、计数器递增和递减计数(中心对齐模式 3，设置 CMSEL 位为 11)时，其将设置输出比较中断标志为 1。

在中心对齐模式下，**AD16C4T1_CON1** 寄存器的 DIRSEL 位无法进行写操作，该位由硬件自动更新指示当前计数方向。

计数上溢、下溢或者设置 **AD16C4T1_SGE** 寄存器的 SGUPD 位为 1(通过软件)或使用从模式控制器都会产生更新事件。设置 **AD16C4T1_CON1** 寄存器的 DIRSEL 位为 0 时，计数器由 0 开始递增。设置 **AD16C4T1_CON1** 寄存器的 DIRSEL 位为 1 时计数器由 **AD16C4T1_AR** 寄存器数值开始递减，而预分频器都是从 0 开始计数。

通过软件设置 **AD16C4T1_CON1** 寄存器中的 DISUE 位为 1 可关闭更新事件(UPD)产生。可以避免在写入预装载寄存器数值时产生更新事件(UPD)更新影子寄存器。在设置 DISUE 位为 0 之前都不会产生更新事件(UPD)，在正常产生更新事件时，计数器和预分频器都会重新从 0 开始计数。

此外，设置 **AD16C4T1_CON1** 寄存器中的 UERSEL 位为 1 时，设置 SGUPD 位为 1 会产生更新事件(UPD)，但不会更新更新标志位(**AD16C4T1_RIF** 寄存器的 UPD 位)，也不会产生中断或 DMA 请求。在这个配置下，发生捕获事件时将计数器清零，将不会同时产生更新中断和捕获中断。

发生更新事件(UPD)时，所有预装载寄存器会更新到影子寄存器。

注：若更新源为计数器上溢，自动重载会在计数器重载前更新。因此下一周期即为预载值(计数器载入新值)。

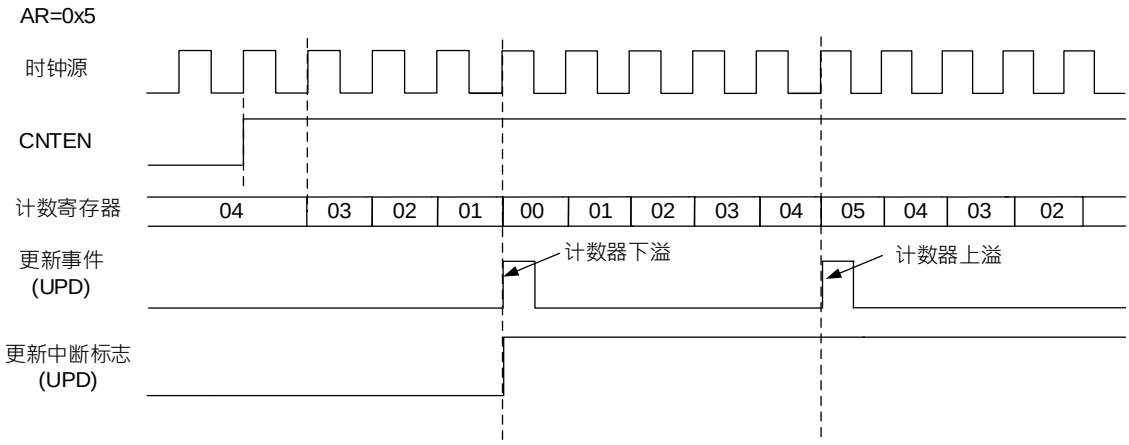


图 18-12 计数器递增减计数时序图

18. 4. 5 捕获或比较通道

输入电路对 In 输入端的信号进行采样，产生一个经过滤波的信号 InF。之后一个可极性选择的边沿检测器产生 In 边沿检测信号，该信号可作为从模式控制器的触发输入或作为捕获控制命令，且该信号经过分频后进入捕获寄存器。

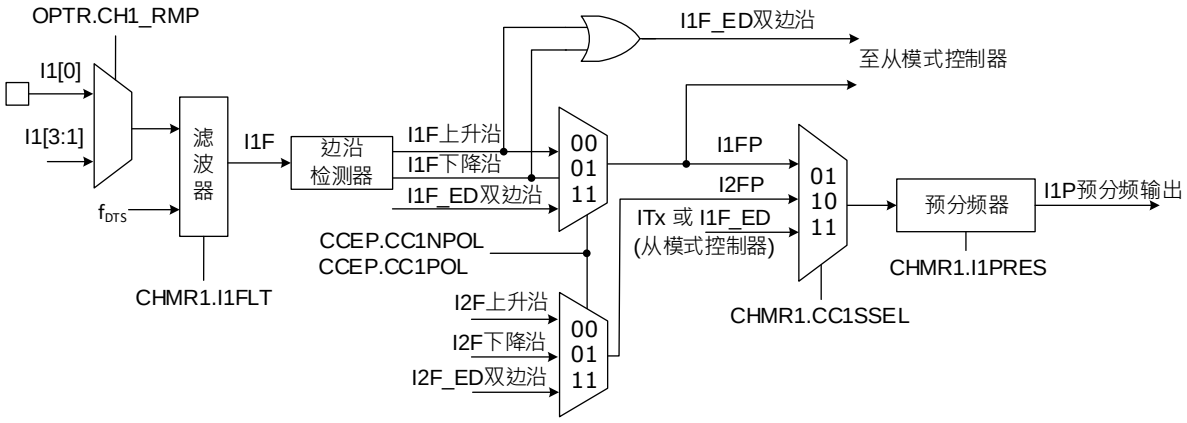


图 18-13 捕获或比较通道

输出部分根据 **AD16C4T1_CHMRn** 寄存器中 CHnMOD 位的配置，产生一个输出比较参考讯号 CHnREF(高电平有效)，该信号最终输出的极性由 **AD16C4T1_CHMRn** 寄存器中 CCnPOL/CCnNPOL 位决定。

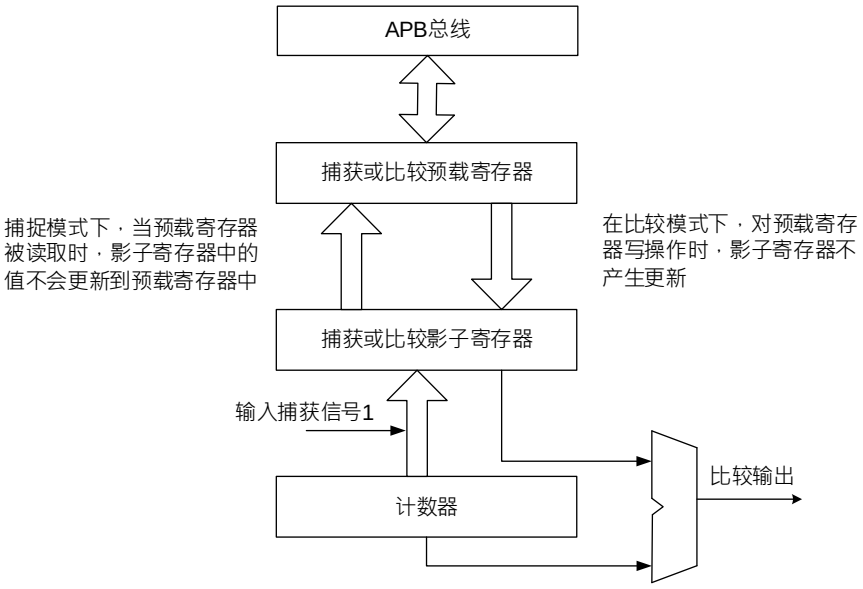


图 18-14 捕获或比较通道结构图

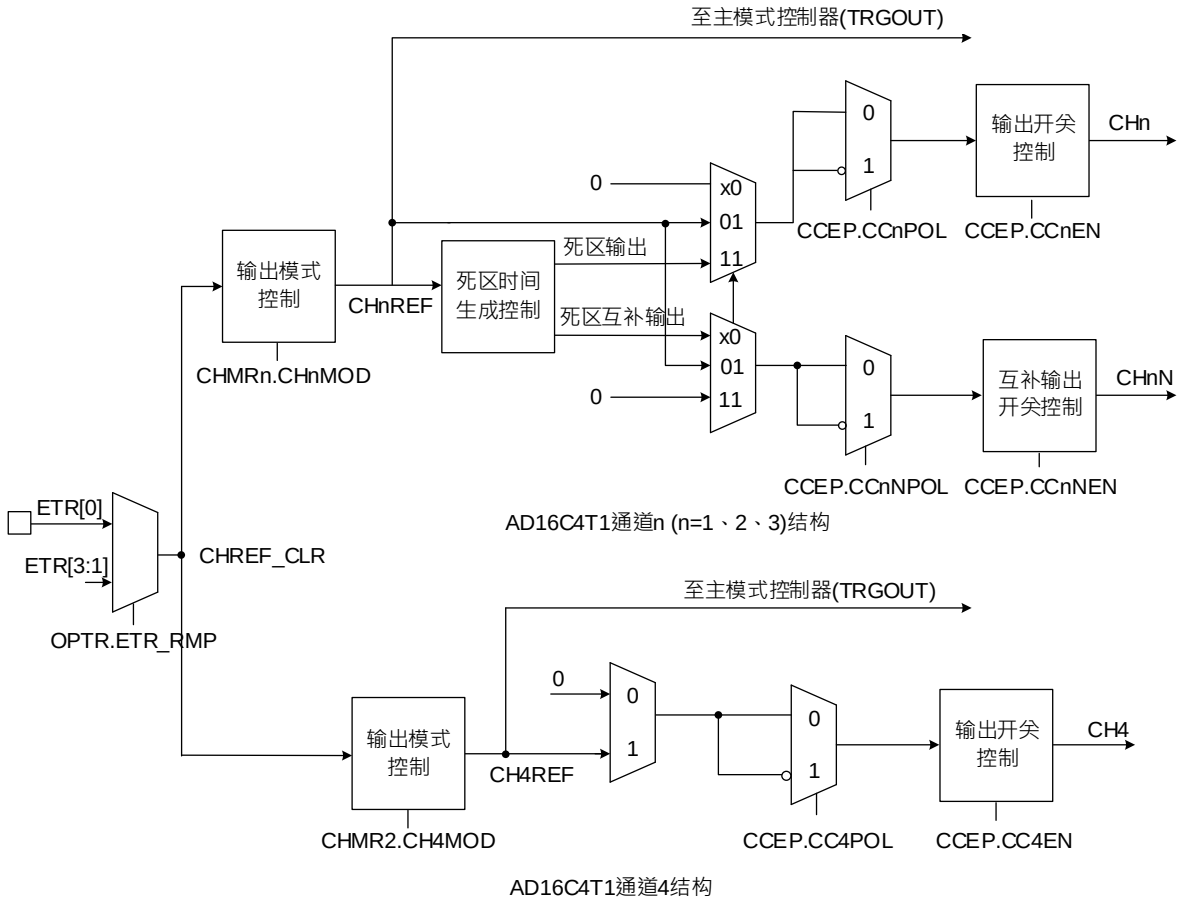


图 18-15 捕获或比较通道的输出部分

18. 4. 6 输入捕获模式

在输入捕获模式下，当 In 上检测到有效边沿变化时，计数器数值就会被锁存到捕获或比较寄存器(**AD16C4T1_CCVALn**)中。当捕获发生时，**AD16C4T1_RIF** 寄存器中相应的 CHn 标志位会被设置为 1，同时触发中断或 DMA 请求(如果有开启)。

当 **AD16C4T1_RIF** 寄存器中相应的 CHn 标志位已经为 1，又发生捕获事件时，**AD16C4T1_RIF** 寄存器中相应的过捕获 CHnOV 标志位也会被设定为 1，表示发生过捕获事件。

通过软件设置 **AD16C4T1_ICR** 寄存器的 CHn 位与 CHnOV 位为 1，清除 **AD16C4T1_RIF** 寄存器中 CHn 与 CHnOV 标志位。

以下为以 I1 输入上升沿作为捕获输入时的流程：

1. 设置 **AD16C4T1_CHMR1** 寄存器的 CC1SSEL 位为 01b，选择 I1 为有效输入端。只要 CC1SSEL 不为 00b，通道就会被设置成输入，且 **AD16C4T1_CCVAL1** 寄存器为只读。
2. 设置 **AD16C4T1_CHMR1** 寄存器的 I1FLT 位为 0011b，选择输入滤波器的持续时间，当 I1 检测到新的电平，连续 8 次采样才确认电平变化有效。
3. 设置 **AD16C4T1_CCEP** 寄存器的 CC1NPOL 位为 0、CC1POL 位为 0，选择 I1 通道上升沿有效。
4. 设置 **AD16C4T1_CHMR1** 寄存器的 I1PRES 位为 00b，关闭捕获预分频器，让每次有效上升沿皆执行捕获操作。
5. 设置 **AD16C4T1_CCEP** 寄存器的 CC1EN 位为 1，开启捕获计数器。
6. 如有需要，设置 **AD16C4T1_IER** 寄存器的 CH1 位为 1，开启中断请求。设置 **AD16C4T1_DMAEN** 寄存器的 CH1 位为 1，开启 DMA 请求。

当发生输入捕获时：

1. 有效边沿产生，**AD16C4T1_CCVAL1** 寄存器获取计数器数值。
2. 硬件自动设置 CH1 标志位为 1(中断标志)。若至少 2 个连续的捕获发生，但标志位没有及时清除，则会设置 CH1OV 位为 1。
3. 中断的产生取决于 **AD16C4T1_IER** 寄存器的 CH1 位。
4. DMA 请求的产生取决于 **AD16C4T1_DMAEN** 寄存器的 CH1 位。

为了处理捕获溢出，建议在读取过捕获标志位前先读取捕获数据。避免丢失在读过捕获标志位到读捕获数据之间的重复捕获讯息。

注：捕获中断请求可由软件设置 AD16C4T1_SGE 寄存器的 SGCHn 位产生。

18. 4. 6. 1 PWM 输入模式

测量 I1 上 PWM 信号的周期和占空比的过程如下：

1. 设置 **AD16C4T1_CHMR1** 寄存器的 CC1SSEL 位为 01b，通道 1 选择 I1 为有效输入端。
2. 设置 **AD16C4T1_CHMR1** 寄存器的 I1FLT 位为 0011b，选择输入滤波器的持续时间，当 I1 检测到新的电平，连续 8 次采样才确认电平变化有效。
3. 设置 **AD16C4T1_CCEP** 寄存器的 CC1NPOL 位为 0、CC1POL 位为 0，通道 1 选择 I1 上升沿有效，用于捕获数据到 **AD16C4T1_CCVAL1** 寄存器和计数器清零。
4. 设置 **AD16C4T1_CHMR1** 寄存器的 CC2SSEL 位为 10b，通道 2 选择 I1 为有效输入端。
5. 设置 **AD16C4T1_CCEP** 寄存器的 CC2NPOL 位为 0、CC2POL 位为 1，通道 2 选择 I1 下降沿有效，用于捕获数据到 **AD16C4T1_CCVAL2** 寄存器。
6. 设置 **AD16C4T1_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00101b，选择 I1 滤波后信号为有效的触发输入。
7. 设置 **AD16C4T1_SMCON** 寄存器的 SMODS 位为 100b，选择从模式控制器为复位模式。
8. 设置 **AD16C4T1_CCEP** 寄存器的 CC1EN 位和 CC2EN 位为 1，开启捕获。

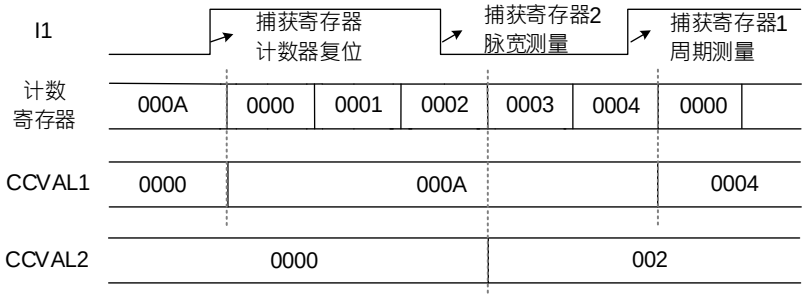


图 18-16 PWM 输入模式时序

- **AD16C4T1_CCVAL1** 寄存器内的值为 PWM 周期(两次上升沿之间的时间)，此范例中 PWM 周期为 5 个计数单位。
- **AD16C4T1_CCVAL2** 寄存器内的值为 PWM 脉冲宽度(上升沿到下降沿之间的时间)，此范例中 PWM 脉冲宽度为 3 个计数单位，可推算其占空比为 60%。

注:计数单位取决于时钟频率以及预分频设定值 = (AD16C4T1_PRES + 1) * (AD16C4T1_CCVALn + 1) / f_{INT_CLK}

18. 4. 7 PWM 输出模式

脉宽调制模式可以产生一个由 **AD16C4T1_AR** 寄存器设置输出频率，由 **AD16C4T1_CCVALn** 寄存器设置占空比的信号。

可通过设置 **AD16C4T1_CHMRn** 寄存器的 CHnPEN 位为 1 来开启相应的预装载寄存器，及设置 **AD16C4T1_CON1** 寄存器的 ARPEN 位为 1 来开启自动重载功能。

开启预装载、自动重载功能后，只有当更新事件发生时，才会将预装载寄存器写入到影子寄存器中，因此在开启计数前，必须通过设置 **AD16C4T1_SGE** 寄存器的 SGUPD 位为 1 来初始化所有的寄存器。

CHn 的极性可通过 **AD16C4T1_CCEP** 寄存器的 CCnPOL 位设置，有效电平可设置为高电平或低电平。CHn 的输出由 **AD16C4T1_CCEP** 寄存器的 CCnEN 位控制。

在 PWM 模式(1 或 2)中，**AD16C4T1_COUNT** 会持续与 **AD16C4T1_CCVALn** 寄存器数值比较，以确定 **AD16C4T1_CCVALn < = AD16C4T1_COUNT** 或 **AD16C4T1_CCVALn >= AD16C4T1_COUNT**(取决于计数器的计数方向)。

定时器产生 PWM 波形是边沿对齐或中心对齐，取决于 **AD16C4T1_CON1** 寄存器的 CMSEL 位。

18. 4. 7. 1 PWM 边沿对齐模式

◆ 递增计数设置

设置 **AD16C4T1_CON1** 寄存器的 DIRSEL 位为 0 时，计数器递增计数。

下图以 CH1 输出 PWM 模式 1 为例，相关配置流程如下:

1. 设置 **AD16C4T1_CHMR1** 寄存器的 CH1MOD 位为 110b，选择 PWM 模式 1。
2. 设置 **AD16C4T1_CCEP** 寄存器的 CC1POL 位为 0，选择 CH1 通道输出为高电平有效。
3. 设置 **AD16C4T1_CCVAL1** 寄存器的 CCRV1 位为 04h，当计数器数到 4 时，PWM 输出低电平。
4. 设置 **AD16C4T1_AR** 寄存器的 ARV 位为 08h，当计数器上数到 8 后重载。
5. 设置 **AD16C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

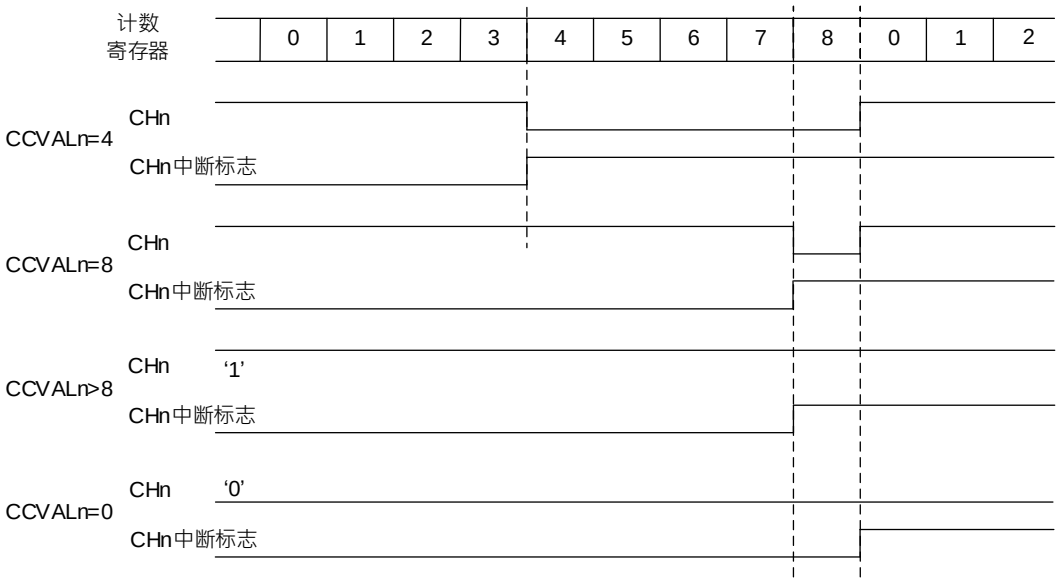


图 18-17 边沿对齐递增计数 PWM 波形(AR=8)

◆ **AD16C4T1_COUNT < AD16C4T1_CCVAL1** 时，CH1 为高电平。

◆ **AD16C4T1_COUNT >= AD16C4T1_CCVAL1** 时，CH1 为低电平。

其中比较特别的是，若设定 **AD16C4T1_CCVAL1 > AD16C4T1_AR** 时，CH1 会永远输出高电平；若 **AD16C4T1_COUNT** = 0 时，CH1 会永远输出低电平。

◆ 递减计数设置

设置 **AD16C4T1_CON1** 寄存器的 DIRSEL 位为 1 时，计数器递减计数。

下图以 CH1 输出 PWM 模式 1 为例，相关配置流程如下:

1. 设置 **AD16C4T1_CON1** 寄存器的 DIRSEL 位为 1，计数器递减计数。
2. 设置 **AD16C4T1_AR** 寄存器的 ARV 位为 08h，当计数器下数到 0 后重载。
3. 设置 **AD16C4T1_SGE** 寄存器的 SGUPD 位为 1,，软件触发更新事件，将 ARV 重载到 **AD16C4T1_COUNT** 寄存器中。
4. 设置 **AD16C4T1_CHMR1** 寄存器的 CH1MOD 位为 110b，选择 PWM 模式 1。
5. 设置 **AD16C4T1_CCEP** 寄存器的 CC1POL 位为 0，选择 CH1 通道输出为高电平有效。
6. 设置 **AD16C4T1_CCVAL1** 寄存器的 CCRV1 位为 04h，当计数器数到 4 时，PWM 输出高电平。
7. 设置 **AD16C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

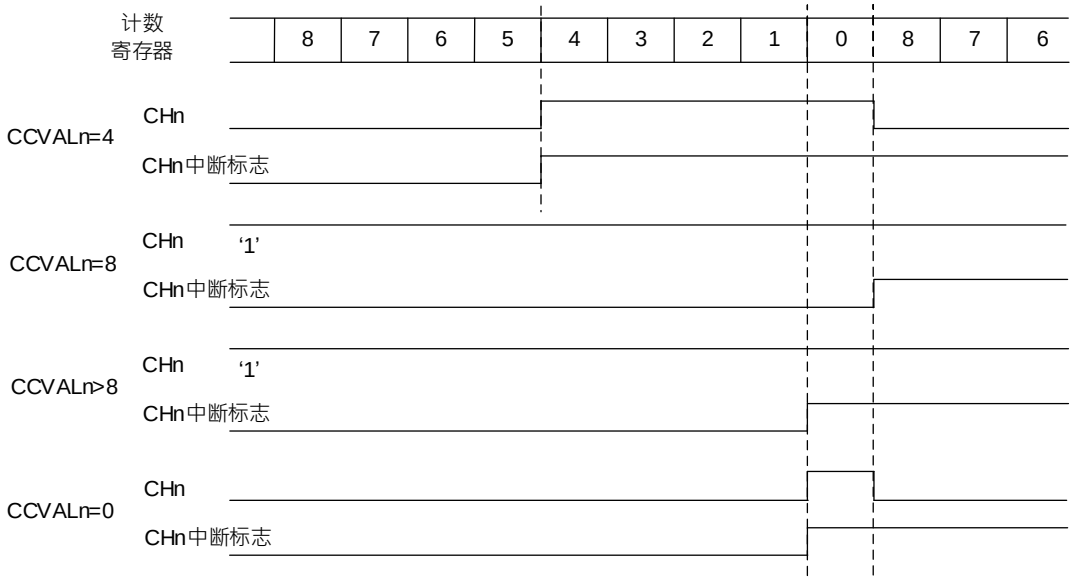


图 18-18 边沿对齐递减计数 PWM 波形(AR=8)

◆ **AD16C4T1_COUNT** ≤ **AD16C4T1_CCVAL1** 时，CH1 为高电平。

◆ **AD16C4T1_COUNT** > **AD16C4T1_CCVAL1** 时，CH1 为低电平。

其中比较特别的是，若设定 **AD16C4T1_CCVAL1** >= **AD16C4T1_AR** 时，CH1 会永远输出高电平。此模式下不可能产生 0%的 PWM 波形。

18. 4. 7. 2 PWM 中心对齐模式

设置 **AD16C4T1_CON1** 寄存器的 CMSEL 位不为 00 时，中心对齐模式有效。根据 CMSEL 位的设置，计数器可以在递增、递减计数分别设置 **AD16C4T1_RIF** 寄存器的比较标志位为 1 或是在递增递减设置比较标志位为 1。**AD16C4T1_CON1** 寄存器的 DIRSEL 位控制计数方向由硬件更新，软件无法修改。

下图为中心对齐模式 2 下，CH1 输出 PWM 模式为例，相关配置流程如下：

1. 设置 **AD16C4T1_CON1** 寄存器的 CMSEL 位为 10b，选择中心对齐模式 2，计数器只有在递增计数时才会设置 **AD16C4T1_RIF** 寄存器的比较匹配标志位为 1。
2. 设置 **AD16C4T1_AR** 寄存器的 ARV 位为 3Fh，当计数器下数到 0 后重载。
3. 设置 **AD16C4T1_SGE** 寄存器的 SGUPD 位为 1，，软件触发更新事件，将 ARV 重载到 **AD16C4T1_COUNT** 寄存器中。
4. 设置 **AD16C4T1_CHMR1** 寄存器的 CH1MOD 位为 110b，选择 PWM 模式 1。
5. 设置 **AD16C4T1_CCEP** 寄存器的 CC1POL 位为 0，选择 CH1 通道输出为高电平有效。
6. 设置 **AD16C4T1_CCVAL1** 寄存器的 CCRV1 位为 3Dh
7. 设置 **AD16C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

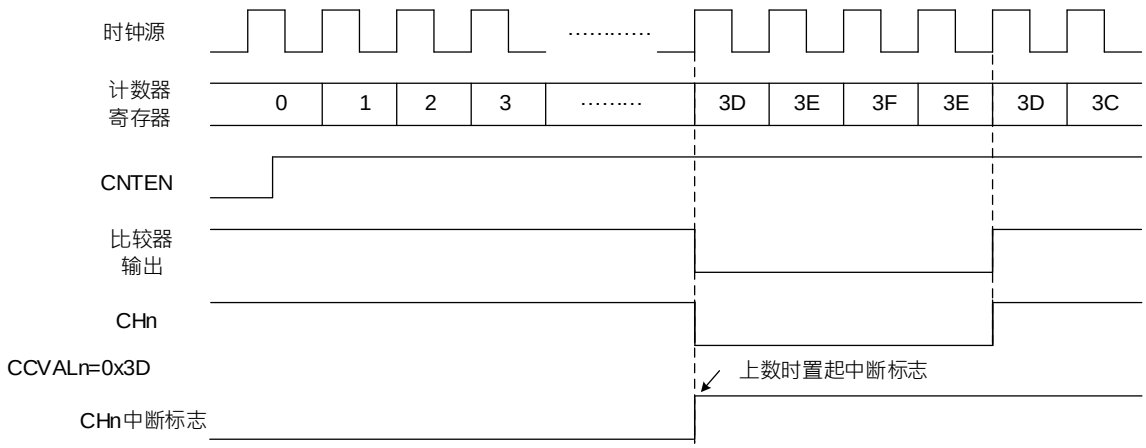


图 18-19 中心对齐 PWM 波形(AR 位为 3Fh，CCRV 位为 3Dh)

当计数器递增计数到 3Dh 时，PWM 输出低电平，同时设置 AD16C4T1_RIF 寄存器的比较匹配标志位；递减计数到 3Dh 时，PWM 输出回到高电平。

中心对齐模式的使用技巧：

- 当进入中心对齐模式后，当前递增或递减设置生效。**AD16C4T1_COUNT** 递增或递减计数取决于 **AD16C4T1_CON1** 寄存器的 DIRSEL 位数值。此外，软件不得对 DIRSEL 和 CMSEL 位同时进行修改。
- 计数器在中心对齐模式下运行时，不建议对 **AD16C4T1_COUNT** 执行写入操作。假设在递增计数的情况下，向计数器写入数值大于自动重载值(**AD16C4T1_COUNT** > **AD16C4T1_AR**)，计数方向不会更新，会持续计数下去。

- 使用中心对齐模式最安全的方式是计数器开始计数前通过软件产生更新事件(设置 **AD16C4T1_SGE** 寄存器的 SGUPD 位为 1)且在计数器运行过程中不对 **AD16C4T1_COUNT** 寄存器写值。

18. 4. 8 输出比较模式

该功能用于控制输出波形或指示周期时间的结束。

当捕获或比较寄存器和 **AD16C4T1_COUNT** 寄存器数值匹配时，输出比较功能：

- 设置 **AD16C4T1_CHMRn** 寄存器的 CHnMOD 位选择输出模式，输出极性由 **AD16C4T1_CCEP** 寄存器的 CCnPOL 位控制：
  - ◇ 设置 CHnMOD 位为 000b:当计数器匹配比较器时输出保持其电平。
  - ◇ 设置 CHnMOD 位为 001b:当计数器匹配比较器时输出有效电平(假设 CCnPOL=0，有效电平为高电平)。
  - ◇ 设置 CHnMOD 位为 010b:当计数器匹配比较器时输出无效电平(假设 CCnPOL=0，无效电平为低电平)。
  - ◇ 设置 CHnMOD 位为 011b:当计数器匹配比较器时翻转电平。
- 设置中断状态寄存器的标志位为 1(**AD16C4T1_RIF** 寄存器的 CHn 位)。
- 若设置相应的中断开启位为 1(**AD16C4T1_IER** 寄存器的 CHn 位)，则产生中断。
- 若设置相应的开启位为 1(**AD16C4T1_DMAEN** 寄存器的 CHn 位，**AD16C4T1_CON2** 寄存器的 CCDMASEL 位用于 DMA 请求的选择)，则发送 DMA 请求。

设置 **AD16C4T1_CHMRn** 寄存器的 CHnPEN 位数值可决定 **AD16C4T1_CCVALn** 寄存器是否带有预装载寄存器。

在输出比较模式中，更新事件 UPD 对 CHn 的输出没有影响。输出比较模式同样可以用来输出单个脉冲(单脉冲模式)。

输出比较的配置过程：

1. 选定计数器时钟(内部、外部、预分频)。
2. 设置 **AD16C4T1_AR** 与 **AD16C4T1_CCVALn** 寄存器并写入所需资料。
3. 若需要产生中断请求，设置 **AD16C4T1_IER** 寄存器的 CHn 位为 1。
4. 选择输出模式，例如：
   - 设置 CHnMOD 位为 011b，当 CNTV 与 CCRVn 匹配时，CHn 输出翻转。
   - 设置 CHnPEN 位为 0，关闭预装载寄存器。
   - 设置 CCnPOL 位为 0，选择有效电平为高电平。
   - 设置 CCnEN 位为 1，开启输出。
5. 设置 **AD16C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

假设预装载寄存器开启(CHnPEN 位为 1)，设置 **AD16C4T1_CCVALn** 寄存器数值在下次更新事件发生时更新至影子寄存器。预装载寄存器未开启(CHnPEN 位为 0)，通过设置 **AD16C4T1_CCVALn** 寄存器数值可随时更新控制输出波形。

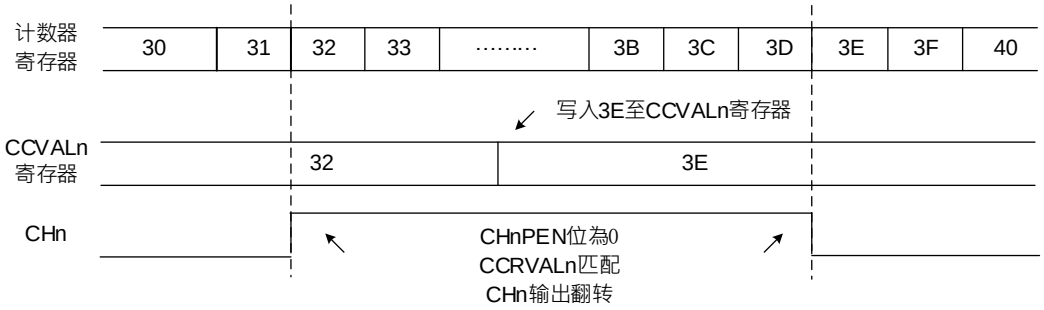


图 18-20 输出比较模式，触发 CHn

18.4.8.1 外部事件清除比较输出

设置相对应的 **AD16C4T1_CHMRn** 寄存器的 CHnOCLREN 位为 1，在选定的 ETR 输入端为高准位时，可将相对应的输出信号暂时清除为 0，直到下一次更新事件(UPD)产生。该功能只能在输出比较模式和 PWM 模式下使用，在强制模式下不起作用。

选择 ETR 时，ETR 配置如下：

1. 设置 **AD16C4T1_SMCON** 寄存器中的 ETPRES 位为 00b，关闭外部触发预分频器。
2. 设置 **AD16C4T1_SMCON** 寄存器的 ECM2EN 位为 0，关闭外部时钟源 2。
3. 外部触发极性(ETPOL)和外部触发滤波器(ETFLT)可根据使用者需要设置

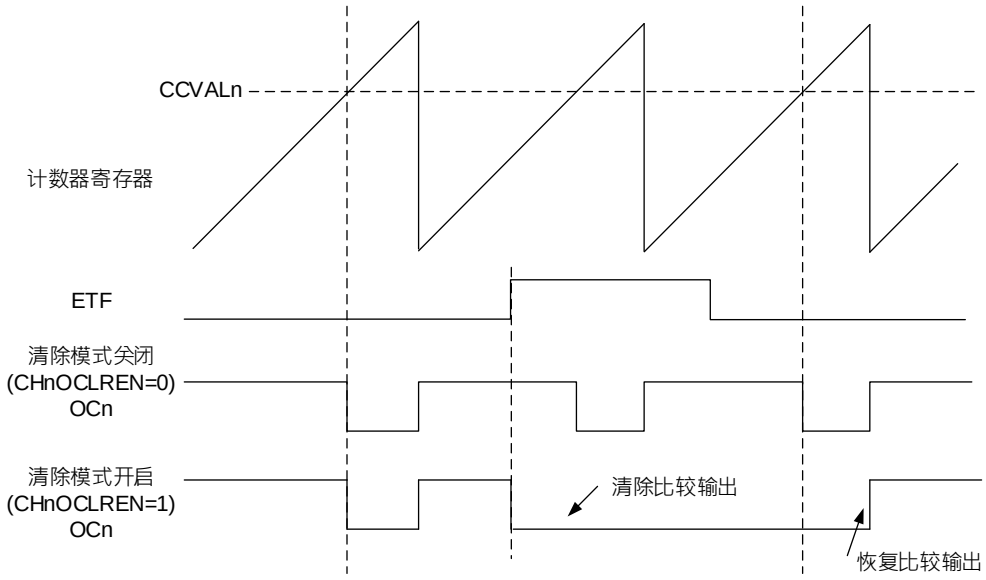


图 18-21 清除比较输出 CHn

18. 4. 8. 2 强制输出模式

设置 **AD16C4T1_CHMRn** 寄存器的 CCnSSEL 位为 00b 开启输出模式，在此模式下通过软件设置可以将输出比较信号强制设置为高电平或低电平，输出信号并不会参考 AD16C4T1_CCVALn 寄存器和<<AD16C4T1_COUNT>>寄存器之间的比较结果。

设置 **AD16C4T1_CHMRn** 寄存器的 CHnMOD 位为 101b，输出比较参考讯号(CHnREF)为强制高电平，输出比较信号(CHn/CHnN)强制为有效电平(极性由<<AD16C4T1_CCEP>>寄存器对应的 CCnPOL 位或 CCnNPOL 位决定)。反之，若设置 CHnMOD 位为 100b 则强制设置低电平。

例如：设置 CCnPOL 位为 0(CHn 高电平有效)，则 CHn 被强制为高电平。

在此模式下，**AD16C4T1_CCVALn** 寄存器和 **AD16C4T1_COUNT** 寄存器之间的比较仍然进行，仍可设置相应的标志位为 1。

18. 4. 9 单脉冲模式

单脉冲模式(SPMEN)是一个特殊模式。在此模式下，计数器可以通过外部触发下启动，并可以产生一个脉宽可配置的波形。

通过从模式控制器开启计数器。在输出比较模式或 PWM 模式下生成波形。设置 **AD16C4T1_CON1** 寄存器的 SPMEN 位为 1 选择单脉冲模式，在下一次发生更新事件后，计数器将自动停止计数。

只有当 **AD16C4T1_CCVALn** 寄存器和 **AD16C4T1_COUNT** 寄存器数值不同时，才能正确的产生一个脉冲。计数器开始计数前(定时器等待触发)，必须如下设置:

- 递增计数：CNTV < CCVALn ≤ AR(注意：0 < CCVALn)
- 递减计数：CNTV > CCVALn

基于 PWM 模式设置单脉冲输出波形的步骤如下：

1. 设置 **AD16C4T1_CHMRn** 寄存器的 CHnMOD 位，选择 PWM 模式 1 或 2。
2. 设置 **AD16C4T1_CCEP** 寄存器的 CCnPOL 位，选择通道 CHn 的输出极性。
3. 设置 **AD16C4T1_CON1** 寄存器的 DIRSEL，选择计数器为递增或递减计数。
4. 设置 **AD16C4T1_CON1** 寄存器的 SPMEN 位为 1，开启单脉冲模式。
5. 设置 **AD16C4T1_CHMR1** 寄存器的 CH1PEN 位为 1，**AD16C4T1_CON1** 寄存器的 ARPEN 位为 1，开启比较寄存器和计数重载寄存器的缓冲功能(也可以根据实际情况关闭缓冲)。
6. 设置 **AD16C4T1_CCVALn** 寄存器和 **AD16C4T1_AR** 寄存器，设置单脉冲输出延时和脉宽时间。
7. 设置 **AD16C4T1_SGE** 寄存器的 SGUPD 位为 1 来产生一个更新事件。
8. 设置 **AD16C4T1_CON1** 寄存器的 CNTEN 位为 1 来开启计数器，也可以在触发模式下，通过外部触发输入信号来触发硬件自动设置 CNTEN 位为 1。

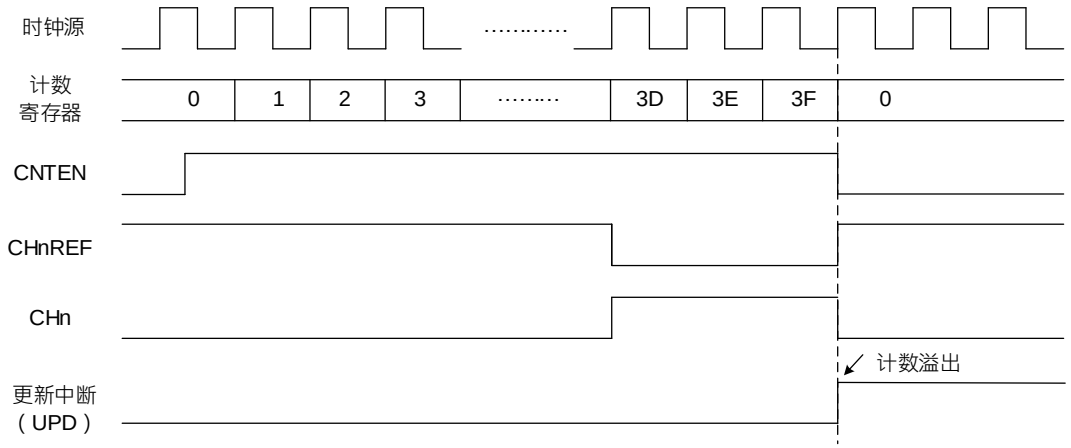


图 18-22 单脉冲模式

CHn 快速开启模式

在单脉冲模式下，In 输入的有效边沿会开启计数器(自动设置 CNTEN 位为 1)，在比较计数器数值后输出信号。然而在这个过程中需要数个时钟周期，将会延长 In 输入边沿与输出信号的延迟。

如果要使用最小延迟输出信号，可以设置 **AD16C4T1_CHMR1** 寄存器的 CHnFEN 位为 1 开启快速开启模式。当侦测到 In 输入的有效边沿时，不再考虑比较值，强制让输出讯号等效于匹配成功后的电平。此配置只在 PWM1 或 PWM2 模式时才能使用。

18. 4. 10 互补输出与死区时间

两个互补的通道输出信号，可以用来控制输出的瞬时开关。这个瞬时的延迟即为死区时间。

每个输出可独立选择输出极性(主输出 CHn 或互补输出 CHnN)，该操作可通过写 **AD16C4T1_CCEP** 寄存器的 CCnPOL 和 CCnNPOL 位完成。

互补信号 CHn 和 CHnN 由几个控制位共同控制，分别是 **AD16C4T1_CCEP** 寄存器的 CCnEN 和 CCnNEN 位，**AD16C4T1_BDCFG** 和 **AD16C4T1_CON2** 寄存器的 GOEN、OISSn、OISSnN、OFFSSI 及 OFFSSR 位。特别是切换为空闲状态(GOEN 变为 0)后，死区时间依然有效。

设置 CCnEN 和 CCnNEN 位为 1，开启死区时间插入，若有刹车电路，同样需要设置 GOEN 位为 1。**AD16C4T1_BDCFG** 寄存器的 DT[7:0]可以控制所有通道的死区时间的产生。根据比较输出波形，产生 CHn 和 CHnN 两路输出。若 CHn 和 CHnN 有效电平为高：

- CHn 的输出信号与参考讯号(CHnREF)一致。相较于参考信号的上升沿，CHn 上升沿输出会有延迟。
- CHnN 的输出信号与参考信号相反。相较于参考信号的下降沿，CHnN 上升沿输出会有延迟。

若延迟时间大于有效输出的宽度(CHn 或 CHnN)，则相应的脉冲不会产生。

下图给出了死区时间输出信号和比较输出波形之间的关系(假设 CCnPOL 位为 0，CCnNP 位为 0，GOEN 位为 1，CCnEN 位为 1，和 CCnNEN 位为 1)。

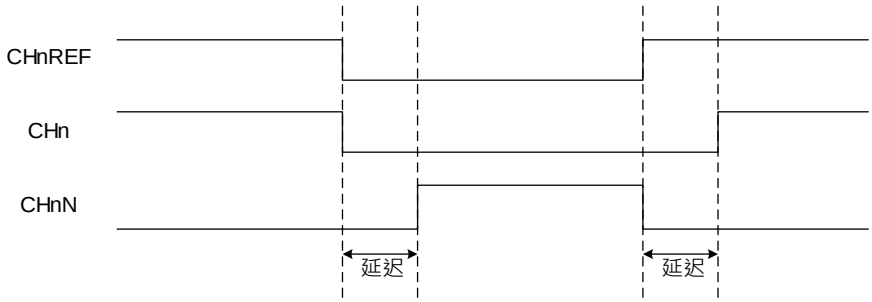


图 18-23 互补输出含死区时间插入

任何情况下，CHn 与 CHnN 的输出信号都不能同时为有效电平。

18. 4. 11 刹车功能

刹车功能模式由以下几个位控制输出开启信号和无效电平:

- **AD16C4T1_BDCFG** 寄存器的 GOEN、OFFSSI 和 OFFSSR 位。
- **AD16C4T1_CON2** 寄存器的 OISSn 和 OISSnN 位。

刹车源可以是刹车输入引脚(BKIN)、时钟停振事件、CPU_LOCKUP 与 LVD 以及软件控制 **AD16C4T1_SGE** 寄存器的 SGBRK 位。时钟停振事件由时钟控制器(RCU)中的时钟安全系统(CSS)产生。时钟安全系统(CSS)详细信息可参考时钟安全系统章节。

系统复位后，刹车电路被关闭且 GOEN 位被复位。设置 **AD16C4T1_BDCFG** 寄存器的 BRKEN 位为 1 可开启刹车功能，同样寄存器的，BRKP 位可选择刹车输入信号的极性。

由于 GOEN 的下降沿是异步信号，在 BKIN 输入和 **AD16C4T1_BDCFG** 寄存器之间插入了一个同步电路。这也导致了异步和同步信号之间会产生一些延迟。

当发生刹车请求时(刹车输入端有所选择的煞车请求):

1. GOEN 位被清除。
2. CHn/CHnN 输出端根据 AD16C4T1_BDCFG 寄存器中 OFFSSI 位，处于禁止输出、无效状态或空闲状态。
   OFFSSI = 0 : CHn/CHnN 禁止输出，关闭输出开启信号，此时输出不由计数器控制。
   OFFSSI = 1 : CHn/CHnN 输出空闲电平，由 AD16C4T1_CON2 寄存器的 OISSn 位与 OISSnN 位决定。当使用互补输出且定时器时钟仍然存在时，CHn 与 CHnN 会在死区时间后输出相应的电平。在这种情况下，CHn 与 CHnN 的输出信号一样不能同时为有效电平。
3. 设置刹车状态标志位(AD16C4T1_RIF 寄存器的 BRK 位)为 1 时，若设置 AD16C4T1_IER 寄存器的 BRK 位为 1，则产生中断。
4. 若设置 AD16C4T1_BDCFG 寄存器的 AOEN 位为 1，在下次更新事件(UPD)发生时，会

自动设置 GOEN 位为 1。否则，GOEN 位会保持为 0，直到对其写为 1 操作，该特性可用于安全方面的应用，可以将刹车输入端接到一个电源驱动的报警端、热敏传感器或其他安全器件上。

注：当刹车输入有效电平时，不能设置 GOEN 位为 1(自动地或者通过软件)。同时状态标志 BRK 不能被清除。

除刹车输入和输出管理，为保证应用程序的安全，内部刹车电路具有写保护功能。使用者可冻结几个设置参数(死区时间，CHn/CHnN 极性和关闭时状态，CHnMOD 设置，刹车开启和极性)。通过 **AD16C4T1_BDCFG** 寄存器的 LOCKLVL 位，可从三个保护等级中选择一种保护等级。MCU 复位后，只能对 LOCKLVL 位写入一次。

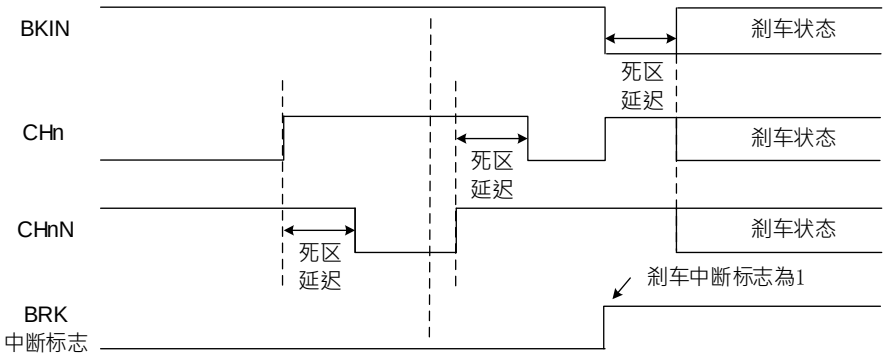


图 18-24 刹车输出行为

18. 4. 12 生成 6 步 PWM

当信道使用互补功能时，设置 CHnMOD、CCnEN、CCnNEN 位为 1 提供预装载位，由设置 **AD16C4T1_CON2** 寄存器的 CCUSEL 为 1 位开启预装载功能，当发生 COM 事件时将预装载寄存器的数值载入至影子寄存器。因此用户可以预先将配置写入寄存器，通过预装载寄存器可以在发生 COM 事件同时更改全部的信道配置。COM 事件可以通过设置 **AD16C4T1_SGE** 寄存器的 SGCOM 位为 1 产生，也可以通过 TRGI 的上升沿产生。

当发生 COM 事件时，硬件自动设置 **AD16C4T1_RIF** 寄存器的 COM 位为 1。如果设置 **AD16C4T1_IER** 寄存器的 COM 位为 1，则产生中断，设置 **AD16C4T1_DMAEN** 寄存器的 COM 位为 1 则产生 DMA 请求。

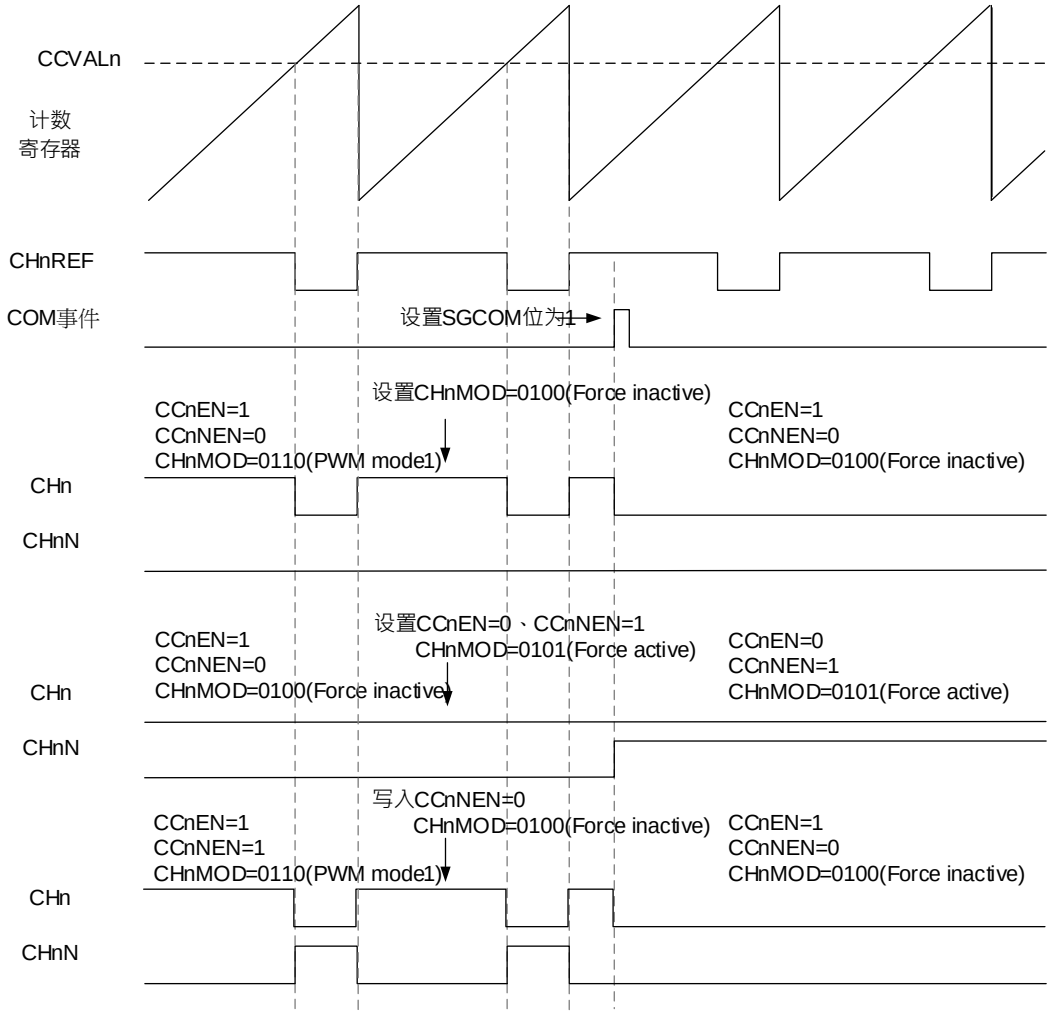


图 18-25 COM 事件生成 6 步 PWM

18. 4. 13 编码器接口模式

编码器接口模式的三种设置：若设置 **AD16C4T1_SMCON** 寄存器的 SMODS 位为 001b，则计数器只根据 I2 上的边沿计数；若设置 **AD16C4T1_SMCON** 寄存器的 SMODS 位为 010b，则计数器只根据 I1 上的边沿计数；若设置 **AD16C4T1_SMCON** 寄存器的 SMODS 位为 011b，则计数器同时根据 I1 和 I2 上的边沿计数。

设置 **AD16C4T1_CCEP** 寄存器的 CC1POL 和 CC2POL 位数值可选择 I1 和 I2 的极性。如果需要，也可以设置输入滤波器。

CH1 和 CH2 端口作为增量编码器的接口。当计数器开启时(设置 **AD16C4T1_CON1** 寄存器的 CNTEN 位为 1)，计数器时钟是由 I1 或 I2 上滤波后的有效电平转换提供。I1 和 I2 滤波后的有效信号转换序列会产生计数脉冲及方向信号。计数器是递增或递减计数由信号的转换序列决定，**AD16C4T1_CON1** 寄存器的 DIRSEL 位数目方向位由硬件自动更新。

编码器接口模式的工作方式类似于一个带有方向选择的外部时钟。计数器在 0 到 **AD16C4T1_AR** 寄存器的自动重载值之间连续计数。因此必须在开始计数前设置 **AD16C4T1_AR** 寄存器。在此模式下捕获器、预分频器、重复计数器、触发输出的功能皆可正常工作。设定编码模式和选择外部时钟源 2 不兼容，不可以同时选择。

该模式下，计数器会根据增量式编码器的速度和方向自动修改，计数器数值反映的是编码器的位置。计数方向对应着连接传感器的旋转方向。

下表列出了所有的可能组合，假设 I1 和 I2 不同时变换。

有效边沿	有效边沿相对信号的电平 (I1 滤波信号对应 I2,I2 滤波信号对应 I1)	I1 滤波信号		I2 滤波信号	
		上升	下降	上升	下降
仅在 I1 计数	高	递减	递增	不计数	不计数
	低	递增	递减	不计数	不计数
仅在 I2 计数	高	不计数	不计数	递增	递减
	低	不计数	不计数	递减	递增
在 I1 和 I2 上计数	高	递减	递增	递增	递减
	低	递增	递减	递减	递增

表 18-1 计数方向与编码器信号的关系

外部增量编码器可直接与 MCU 连接，无需外部接口逻辑。而比较器通常用于将编码器的差分输出转换为数字信号，这样大幅提高抗噪声能力。编码器的第三个输出端用于指示机械零点，可以连接到外部中断输入引脚以触发一次计数复位。

下图给出了计数信号产生和方向控制的例子。同样给出了选择双边沿时，输入抖动如何被补偿。输入抖动可能发生在传感器靠近切换点处。

配置如下:

1. 设置 **AD16C4T1_CHMR1** 寄存器的 CC1SSEL 位为 01b，选择通道为 I1 输入。
2. 设置 **AD16C4T1_CHMR1** 寄存器的 CC2SSEL 位为 01b，选择通道为 I2 输入。
3. 设置 **AD16C4T1_CCEP** 寄存器的 CC1POL 位为 0、CC1NPOL 为 0，选择非反相输入。
4. 设置 **AD16C4T1_CCEP** 寄存器的 CC2POL 位为 0、CC2NPOL 为 0，选择非反相输入。
5. 设置 **AD16C4T1_SMCON** 寄存器的 SMODS 位为 011b，选择计数器同时根据 I1 和 I2 上的边沿计数。
6. 设置 **AD16C4T1_CON1** 寄存器 CNTEN 位为 1 开启计数器。

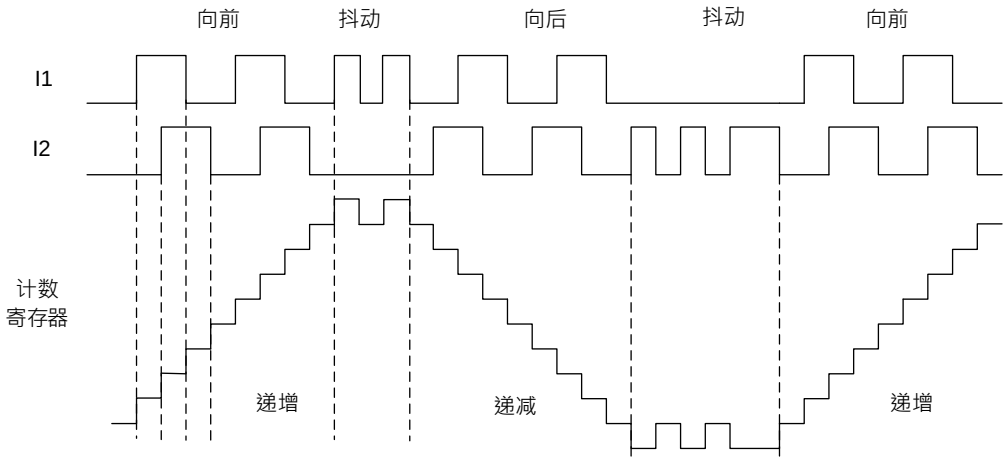


图 18-26 编码器接口模式下的计数操作

下图给出了计数器在 I1 滤波信号极性反相时的计数过程(除了设置 CC1POL 位为 1，其他设置与上面一致)

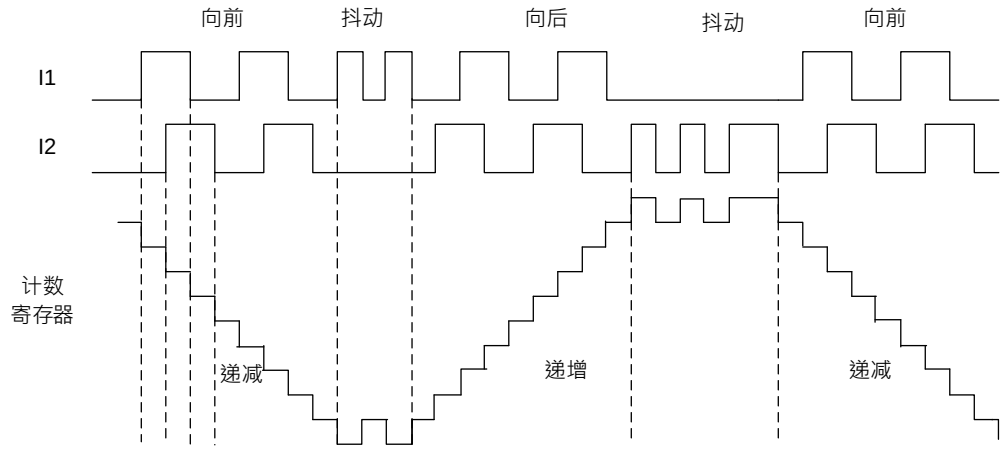


图 18-27 滤波后极性反相时编码器接口例子

当设置为编码器接口模式时，定时器可提供传感器的当前位置信息。设置另一个定时器为捕获模式，用于测量两个编码器事件的间隔，根据间隔时长获取动态信息(速度、加速度、减速度)。

编码器用于指示机械零点的输出就是此用处。根据编码器两个事件间隔，可以周期性的读取计数器数值。应用上可以将计数器值锁存到第三个输入捕获寄存器(捕获信号必须是周期性的且可由另一个定时器产生)。另外可通过 DMA 请求存取计数器(**AD16C4T1_COUNT**)数值。

18. 4. 14 输入 XOR 功能

通过 **AD16C4T1_CON2** 寄存器的 I1SEL 位，可将通道 1 的输入滤波器连接到 XOR 门的输出端，XOR 门输入端包含 CH1、CH2 和 CH3 三个输入引脚。

XOR 输出用于定时器的所有输入功能，如触发或输入捕获。该功能参见下节的霍尔传感器接口。

18. 4. 15 霍尔传感器接口

使用 AD16C4T1 定时器产生 PWM 信号驱动马达，用另一个 GP16C4Tn 定时器作为"接口定时器"来连接霍尔传感器，请参见下图。3 个定时器输入脚(CH1、CH2 和 CH3)通过一个 XOR 门连接到 I1 输入通道(通过设置 GP16C4Tn_CON2 寄存器的 I1SEL 位来选择)，并由"接口定时器"捕获这个信号。

从模式控制器被设置为复位模式，从输入是 I1F 双边沿。这样每当 3 个输入之一变化时，计数器从 0 重新开始计数。由此产生一个由霍尔输入端的任何变化而触发的时间基准。

在"接口定时器"模式下，捕获或比较通道 1 被设置为捕获模式，捕获信号为 I1(捕获或比较通道)。捕获值反映了输入端两次变化之间的时间间隔，指示出了马达转速的信息。

"接口定时器"可以用来在输出模式产生一个脉冲，这个脉冲可以(通过触发一个 COM 事件) 用于改变 AD16C4T1 定时器各个通道的属性，AD16C4T1 定时器产生 PWM 信号驱动马达。因此必须对接口定时器通道进行编程，以便在配置的延迟过后产生正脉冲(在输出比较或 PWM 模式中)，这个脉冲通过 TRGOUT 输出被送到 AD16C4T1 定时器。

举例：霍尔输入连接到定时器，每当霍尔输入发生更改，需要在所配置的延迟 过后更改 AD16C4T1 定时器的 PWM 设置。

- 设置 **GP16C4Tn_CON2** 寄存器的 I1SEL 位为 1，设置三个定时器输入经过 XOR 运算后进入 I1 输入通道。
- 时基配置：设置 **GP16C4Tn_AR** 为其最大值(计数器必须通过 I1 的变化清零)。设置预分频器得到一个最大的计数器周期，它长于传感器上的两次变化的时间间隔。
- 设置信道 1 为捕获模式(选中 I1)：设置 **GP16C4Tn_CHMR1** 寄存器的 CC1SSEL 位为 01，如果需要，还可以设置数字滤波器。
- 设置信道 2 为 PWM 模式 2，带指定的延时：设置 **GP16C4Tn_CHMR1** 寄存器的 CH2OMOD 位为 111 和 CC2SEL 位为 00。
- 选择 CH2REF 作为 TRGOUT 上的触发输出：设置 **GP16C4Tn_CON2** 寄存器的 MMSEL 位为 101。

在 AD16C4T1 定时器中，需要选择 ITn 为触发器输入 TRGI，定时器被配置为产生 PWM 信号，捕获或比较控制信号为预装载(设置 AD16C4T1_CON2 寄存器的 CCPCNTEN 位为 1)，并且

COM 事件由触发输入控制(设置 AD16C4T1_CON2 寄存器的 CCUSEL 位为 1)。发生 COM 事件后，在 PWM 控制位(CCnEN、CHnOCLREN)中写入下一步的配置，此操作可在由 CH2REF 上升沿产生的中断子程序中完成。

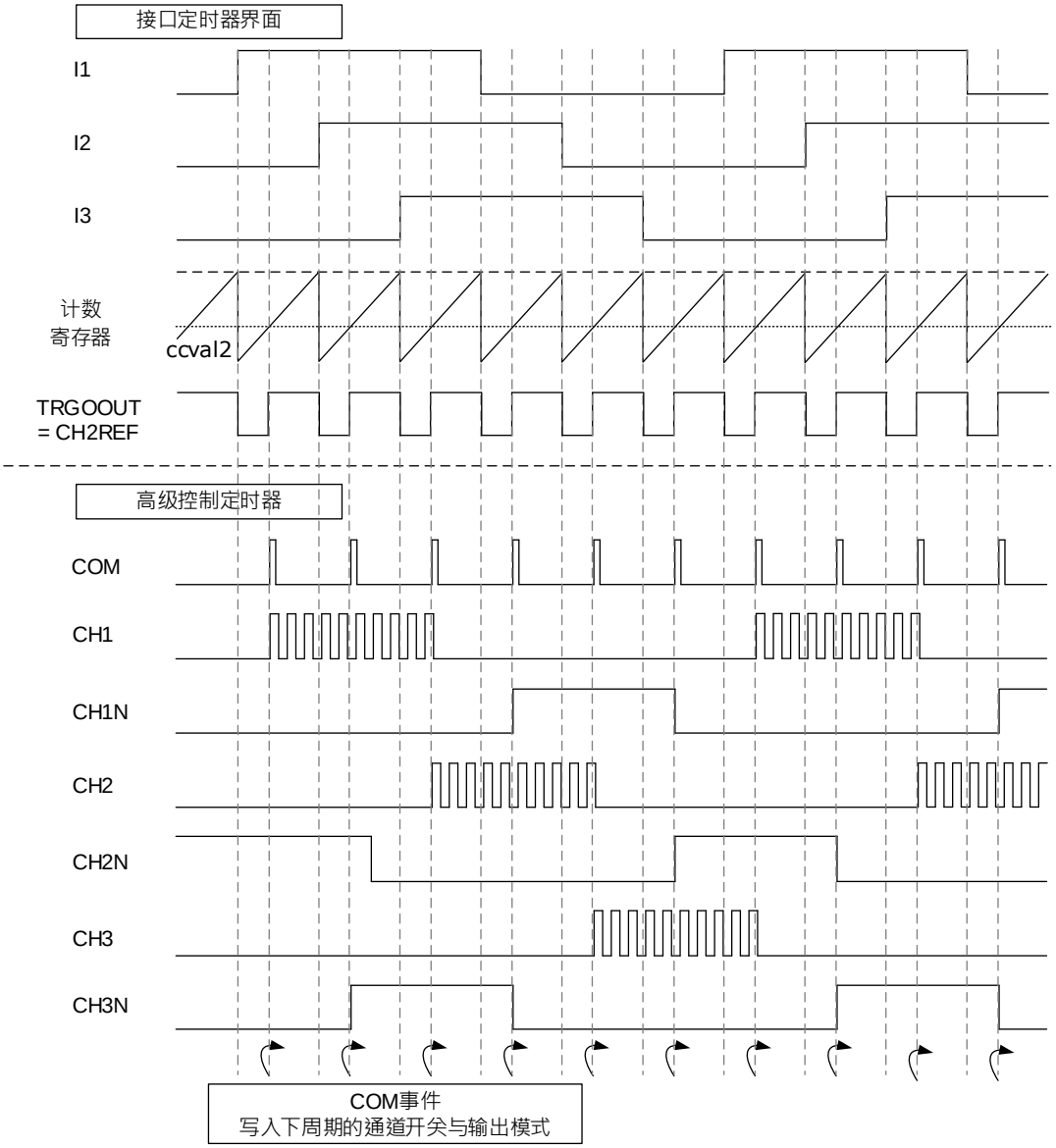


图 18-28 霍尔传感器接口范例

18. 4. 16 外部触发的同步

AD16C4T1 定时器可在多种模式下与外部触发同步：复位模式、门控模式及触发模式。

18. 4. 16. 1 复位模式

计数器及其预分频器可以在回应触发输入事件时重新初始化。此外，若 **AD16C4T1_CON1** 寄存器的 UERSEL 位为 0 时会产生一次更新事件 UPD。所有预装载寄存器(**AD16C4T1_AR**，**AD16C4T1_CCVALn**)都会因更新事件 UPD 而被更新。

在下面例子中，I1 输入端的上升沿让递增计数被清零，配置过程如下：

1. 设置 **AD16C4T1_CHMR1** 寄存器的 CC1SSEL 位为 01b，选择 I1 为有效输入端。
2. 设置 **AD16C4T1_CHMR1** 寄存器的 I1FLT 位为 0000b，本例无需滤波器。
3. 设置 **AD16C4T1_CCEP** 寄存器的 CC1NPOL 位为 0、CC1POL 位为 0，选择 I1 通道上升沿有效。
4. 设置 **AD16C4T1_CHMR1** 寄存器的 I1PRES 位为 00b，捕获预分频器不用于触发操作，无需设置。
5. 设置 **AD16C4T1_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00101b，选择 I1 滤波后信号作为输入源。
6. 设置 **AD16C4T1_SMCON** 寄存器的 SMODS 位为 100b，选择复位模式。
7. 设置 **AD16C4T1_CON1** 寄存器的 CNTEN 位为，开启计数器。

计数器依据内部时钟开始计数，计数器计数直到 I1 上出现上升沿。当 I1 上出现上升沿时，计数器会被清零且从 0 重新开始计数。同时设置标志位为 1 (**AD16C4T1_RIF** 寄存器的 TRGI 位)，如果中断及 DMA 开启(取决于 **AD16C4T1_IER** 寄存器的 TRGI 位和 **AD16C4T1_DMAEN** 寄存器的 TRGI 位)，会发送中断及 DMA 请求。

下图给出了设置自动重载寄存器 **AD16C4T1_AR** 为 0x36 时的信号变化。由于 I1 输入的同步电路，I1 上的上升沿和计数器实际初始化之间会存在延时。

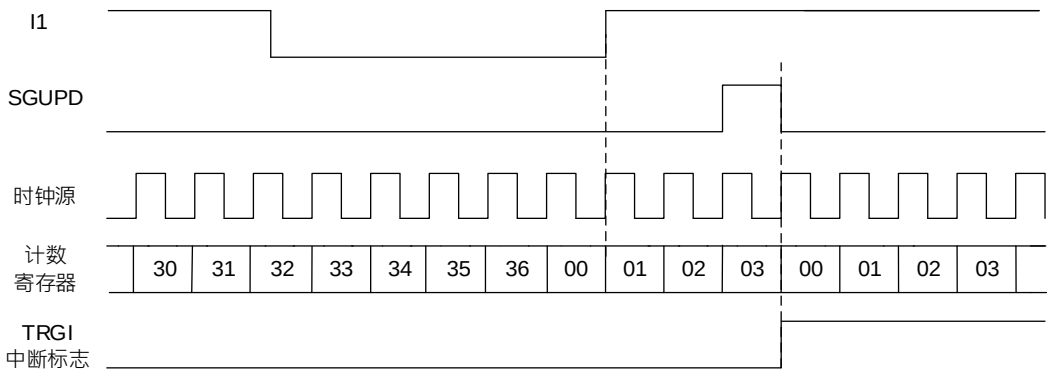


图 18-29 复位模式控制电路

18. 4. 16. 2 门控模式

计数器根据选中的输入电平被开启。

下面的例子中，计数器只在 I1 输入为低电平时才递增计数：

1. 设置 **AD16C4T1_CHMR1** 寄存器的 CC1SSEL 位为 01b，选择 I1 为有效输入端。
2. 设置 **AD16C4T1_CHMR1** 寄存器的 I1FLT 位为 0000b，本例无需滤波器。
3. 设置 **AD16C4T1_CCEP** 寄存器的 CC1NPOL 位为 0、CC1POL 位为 1，I1 通道反相，有效极性为低电平。
4. 设置 **AD16C4T1_CHMR1** 寄存器的 I1PRES 位为 00b，捕获预分频器不用于触发操作，无需设置。
5. 设置 **AD16C4T1_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00101b，选择 I1 滤波后信号作为输入源。
6. 设置 **AD16C4T1_SMCON** 寄存器的 SMODS 位为 101b，选择门控模式。
7. 设置 **AD16C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器(在门控模式中，如果 CNTEN 位为 0，无论触发输入为何电平，计数器都不会开启)。

只要 I1 为低电平，计数器依据内部时钟开始计数，一旦 I1 为高电平则停止计数。由于 I1 输入端的同步电路的原因，I1 上出现上升沿和计数器实际停止之间会有一定的延时。

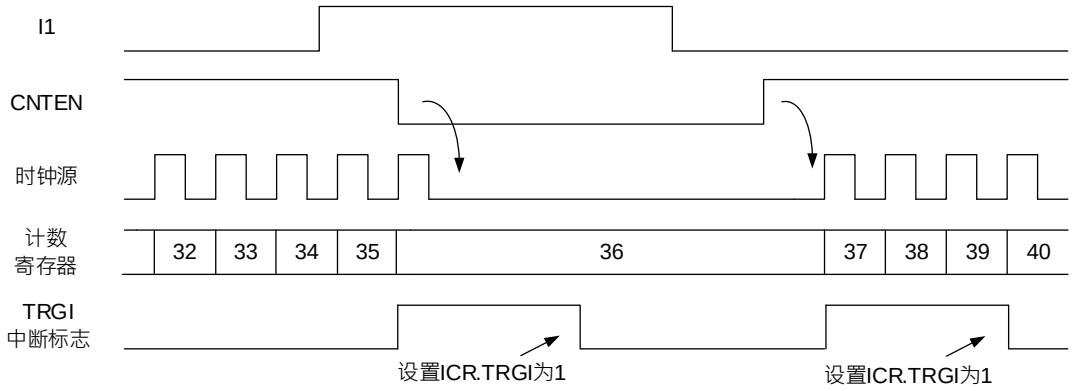


图 18-30 门控模式控制电路

18. 4. 16. 3 触发模式

输入端选中的事件可以开启计数器。

下面的例子中，I2 输入端上的上升沿可以开启递增计数：

1. 设置 **AD16C4T1_CHMR1** 寄存器的 CC2SSEL 位为 01b，选择 I2 为有效输入端。
2. 设置 **AD16C4T1_CHMR1** 寄存器的 I2FLT 位为 0000b，本例无需滤波器。
3. 设置 **AD16C4T1_CCEP** 寄存器的 CC2NPOL 位为 0、CC2POL 位为 0，选择 I2 通道上升沿有效。
4. 设置 **AD16C4T1_CHMR1** 寄存器的 I2PRES 位为 00b，捕获预分频器不用于触发操作，无需设置。
5. 设置 **AD16C4T1_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00110b，选择 I2 滤波后信号作为输入源。
6. 设置 **AD16C4T1_SMCON** 寄存器的 SMODS 位为 110b，选择触发模式。
7. 设置 **AD16C4T1_CON1** 寄存器的 CNTEN 位为，开启计数器。

I2 上出现上升沿时，计数器开始依据内部时钟计数并设置 TRGI 标志位为 1。

由于 I2 输入的同步电路原因，I2 上出现上升沿和计数器实际启动之间会有一定的延时。

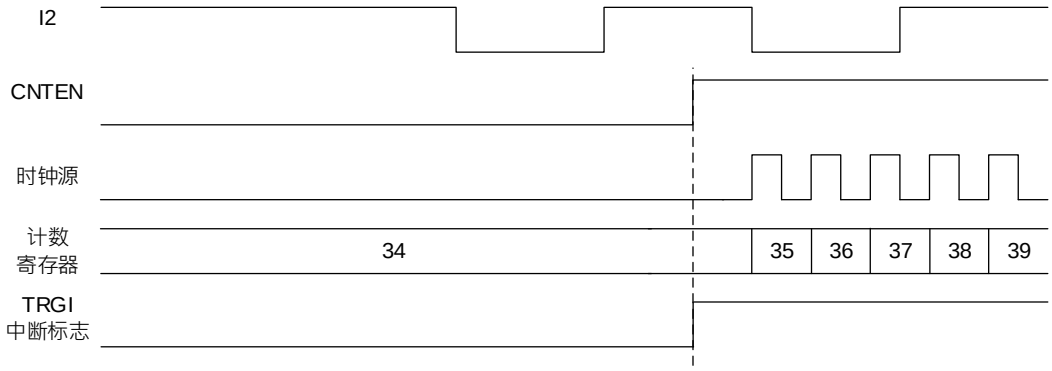


图 18-31 触发模式控制电路

18. 4. 16. 4 选择外部时钟源 2 的触发模式

外部时钟源 2 可和其他模式一起使用(外部时钟模式 1 和除编码模式除外)。ETR 信号可作为外部时钟输入，另一个输入可选择为触发输入(复位模式、门控模式或触发模式)。不推荐设置 **AD16C4T1_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00111b 选择 ETR 作为 TRGI。

下面的例子中，当 I1 输入端出现上升沿时，开启计数器，并且在每个 ETR 信号的上升沿递增计数。

ETR 外部触发电路设定如下 ：

1. 设置 **AD16C4T1_SMCON** 寄存器的 ETFLT 位为 000b，无需滤波器。
2. 设置 **AD16C4T1_SMCON** 寄存器的 ETPRES 位为 00b，关闭预分频。
3. 设置 **AD16C4T1_SMCON** 寄存器的 ETPOL 位为 0，ETR 的上升沿有效。
4. 设置 **AD16C4T1_SMCON** 寄存器的 ECM2EN 位为 1，开启外部时钟模式 2。

通道 1 检测 I1 的上升沿，过程如下:

1. 设置 **AD16C4T1_CHMR1** 寄存器的 CC1SSEL 位为 01b，选择 I1 为有效输入端。
2. 设置 **AD16C4T1_CHMR1** 寄存器的 I1FLT 位为 0000b，本例无需滤波器。
3. 设置 **AD16C4T1_CCEP** 寄存器的 CC1NPOL 位为 0、CC1POL 位为 0，选择 I1 通道上升沿有效。
4. 设置 **AD16C4T1_CHMR1** 寄存器的 I1PRES 位为 00b，捕获预分频器不用于触发操作，无需设置。
5. 设置 **AD16C4T1_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00101b，选择 I1 滤波后信号作为输入源。
6. 设置 **AD16C4T1_SMCON** 寄存器的 SMODS 位为 110b，选择触发模式。
7. 设置 **AD16C4T1_CON1** 寄存器的 CNTEN 位为，开启计数器。

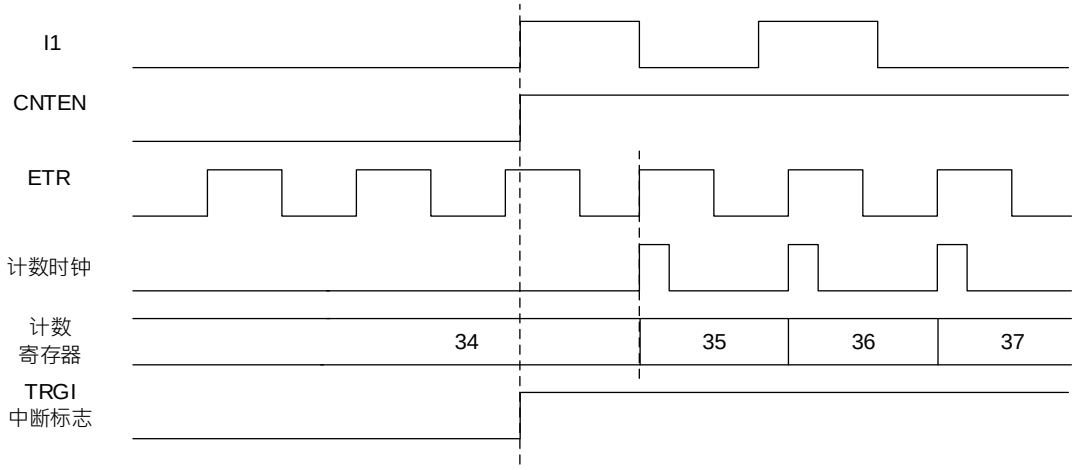


图 18-32 外部时钟源 2＋触发模式下的控制电路

I1 上出现上升沿时，计数器开启且设置 TRGI 标志位为 1，然后计数器根据 ETR 上的上升沿开始计数。

由于 ETF 输入同步电路的原因，ETR 信号的上升沿和实际计数器的计数会有延时。

18. 4. 17 定时器同步

所有定时器在内部相连，用于定时器同步或连结。当一个定时器处于主模式时，它可以对另一个处于从模式的定时器的计数器进行复位、开启、停止或提供时钟等操作。

下图显示了触发选择和主模选择模块的概况。

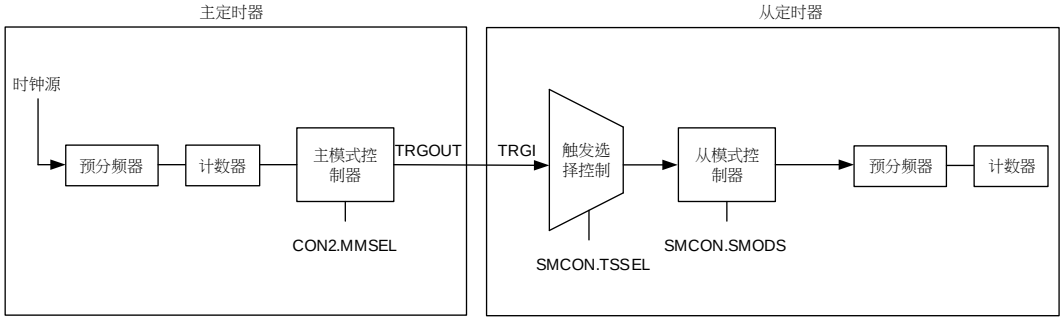


图 18-33 主/从定时器范例

18. 4. 17. 1 使用一个定时器去使能其他定时器

在这个例子中，定时器 2(AD16C4T1)的开启由定时器 1(GP16C2T1)的输出比较参考讯号(CH1REF)控制。只有当定时器 1 的 CH1REF 为高电平时，定时器 2 才会计数。

先设定从定时器(定时器 2)为门控模式，配置如下:

1. 设置 **AD16C4T1_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 01001b(GP16C2T1)，可参考内部触发连接表。
2. 设置 **AD16C4T1_SMCON** 寄存器的 SMODS 位为 101b，选择门控模式。
3. 设置 **AD16C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

再设定主定时器(定时器 1)为 PWM 输出，配置如下:

1. 设置 **GP16C2Tn_PRES** 寄存器的 PSCV 为 01h，计数器时钟频率为 fINT_CLK/2 。
2. 设置 **GP16C2Tn_CHMR1** 寄存器的 CH1MOD 位为 111b，选择 PWM 模式 2。
3. 设置 **GP16C2Tn_CCEP** 寄存器的 CC1POL 位为 0，选择 CH1 通道输出为高电平有效。
4. 设置 **GP16C2Tn_CCVAL1** 寄存器的 CCRV1 位为 06h，当计数器数到 6 时，PWM 输出高电平。
5. 设置 **GP16C2Tn_AR** 寄存器的 ARV 位为 08h，当计数器上数到 8 后重载。
6. 设置 **GP16C2Tn_CON2** 寄存器的 MMSEL 位为 100b，选择输出比较参考信号(CH1REF)为触发输出(TRGOUT)。
7. 设置 **GP16C2Tn_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

注：定时器 2 的时钟不与定时器 1 的时钟同步，这个模式只影响定时器 2 计数器的开启信号。

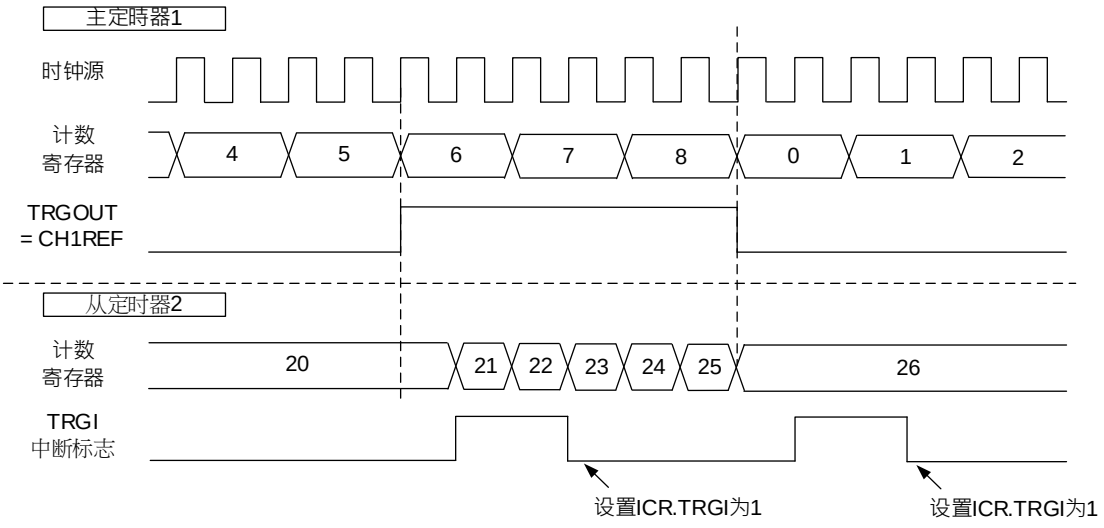


图 18-34 门控从定时器使用主定时器 CH1REF

在上图的例子中，在定时器 2 开启之前，它们的计数器和预分频器未被初始化，因此它们从当前的数值开始计数。可以在开启定时器 1 之前复位 2 个定时器，使它们从给定的数值开始，即在定时器计数器中写入需要的任意数值。设置 **AD16C4T1_SGE** 与定时器 2 的 SGE 寄存器的 SGUPD 位为 1 即可复位定时器。

18. 4. 17. 2 将一个定时器做为其他定时器的预分频器

在这个例子中，使用定时器 1(GP16C2T1)的更新事件作为定时器 2(AD16C4T1)的时钟来源，没有设定预分频。一旦定时器 1 产生更新事件，定时器 2 即根据其上升沿计数。

先设定从定时器(定时器 2)为外部时钟源 1 模式，配置如下:

1. 设置 **AD16C4T1_AR** 寄存器的 ARV 位为 02h，当计数器上数到 2 后重载。
2. 设置 **AD16C4T1_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 01001b(GP16C2T1)，可参考内部触发连接表。
3. 设置 **AD16C4T1_SMCON** 寄存器的 SMODS 位为 111b，选择外部时钟模式 1。
4. 设置 **AD16C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

再设定主定时器(定时器 1)配置如下:

1. 设置 **GP16C2Tn_AR** 寄存器的 ARV 位为 03h，当计数器上数到 3 后重载，并产生更新事件。
2. 设置 **GP16C2Tn_CON2** 寄存器的 MMSEL 位为 010b，选择更新事件(UPD)为触发输出(TRGOUT)。
3. 设置 **GP16C2Tn_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

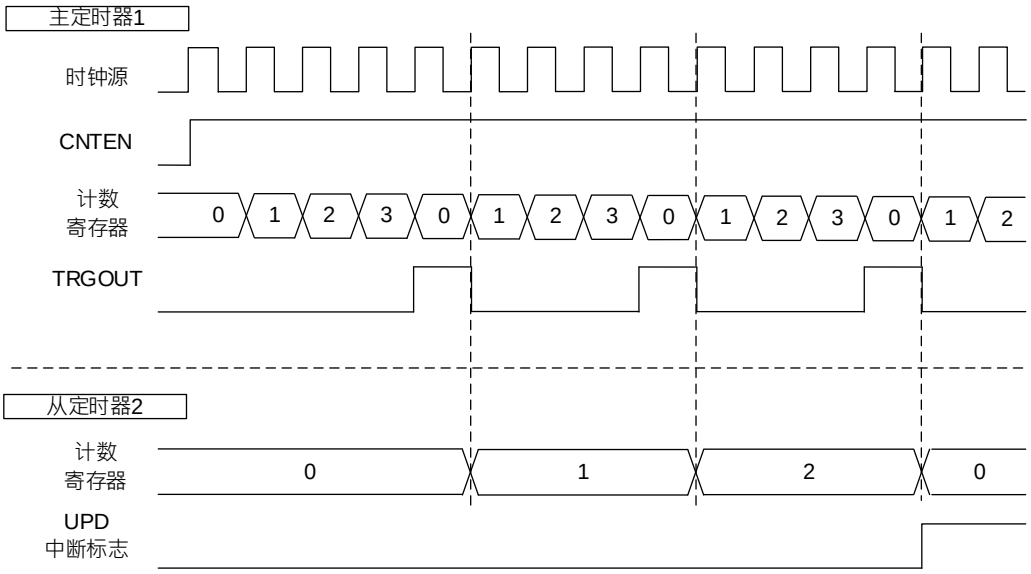


图 18-35 用主定时器更新事件触发从定时器计数

18. 4. 17. 3 使用外部触发同步开始两个定时器

这个例子中当定时器 1(GP16C2T1)的 I1 输入上升沿时开启定时器 1，开启定时器 1 的同时开启定时器 2(AD16C4T1)。为保证计数器的对齐，定时器 1 必须设置为主/从模式(对应 I1 为从，对应定时器 2 为主):

先设定从定时器(定时器 2)为触发模式，配置如下:

1. 设置 **AD16C4T1_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 01001b(GP16C2T1)，可参考内部触发连接表。
2. 设置 **AD16C4T1_SMCON** 寄存器的 SMODS 位为 110b，选择触发模式。

再设定主定时器(定时器 1)为触发模式，配置如下:

1. 设置定时器 1 为触发模式，相关配置可参考触发模式章节。
2. 设置 **GP16C2Tn_CON2** 寄存器的 MMSEL 位为 001b，选择开启信号(CNTEN)为触发输出(TRGOUT)。
3. 设置 **GP16C2Tn_SMCON** 寄存器的 MSCFG 位为 1，开启主/从模式。
4. 设置 **GP16C2Tn_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

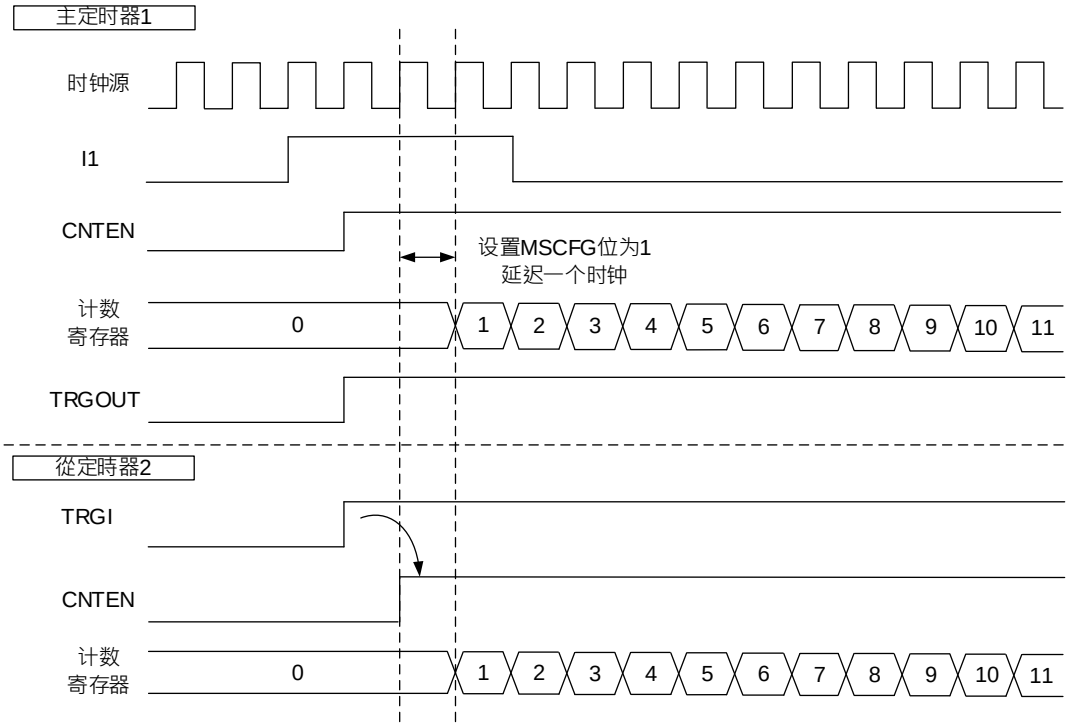


图 18-36 使用定时器 1 的 I1 输入触发定时器 1 和定时器 2

18. 4. 18 ADC 触发生成

定时器可生成 ADC 触发讯号源如下 ：

- TRGOUT：由 **AD16C4T1_CON2** 寄存器的 MMSEL 位决定触发事件的来源，根据配置生成脉冲或电平讯号。
- CCx：当通道比较匹配事件发生时，生成脉冲讯号到 ADC。

下图以 CH1 输出 PWM 模式 2 为例，说明 TRGOUT 与 CC1 讯号源，相关配置如下:

1. 设置 **AD16C4T1_AR** 寄存器的 ARV 位为 07h，当计数器上数到 7 后重载。
2. 设置 **AD16C4T1_CHMR1** 寄存器的 CH1MOD 位为 111b，选择 PWM 模式 2。
3. 设置 **AD16C4T1_CCVAL1** 寄存器的 CCRV1 位为 04h，当计数器数到 4 时，PWM 输出高电平并生成 CC1 脉冲。
4. 设置 **AD16C4T1_CON2** 寄存器的 MMSEL 位为 100b，选择输出比较参考信号(CH1REF)为触发输出(TRGOUT)。

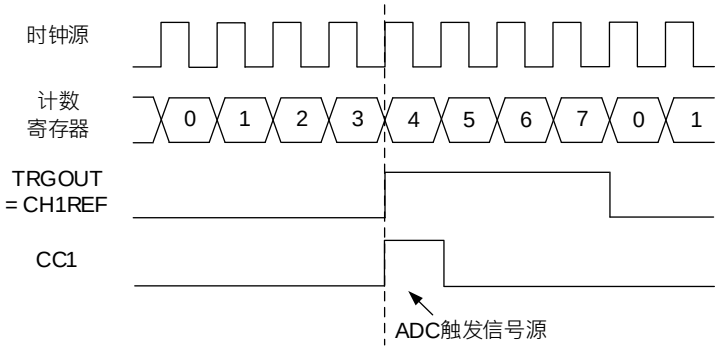


图 18-37 ADC 触发生成

18. 4. 19 调试模式

当微控制器进入调试模式(Cortex™-M0 核停止运行)，根据 SYSCFG 章节中 SYSCFG_CFG 寄存器配置，选择将计数器继续正常工作或停止计数。

为了安全起见，当进入调试模式时，设置 **AD16C4T1_CON1** 寄存器的 DBGSEL 位，选择继续输出电平或是输出关闭(切换成输入)。当输出关闭时可以通过 GPIO 控制器选择输出电平，若未设定则为悬空输入。

18. 5 特殊功能寄存器

18. 5. 1 寄存器列表

AD16C4T 寄存器列表			
名称	偏移地址	类型	描述
AD16C4T1_CON1	0000_H	R/W	控制寄存器 1
AD16C4T1_CON2	0004_H	R/W	控制寄存器 2
AD16C4T1_SMCON	0008_H	R/W	从模式控制寄存器
AD16C4T1_IER	$000C_H$	W1	中断开启寄存器
AD16C4T1_IDR	0010_H	W1	中断关闭寄存器
AD16C4T1_IVS	0014_H	R	中断功能有效状态寄存器
AD16C4T1_RIF	0018_H	R	原始中断状态寄存器
AD16C4T1_IFM	$001C_H$	R	中断标志位状态寄存器
AD16C4T1_ICR	0020_H	C_W1	中断清除寄存器
AD16C4T1_SGE	0024_H	T_W1	软件生成事件寄存器
AD16C4T1_CHMR1	0028_H	R/W	捕获或比较模式寄存器 1
AD16C4T1_CHMR2	$002C_H$	R/W	捕获或比较模式寄存器 2
AD16C4T1_CCEP	0030_H	R/W	捕获或比较开启极性寄存器
AD16C4T1_COUNT	0034_H	R/W	计数寄存器
AD16C4T1_PRES	0038_H	R/W	预分频寄存器
AD16C4T1_AR	$003C_H$	R/W	自动重载寄存器
AD16C4T1_REPAR	0040_H	R/W	重复计数寄存器
AD16C4T1_CCVAL1	0044_H	R/W	通道捕获或比较寄存器 1
AD16C4T1_CCVAL2	0048_H	R/W	通道捕获或比较寄存器 2
AD16C4T1_CCVAL3	$004C_H$	R/W	通道捕获或比较寄存器 3
AD16C4T1_CCVAL4	0050_H	R/W	通道捕获或比较寄存器 4
AD16C4T1_BDCFG	0054_H	R/W	刹车和死区配置寄存器
AD16C4T1_DMAEN	0058_H	R/W	DMA 事件使能寄存器
AD16C4T1_OPTR	$005C_H$	R/W	输入选择寄存器

18. 5. 2 寄存器描述

18. 5. 2. 1 控制寄存器 1(AD16C4T1_CON1)

控制寄存器 1(AD16C4T1_CON1)

偏移地址：0x00

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DBGSEL	—	—	—	—	—	DFCKSEL<1:0>		ARPEN	CMSEL<1:0>		DIRSEL	SPMEN	UERSEL	DISUE	CNTEN

—	Bits 31-16	—	—
DBGSEL	Bit 15	R/W	**调试模式下，信道状态选择** 在输出模式中，选择信道为输入或持续输出 0: 强制为输入 1: 保持当前配置 注: 此位仅在SYSCFG_CFG寄存器的DBGHEN位配置AD16C4T1时有效
—	Bit 14-10	—	—
DFCKSEL	Bit 9-8	R/W	**时钟预分频器** 设置定时器的频率(INT_CLK)，死区产生器与数字滤波器(ETR，In)所采样时钟之间的分频比例。 00: $t_{DTS}=t_{INT\_CLK}$ 01: $t_{DTS}=2 \times t_{INT\_CLK}$ 10: $t_{DTS}=4 \times t_{INT\_CLK}$ 11: 保留
ARPEN	Bit 7	R/W	**自动重载缓冲功能开启** 发生更新事件时，将设定的值载入至影子寄存器中 0: AD16C4T1_AR 寄存器未缓冲 1: AD16C4T1_AR 寄存器具备缓冲
CMSEL	Bit 6-5	R/W	**中心对齐模式选择** 00: 边沿对齐模式，根据计数方向(DIRSEL)的配置，计数器为递增计数或递减计数。 01: 中心对齐模式 1，计数器为交替地递增计数和递减计数。在此模式时仅当计数器在递减计数时，才会产生配置为输出的信道

			(AD16C4T1_CHMRn 寄存器中 CCnSSEL=00)的比较匹配中断请求。 10: 中心对齐模式 2，计数器为交替地递增计数和递减计数。在此模式时仅当计数器在递增计数时，才会产生配置为输出的信道(AD16C4T1_CHMRn 寄存器中 CCnSSEL=00)的比较匹配中断请求。 11: 中心对齐模式 3，计数器为交替地递增计数和递减计数。在此模式时当计数器在递增计数或递减计数时，皆会产生配置为输出的信道(AD16C4T1_CHMRn 寄存器中 CCnSSEL=00)的比较匹配中断请求。 注: 在关闭计数器(CNTEN = 0)的情况下，再进行此模式的配置。
DIRSEL	Bit 4	R/W	**计数方向选择** 当计数器配置为中心对齐模式时，此位只能读取计数器的计数方向 0: 计数器递增计数 1: 计数器递减计数 注:当计数器配置为中心对齐模式时，此位只能读取计数器的计数方向。
SPMEN	Bit 3	R/W	**单脉冲模式** 0: 单脉冲模式关闭，计数器不停止 1: 单脉冲模式使能，计数器在发生下一次更新事件时，会自动清除 CNTEN 位，并停止计数器
UERSEL	Bit 2	R/W	**更新事件请求来源选择** 设置更新事件(UPD)的来源 0: 下列事件都会产生更新中断或 DMA 的请求 – 计数器上溢或下溢 – 设置 AD16C4T1_SGE 寄存器的 SGUPD 位为 1 – 通过从模式控制器所生成的更新事件 1: 只有在计数器上溢或下溢时会生成更新中断或 DMA 的请求
DISUE	Bit 1	R/W	**更新事件关闭** 0: 更新事件(UPD) 开启时，下列事件皆会产生更新事件请求并将影子寄存器载入预装载

			值 – 计数器上溢或下溢 – 设置 AD16C4T1_SGE 寄存器的 SGUPD 位为 1 – 通过从模式控制器所生成的更新事件 1: 更新事件(UPD) 关闭时，不产生更新事件请求，AD16C4T1_AR、AD16C4T1_PRES 与 AD16C4T1_CCVALn 寄存器的影子寄存器数值保持不变。但设置 AD16C4T1_SGE 寄存器的 SGUPD 位为 1 或从模式控制器的复位请求，计数器和预分频器仍会被重新初始化
CNTEN	Bit 0	R/W	**计数器开启** 开启计数器后，外部时钟模式、门控模式和编码模式才能运作。而触发模式则可以由硬件将设置 CNTEN 位为 1 0: 计数器关闭 1: 计数器开启

18. 5. 2. 2 控制寄存器 2(AD16C4T1_CON2)

控制寄存器 2(AD16C4T1_CON2)

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OISS4	OISS3N	OISS3	OISS2N	OISS2	OISS1N	OISS1	I1SEL	MMSEL<2:0>			CCDMASEL	CCUSEL	—	CCPCEN

—	Bits 31-15	—	—
OISS4	Bit 14	R/W	**通道 4 输出的空闲状态选择位** 参照 OISS1 描述
OISS3N	Bit 13	R/W	**通道 3 互补输出的空闲状态选择位** 参照 OISS1N 描述
OISS3	Bit 12	R/W	**通道 3 输出的空闲状态选择位** 参照 OISS1 描述
OISS2N	Bit 11	R/W	**通道 2 互补输出的空闲状态选择位** 参照 OISS1N 描述
OISS2	Bit 10	R/W	**通道 2 输出的空闲状态选择位**

			参照 OISS1 描述
OISS1N	Bit 9	R/W	**通道 1 互补输出的空闲状态选择位** 0:当 GOEN=0，经过死区时间后，CH1N=0 1:当 GOEN=0，经过死区时间后，CH1N=1 注: 当设置 AD16C4T1_BDCFG 寄存器中的 LOCKLVL 位为锁定级别 1、2 或 3 后，此位无法更改。
OISS1	Bit 8	R/W	**通道 1 输出的空闲状态选择位** 0:当 GOEN=0，如果 CH1N 已实现，在经过死区时间后，CH1=0 1:当 GOEN=0，如果 CH1N 已实现，在经过死区时间后，CH1=1 注：当设置 AD16C4T1_BDCFG 寄存器中的 LOCKLVL 位为锁定级别 1、2 或 3 后，此位无法更改。
I1SEL	Bit 7	R/W	**I1 选择** 0: I1 输入连接到 AD16C4T1_CH1 引脚 1: I1 输入连接到 AD16C4T1_CH1、CH2 和 CH3 引脚的异或组合(XOR)输出。
MMSEL	Bit 6-4	R/W	**主模式选择** 选择在主模式下发送到从定时器的同步信号(TRGOUT)与 ADC 输入 000: 复位 - 设置 AD16C4T1_SGE 寄存器中的 UPD 位为触发输出(TRGOUT)。如果复位由触发输入生成(从模式控制器配置为复位模式)，则 TRGOUT 上的信号与实际复位信号之间会有延迟 001: 开启 - 设置 AD16C4T1_CON1 寄存器中的 CNTEN 位为触发输出(TRGOUT)，可用于同步开启数个定时器。计数器开启信号可由 AD16C4T1_CON1 寄存器中的 CNTEN 位或者门控模式下的触发输入产生。当计数器开启信号受控于触发输入时，TRGOUT 上的信号与实际触发信号之间会有延迟 010: 更新事件 - 更新事件被用于触发输出(TRGOUT)。一个主定时器的更新事件可当作从定时器的预分频器时钟 011: 比较脉冲 - 每次发生捕获或比较匹配

			时，当产生 CH1 中断请求同时，触发输出(TRGOUT)会送出一个正脉冲 100: 比较信号 - CH1REF 信号用于触发输出(TRGOUT) 101: 比较信号 - CH2REF 信号用于触发输出(TRGOUT) 110: 比较信号 - CH3REF 信号用于触发输出(TRGOUT) 111: 比较信号 - CH4REF 信号用于触发输出(TRGOUT)
CCDMASEL	Bit 3	R/W	**捕获或比较事件的 DMA 选择** 0: 当发生 CHn 事件时，设置 CHn DMA 请求 1: 当发生更新事件时，设置 CHn DMA 请求
CCUSEL	Bit 2	R/W	**捕获或比较更新控制选择** 此功能只在有互补输出通道作用 0: 在捕获或比较预装载时(CCPCEN =1)，只能通过 AD16C4T1_SGE 寄存器的 SGCOM 位为 1 时更新 1: 在捕获或比较预装载时(CCPCEN =1)，可通过 AD16C4T1_SGE 寄存器的 SGCOM 位为 1 与 TRGI 的上升沿时被更新
—	Bit 1	—	—
CCPCEN	Bit 0	R/W	**捕获或比较预装载控制** 设置后只在换向事件(COM)，即对 AD16C4T1_SGE 寄存器的 SGCOM 位置 1 或 TRGI 的上升沿时更新 0: AD16C4T1_CCEP 寄存器中的 CCnEN、CCnNEN 和 AD16C4T1_CHMRn 寄存器中的 CHnMOD 位预装载关闭 1: AD16C4T1_CCEP 寄存器中的 CCnEN、CCnNEN 和 AD16C4T1_CHMRn 寄存器中的 CHnMOD 位预装载开启

18. 5. 2. 3 从模式控制寄存器(AD16C4T1_SMCON)

从模式控制寄存器(AD16C4T1_SMCON)

偏移地址：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	TSSEL2 <1:0>		—	—	—	—	ETPOL	ECM2EN	ETPRES <1:0>		ETFLT <3:0>				MSCFG	TSSEL1 <2:0>			—	SMODS <2:0>		

—	Bits 31-22	—	—
TSSEL2	Bit 21-20	R/W	**触发选择2** 参照TSSEL1描述
—	Bits 19-16	—	—
ETPOL	Bit 15	R/W	**外部触发极性** 设置外部触发开启电平 0: ETR不反向，高电平或上升沿时开启 1: ETR反向，低电平或下降沿时开启
ECM2EN	Bit 14	R/W	**外部时钟模式2开启** 设置外部时钟模式2 0: 外部时钟模式2关闭 1: 外部时钟模式2开启，计数器时钟根据ETP信号的任意有效边沿提供 注: 1. 设置ECM2EN位与选择外部时钟模式1并将TRGI 连到ETP(SMODS=111 和TSSEL=00111) 具有相同功效。 2. 从模式可以与外部时钟模式2同时使用:复位模式，门控模式和触发模式;但是这时TRGI不能连到ETP(TSSEL位不能是00111)。 3. 外部时钟模式1和外部时钟模式2同时被开启时，外部时钟的输入是ETP。
ETPRES	Bit 13-12	R/W	**外部触发时钟分频器** 外部触发输入信号ETP频率不得超过1/4 的PCLK，分频器可以达到降低ETP的频率，有效应用于快速的外部时钟源。 00: 分频器关闭

			01: ETP频率分频2 10: ETP频率分频4 11: ETP频率分频8
ETFLT	Bit 11-8	R/W	**外部触发滤波器** 设置ETP信号采样的频率和对ETP数字滤波器的带宽。数字滤波器是一个事件计数器，它记录到N 个事件后才视为一个有效输出边沿: 0000: 采样频率f_{DTS}，滤波器关闭 0001: 采样频率f_{INT_CLK}, N = 2 0010: 采样频率f_{INT_CLK}, N = 4 0011: 采样频率f_{INT_CLK}, N = 8 0100: 采样频率f_{DTS} / 2, N = 6 0101: 采样频率f_{DTS} / 2, N = 8 0110: 采样频率f_{DTS} / 4, N = 6 0111: 采样频率f_{DTS} / 4, N = 8 1000: 采样频率f_{DTS} / 8, N = 6 1001: 采样频率f_{DTS} / 8, N = 8 1010: 采样频率f_{DTS} / 16, N = 5 1011: 采样频率f_{DTS} / 16, N = 6 1100: 采样频率f_{DTS} / 16, N = 8 1101: 采样频率f_{DTS} / 32, N = 5 1110: 采样频率f_{DTS} / 32, N = 6 1111: 采样频率f_{DTS} / 32, N = 8
MSCFG	Bit 7	R/W	**主/从模式** 0: 写入0无效 1: 延迟触发输入(TRGI)上的事件来允许当前定时器和其从定时器之间的同步。该设置有效用于使用单个外部事件来同步多个定时器。
TSSEL1	Bit 6-4	R/W	**触发选择 1** 此位与 TSSEL2[1:0]组合成 TSSEL = {TSSEL2[1:0],TSSEL1[2:0]} 设置触发选择，用于同步寄数器 00000: 内部触发 0 (IT0) 00001: 内部触发 1 (IT1) 00010: 内部触发 2 (IT2) 00011: 内部触发 3 (IT3) 00100: I1 边沿检测(I1F_ED) 00101: I1 滤波后信号

			00110: I2 滤波后信号 00111: 外部触发输入 01000: 内部触发 4 (IT4) 01001: 内部触发 5 (IT5) 01010: 内部触发 6 (IT6) 01011: 内部触发 7 (IT7) 01100: 内部触发 8 (IT8) 其他: 内部触发 n (ITn) 注: 此位在需要在使用前设定 (SMODS=000)，以避免产生错误的上升/下降边沿至计数器
—	Bit 3	—	—
SMODS	Bit 2-0	R/W	**从模式选择** 000: 从模式关闭 – 当 ADC16C4T1_CON1 寄存器 CNTEN 位为 1 时，分频器时钟由内部时钟提供 001: 编码器模式 1 – 计数器根据 I1 边沿检测电平在 I2 边沿检测边沿递增或递减计数 010: 编码器模式 2 – 计数器根据 I2 边沿检测电平在 I1 边沿检测边沿递增或递减计数 011: 编码器模式 3 – 计数器在 I1 边沿检测和 I2 边沿检测的边沿计数，计数的方向取决于另一个输入的电平 100: 复位模式 – 选中的触发输入(TRGI)的上升沿重新初始化计数器，并且产生一次更新事件 101: 门控模式 – 当触发输入(TRGI)为高电平时，计数器的时钟开启。一旦触发输入变为低电平，则计数器停止(但不复位)。计数器的启动和停止都是被控制 110: 触发模式 – 计数器在触发输入 TRGI 的上升沿启动(但不复位)，只有计数器的启动是被控制 111: 外部时钟模式 1 – 选中的触发输入 (TRGI) 的上升沿提供计数器时钟 注: 如果 I1 双边沿检测被选为触发输入(设置 TSSEL 为 00100)时，不能使用门控模式。 I1F 每一次转换，I1 双边沿检测就会输出 1

			个脉冲，而门控模式则是检查触发信号的电平

从定时器	IT0(TSSEL=00000)	IT1(TSSEL=00001)	IT2(TSSEL=00010)	IT3(TSSEL=00011)	IT4(TSSEL=01000)	IT5(TSSEL=01001)	IT6(TSSEL=01010)	IT7(TSSEL=01011)	IT8(TSSEL=01100)
AD16C4T1	保留	GP16C4T1	GP16C4T2	GP16C4T3	GP32C4T1	GP16C2T1	GP16C2T2	GP16C2T3	GP16C2T4

表 18-2 AD16C4T1 内部触发连接

18. 5. 2. 4 中断开启寄存器(AD16C4T1_IER)

中断开启寄存器(AD16C4T1_IER)

偏移地址：0x0C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CH4OV	CH3OV	CH2OV	CH1OV	—	BRK	TRGI	COM	CH4	CH3	CH2	CH1	UPD

—	Bits 31-13	—	—
CH4OV	Bit 12	W1	**开启信道4捕获溢出中断功能** 此位设置时，开启中断功能，硬件侦测通道4捕获溢出事件时发生中断
CH3OV	Bit 11	W1	**开启信道 3 捕获溢出中断功能** 此位设置时，开启中断功能，硬件侦测通道 3 捕获溢出事件时发生中断
CH2OV	Bit 10	W1	**开启信道 2 捕获溢出中断功能** 此位设置时，开启中断功能，硬件侦测通道 2 捕获溢出事件时发生中断
CH1OV	Bit 9	W1	**开启信道 1 捕获溢出中断功能** 此位设置时，开启中断功能，硬件侦测通道 1 捕获溢出事件时发生中断
—	Bit 8	—	—
BRK	Bit 7	W1	**开启刹车中断功能** 此位设置时，开启中断功能，硬件侦测刹车信号时发生中断
TRGI	Bit 6	W1	**开启触发中断功能** 此位设置时，开启中断功能，硬件侦测触发信号事件时发生中断
COM	Bit 5	W1	**开启 COM 中断功能**

			此位设置时，开启中断功能，硬件侦测 COM 信号事件时发生中断
CH4	Bit 4	W1	**开启通道 4 捕获或比较匹配中断功能** 此位设置时，开启中断功能，硬件侦测通道 4 捕获或比较匹配事件时发生中断
CH3	Bit 3	W1	**开启通道 3 捕获或比较匹配中断功能** 此位设置时，开启中断功能，硬件侦测通道 3 捕获或比较匹配事件时发生中断
CH2	Bit 2	W1	**开启通道 2 捕获或比较匹配中断功能** 此位设置时，开启中断功能，硬件侦测通道 2 捕获或比较匹配事件时发生中断
CH1	Bit 1	W1	**开启通道 1 捕获或比较匹配中断功能** 此位设置时，开启中断功能，硬件侦测通道 1 捕获或比较匹配事件时发生中断
UPD	Bit 0	W1	**开启更新中断功能** 此位设置时，开启中断功能，硬件侦测更新事件时发生中断

18. 5. 2. 5 中断关闭寄存器(AD16C4T1_IDR)

中断关闭寄存器(AD16C4T1_IDR)

偏移地址： 0x10

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CH4OV	CH3OV	CH2OV	CH1OV	—	BRK	TRGI	COM	CH4	CH3	CH2	CH1	UPD

—	Bits 31-13	—	—
CH4OV	Bit 12	W1	**关闭信道4捕获溢出中断功能** 此位设置时，关闭通道4捕获溢出中断功能
CH3OV	Bit 11	W1	**关闭信道 3 捕获溢出中断功能** 此位设置时，关闭通道 3 捕获溢出中断功能
CH2OV	Bit 10	W1	**关闭信道 2 捕获溢出中断功能** 此位设置时，关闭通道 2 捕获溢出中断功能
CH1OV	Bit 9	W1	**关闭信道 1 捕获溢出中断功能** 此位设置时，关闭通道 1 捕获溢出中断功能
—	Bit 8	—	—

BRK	Bit 7	W1	**关闭刹车中断功能** 此位设置时，关闭刹车中断功能
TRGI	Bit 6	W1	**关闭触发中断功能** 此位设置时，关闭触发中断功能
COM	Bit 5	W1	**关闭 COM 中断功能** 此位设置时，关闭 COM 中断功能
CH4	Bit 4	W1	**关闭通道 4 捕获或比较匹配中断功能** 此位设置时，关闭通道 4 捕获或比较匹配事件时发生中断
CH3	Bit 3	W1	**关闭通道 3 捕获或比较匹配中断功能** 此位设置时，关闭通道 3 捕获或比较匹配事件时发生中断
CH2	Bit 2	W1	**关闭通道 2 捕获或比较匹配中断功能** 此位设置时，关闭通道 2 捕获或比较匹配事件时发生中断
CH1	Bit 1	W1	**关闭通道 1 捕获或比较匹配中断功能** 此位设置时，关闭通道 1 捕获或比较匹配事件时发生中断
UPD	Bit 0	W1	**关闭更新中断功能** 此位设置时，关闭更新中断功能

18. 5. 2. 6 中断功能有效状态寄存器(AD16C4T1_IVS)

中断功能有效状态寄存器(AD16C4T1_IVS)

偏移地址：0x14

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CH4OV	CH3OV	CH2OV	CH1OV	—	BRK	TRGI	COM	CH4	CH3	CH2	CH1	UPD

—	Bits 31-13	—	—
CH4OV	Bit 12	R	**信道 4 捕获溢出中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH3OV	Bit 11	R	**信道 3 捕获溢出中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态

CH2OV	Bit 10	R	**信道 2 捕获溢出中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH1OV	Bit 9	R	**信道 1 捕获溢出中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
—	Bit 8	—	—
BRK	Bit 7	R	**刹车中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
TRGI	Bit 6	R	**触发中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
COM	Bit 5	R	**COM 中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH4	Bit 4	R	**信道 4 捕获或比较匹配中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH3	Bit 3	R	**信道 3 捕获或比较匹配中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH2	Bit 2	R	**信道 2 捕获或比较匹配中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH1	Bit 1	R	**信道 1 捕获或比较匹配中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
UPD	Bit 0	R	**更新中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态

AD16C4T1_IVS 寄存器，是实时反映系统配置 AD16C4T1_IER 与 AD16C4T1_IDR 的中断状态。 此寄存器状态是将 AD16C4T1_IER 与 AD16C4T1_IDR 进行硬件运算，公式如下：

AD16C4T1_IVS = AD16C4T1_IER & ~AD16C4T1_IDR

18. 5. 2. 7 原始中断状态寄存器(AD16C4T1_RIF)

原始中断状态寄存器(AD16C4T1_RIF)																													
偏移地址：0x18																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																			CH4OV	CH3OV	CH2OV	CH1OV	—	BRK	TRGI	COM	CH4	CH3	CH2	CH1	UPD

—	Bits 31-13	—	—
CH4OV	Bit 12	R	**通道4捕获溢出，原始中断状态** 0: 无发生中断 1: 已发生中断
CH3OV	Bit 11	R	**通道 3 捕获溢出，原始中断状态** 0: 无发生中断 1: 已发生中断
CH2OV	Bit 10	R	**通道 2 捕获溢出，原始中断状态** 0: 无发生中断 1: 已发生中断
CH1OV	Bit 9	R	**通道 1 捕获溢出，原始中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 8	—	—
BRK	Bit 7	R	**刹车，原始中断状态** 0: 无发生中断 1: 已发生中断
TRGI	Bit 6	R	**触发，原始中断状态** 0: 无发生中断 1: 已发生中断
COM	Bit 5	R	**COM，原始中断状态** 0: 无发生中断 1: 已发生中断
CH4	Bit 4	R	**通道 4 捕获或比较匹配，原始中断状态** 0: 无发生中断 1: 已发生中断
CH3	Bit 3	R	**通道 3 捕获或比较匹配，原始中断状态** 0: 无发生中断

			1: 已发生中断
CH2	Bit 2	R	**通道 2 捕获或比较匹配，原始中断状态** 0: 无发生中断 1: 已发生中断
CH1	Bit 1	R	**通道 1 捕获或比较匹配，原始中断状态** 0: 无发生中断 1: 已发生中断
UPD	Bit 0	R	**更新，原始中断状态** 0: 无发生中断 1: 已发生中断

18. 5. 2. 8 中断标志位状态寄存器(AD16C4T1_IFM)

中断标志位状态寄存器(AD16C4T1_IFM)

偏移地址：0x1C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CH4OV	CH3OV	CH2OV	CH1OV	—	BRK	TRGI	COM	CH4	CH3	CH2	CH1	UPD

—	Bits 31-13	—	—
CH4OV	Bit 12	R	**通道4捕获溢出，标志位中断状态** 0: 无发生中断 1: 已发生中断
CH3OV	Bit 11	R	**通道 3 捕获溢出，标志位中断状态** 0: 无发生中断 1: 已发生中断
CH2OV	Bit 10	R	**通道 2 捕获溢出，标志位中断状态** 0: 无发生中断 1: 已发生中断
CH1OV	Bit 9	R	**通道 1 捕获溢出，标志位中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 8	—	—
BRK	Bit 7	R	**刹车，标志位中断状态** 0: 无发生中断 1: 已发生中断

TRGI	Bit 6	R	**触发，标志位中断状态** 0: 无发生中断 1: 已发生中断
COM	Bit 5	R	**COM，标志位中断状态** 0: 无发生中断 1: 已发生中断
CH4	Bit 4	R	**通道 4 捕获或比较匹配，标志位中断状态** 0: 无发生中断 1: 已发生中断
CH3	Bit 3	R	**通道 3 捕获或比较匹配，标志位中断状态** 0: 无发生中断 1: 已发生中断
CH2	Bit 2	R	**通道 2 捕获或比较匹配，标志位中断状态** 0: 无发生中断 1: 已发生中断
CH1	Bit 1	R	**通道 1 捕获或比较匹配，标志位中断状态** 0: 无发生中断 1: 已发生中断
UPD	Bit 0	R	**更新，标志位中断状态** 0: 无发生中断 1: 已发生中断

AD16C4T1_IFM 寄存器，是滤除已关闭中断功能的中断事件，只关注开启中断功能的事件， 此寄存器状态是将 AD16C4T1_RIF 与 AD16C4T1_IVS 进行硬件运算，公式如下：

AD16C4T1_IFM = AD16C4T1_RIF & AD16C4T1_IVS

18. 5. 2. 9 中断清除寄存器(AD16C4T1_ICR)

中断清除寄存器(AD16C4T1_ICR)																													
偏移地址：0x20																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																			CH4OV	CH3OV	CH2OV	CH1OV	—	BRK	TRGI	COM	CH4	CH3	CH2	CH1	UPD

—	Bits 31-13	—	—
CH4OV	Bit 12	C_W1	**清除通道4捕获溢出中断状态** 此位设置时，清除中断状态(AD16C4T1_RIF与AD16C4T1_IFM)
CH3OV	Bit 11	C_W1	**清除通道 3 捕获溢出中断状态** 此位设置时，清除中断状态(AD16C4T1_RIF与 AD16C4T1_IFM)
CH2OV	Bit 10	C_W1	**清除通道 2 捕获溢出中断状态** 此位设置时，清除中断状态(AD16C4T1_RIF与 AD16C4T1_IFM)
CH1OV	Bit 9	C_W1	**清除通道 1 捕获溢出中断状态** 此位设置时，清除中断状态(AD16C4T1_RIF与 AD16C4T1_IFM)
—	Bit 8	—	—
BRK	Bit 7	C_W1	**清除刹车中断状态** 此位设置时，清除中断状态(AD16C4T1_RIF与 AD16C4T1_IFM)
TRGI	Bit 6	C_W1	**清除触发中断状态** 此位设置时，清除中断状态(AD16C4T1_RIF与 AD16C4T1_IFM)
COM	Bit 5	C_W1	**清除 COM 中断状态** 此位设置时，清除中断状态(AD16C4T1_RIF与 AD16C4T1_IFM)
CH4	Bit 4	C_W1	**清除通道 4 捕获或比较匹配中断状态** 此位设置时，清除中断状态(AD16C4T1_RIF与 AD16C4T1_IFM)
CH3	Bit 3	C_W1	**清除通道 3 捕获或比较匹配中断状态** 此位设置时，清除中断状态(AD16C4T1_RIF

			与 AD16C4T1_IFM)
CH2	Bit 2	C_W1	**清除通道 2 捕获或比较匹配中断状态** 此位设置时，清除中断状态(AD16C4T1_RIF 与 AD16C4T1_IFM)
CH1	Bit 1	C_W1	**清除通道 1 捕获或比较匹配中断状态** 此位设置时，清除中断状态(AD16C4T1_RIF 与 AD16C4T1_IFM)
UPD	Bit 0	C_W1	**清除更新中断状态** 此位设置时，清除中断状态(AD16C4T1_RIF 与 AD16C4T1_IFM)

AD16C4T1_ICR 寄存器设置时，将清除 AD16C4T1_RIF 与 AD16C4T1_IFM 中断标志状态；此设置不影响中断 AD16C4T1_IER、AD16C4T1_IDR 与 AD16C4T1_IVS 寄存器，只清除标志状态 AD16C4T1_RIF 与 AD16C4T1_IFM。

此寄存器通过硬件清除中断，公式如下：

AD16C4T1_RIF = AD16C4T1_RIF & ~AD16C4T1_ICR

18. 5. 2. 10 软件生成事件寄存器(AD16C4T1_SGE)

软件生成事件寄存器(AD16C4T1_SGE)

偏移地址：0x24

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																								SGBRK	SGTRGI	SGCOM	SGCH4	SGCH3	SGCH2	SGCH1	SGUPD

—	Bits 31-8	—	—
SGBRK	Bit 7	T_W1	**软件生成刹车事件** 该位由软件设置来生成刹车事件，可由硬件自动清零。 此位设置时，产生刹车事件。GOEN清零，BRK标志位置起，产生相关中断或DMA传输。
SGTRGI	Bit 6	T_W1	**软件生成触发事件** 该位由软件设置来生成触发事件，可由硬件自动清零。 此位设置时，产生触发事件。产生相关中断或 DMA 传输
SGCOM	Bit 5	T_W1	**软件生成 COM 事件**

			该位由软件设置来生成 COM 事件，可由硬件自动清零。 此位设置时，产生 COM 事件。当设置 CCPCEN 为 1，则可更新 CCnEN, CCnNEN 和 CHnMOD。 注: 此位只有用作于有互补输出的通道
SGCH4	Bit 4	T_W1	**软件生成通道 4 捕获或比较事件** 参照 SGCH1 描述
SGCH3	Bit 3	T_W1	**软件生成通道 3 捕获或比较事件** 参照 SGCH1 描述
SGCH2	Bit 2	T_W1	**软件生成通道 2 捕获或比较事件** 参照 SGCH1 描述
SGCH1	Bit 1	T_W1	**软件生成通道 1 捕获或比较事件** 该位由软件设置来生成通道 1 捕获或比较，可由硬件自动清零。 **通道 CH1 设置为输出:** 此位设置时，产生比较事件，但不影响输出。若开启中断或 DMA，则产生中断与请求。 **通道 CH1 设置为输入:** 此位设置时，产生捕获事件。将计数器捕获至 CCVAL1 寄存器中，若开启中断或 DMA，则产生中断与请求。
SGUPD	Bit 0	T_W1	**软件触发更新事件** 该位由软件设置，可由硬件自动清零。 此位设置时，产生更新事件。重新初始化计数器，更新寄存器。 注: 预分频器也会被清零(但预分频比不会受到影响)。如果使用中心对齐模式或者 DIRSEL=0(递减计数)，则计数器将清零；否则如果 DIRSEL=1(递减计数)，则将使用自动重载寄存器值(AD16C4T1_AR)。

18. 5. 2. 11 捕获或比较模式寄存器 1(AD16C4T1_CHMR1)

捕获或比较模式寄存器 1(AD16C4T1_CHMR1)																													
偏移地址：0x28																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																CH2OCLREN	CH2MOD <2:0>			CH2PEN	CH2FEN	CC2SSEL <1:0>		CH1OCLREN	CH1MOD <2:0>			CH1PEN	CH1FEN	CC1SSEL <1:0>	
																I2FLT <3:0>				I2PRES <1:0>				I1FLT <3:0>				I1PRES <1:0>			

输出比较模式

—	Bits 31-16	—	—
CH2OCLREN	Bit 15	R/W	**输出比较通道 2 清除使能** 参照 CH1OCLREN 描述
CH2MOD	Bit 14:12	R/W	**输出比较信道 2 模式** 参照 CH1MOD 描述
CH2PEN	Bit 11	R/W	**输出比较通道 2 预装载使能** 参照 CH1PEN 描述
CH2FEN	Bit 10	R/W	**输出比较通道 2 快速开启** 参照 CH1FEN 描述
CC2SSEL	Bit 9:8	R/W	**捕获或比较通道 2 选择** 设置通道的输出方向与信号的选择，当 CCEP 寄存器的 CC2EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I2 10: 通道设置为输入，捕获源为 I1 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测
CH1OCLREN	Bit 7	R/W	**输出比较通道 1 清除使能** 0: CH1REF 维持输出 1: CH1REF 根据 CHREF_CLR 为高电平时清除(设置 AD16C4T1_OPTR 寄存器的 ETR_RMP 位选择来源)
CH1MOD	Bit 6-4	R/W	**输出比较信道 1 模式**

			这些位定义提供 CH1 和 CH1N 的输出参考信号 CH1REF 的行为。CH1REF 为高电平有效， 而 CH1 和 CH1N 的有效电平则取决于 AD16C4T1_CCEP 寄存器中的 CC1POL 位和 CC1NPOL 位。 000: 关闭 – 无作用 001: 匹配时设置高电平 – 当计数器 (AD16C4T1_COUNT)匹配 AD16C4T1_CCVAL1 寄存器时，CH1REF 设置为 1 010: 匹配时设置低电平 – 当计数器 (AD16C4T1_COUNT)匹配 AD16C4T1_CCVAL1 寄存器时，CH1REF 设置为 0 011: 匹配时设置翻转电平 – 当计数器 (AD16C4T1_COUNT)匹配 AD16C4T1_CCVAL1 寄存器时，CH1REF 设置翻转电平(当前为高电平则翻转成低电平，反之当前为低电平则翻转成高电平) 100: 强制低电平 – CH1REF 强制设置低电平 101: 强制高电平 – CH1REF 强制设置高电平 110: PWM 模式 1 – 在递增计数时，当计数器 (AD16C4T1_COUNT)小于 AD16C4T1_CCVAL1 寄存器时，输出高电平，其他则输出低电平。在递减计数时，当计数器(AD16C4T1_COUNT)大于 AD16C4T1_CCVAL1 寄存器时，输出低电平，其他则输出高电平 111: PWM 模式 2 – 在递增计数时，当计数器 (AD16C4T1_COUNT)小于 AD16C4T1_CCVAL1 寄存器时，输出低电平，其他则输出高电平。在递减计数时，当计数器(AD16C4T1_COUNT)大于 AD16C4T1_CCVAL1 寄存器时，输出高电平，其他则输出低电平 注: 当设置 AD16C4T1_BDCFG 寄存器中的 LOCKLVL 位为锁定级别 3 且 CC1SSEL = 00(通道设置为输出)后，此位无法更改。

CH1PEN	Bit 3	R/W	**输出比较通道 1 预装载开启** 设置后在更新事件时，将 AD16C4T1_CCVAL1 寄存器预装载值载入到影子寄存器中。 0: CCVAL1 寄存器预装载关闭 1: CCVAL1 寄存器预装载开启 注: 当设置 AD16C4T1_BDCFG 寄存器中的 LOCKLVL 位为锁定级别 3 且 CC1SSEL = 00(通道设置为输出)后，此位无法更改。
CH1FEN	Bit 2	R/W	**输出比较通道 1 快速使能** 用于加速触发输入事件对于 PWM 输出的影响，CH1FEN 只在信道被配置成 PWM1 或 PWM2 模式时起作用。 0:CH1 的输出依赖于计数器与 CCVAL1 的值正常工作。 1: 当触发输入(TRGI)有效时，CH1 被强制设置为比较电平(与比较结果无关)，触发输入(TRGI)的有效边沿相当于发生比较匹配。
CC1SSEL	Bit 1-0	R/W	**捕获或比较通道 1 选择** 设置通道的输出方向与信号的选择，当 AD16C4T1_CCEP 寄存器的 CC1EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I1 10: 通道设置为输入，捕获源为 I2 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测

输入捕获模式

—	Bits 31-16	—	—
I2FLT	Bit 15-12	R/W	**输入捕获通道2滤波器** 参照I1FLT描述
I2PRES	Bit 11-10	R/W	**输入捕获通道 2 预分频器** 参照 IC1PRES 描述
CC2SSEL	Bit 9-8	R/W	**捕获或比较通道 2 选择** 设置通道的输出方向与信号的选择，当 AD16C4T1_CCEP 寄存器的 CC2EN 为 0 才可写入。

			00: 通道设置为输出 01: 通道设置为输入，捕获源为 I2 10: 通道设置为输入，捕获源为 I1 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测
I1FLT	Bit 7-4	R/W	**输入捕获通道 1 滤波器** 设置 I1 信号采样的频率和对 I1 数字滤波器的带宽。数字滤波器是一个事件计数器，它记录到 N 个事件后才视为一个有效输出边沿: 0000: 采样频率 f_{DTS}，滤波器关闭 0001: 采样频率 f_{INT_CLK}, N = 2 0010: 采样频率 f_{INT_CLK}, N = 4 0011: 采样频率 f_{INT_CLK}, N = 8 0100: 采样频率 f_{DTS} / 2, N = 6 0101: 采样频率 f_{DTS} / 2, N = 8 0110: 采样频率 f_{DTS} / 4, N = 6 0111: 采样频率 f_{DTS} / 4, N = 8 1000: 采样频率 f_{DTS} / 8, N = 6 1001: 采样频率 f_{DTS} / 8, N = 8 1010: 采样频率 f_{DTS} / 16, N = 5 1011: 采样频率 f_{DTS} / 16, N = 6 1100: 采样频率 f_{DTS} / 16, N = 8 1101: 采样频率 f_{DTS} / 32, N = 5 1110: 采样频率 f_{DTS} / 32, N = 6 1111: 采样频率 f_{DTS} / 32, N = 8
I1PRES	Bit 3-2	R/W	**输入捕获通道 1 预分频器** 设置 I1 的预分频计数器数值，当清除 AD16C4T1_CCEP 寄存器的 CC1EN 位，预分频计数器同时被清除 00: 预分频关闭，于每次事件时捕获 01: 每 2 次事件捕获 10: 每 4 次事件捕获 11: 每 8 次事件捕获
CC1SSEL	Bit 1-0	R/W	**捕获或比较通道 1 选择** 设置通道的输出方向与信号的选择，当 AD16C4T1_CCEP 寄存器的 CC1EN 为 0 才可写入。 00: 通道设置为输出

			01: 通道设置为输入，捕获源为 I1 10: 通道设置为输入，捕获源为 I2 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测

18. 5. 2. 12 捕获或比较模式寄存器 2(AD16C4T1_CHMR2)

捕获或比较模式寄存器 2(AD16C4T1_CHMR2)

偏移地址：0x2C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																CH4OCLREN	CH4MOD <2:0>			CH4PEN	CH4FEN	CC4SSEL <1:0>		CH3OCLREN	CH3MOD <2:0>			CH3PEN	CH3FEN	CC3SSEL <1:0>	
																I4FLT <3:0>				I4PRES <1:0>				I3FLT <3:0>				I3PRES <1:0>			

输出比较模式

—	Bits 31-16	—	—
CH4OCLREN	Bit 15	R/W	**输出比较通道 4 清除开启** 参照 CH1OCLREN 描述
CH4MOD	Bit 14-12	R/W	**输出比较信道 4 模式** 参照 CH1MOD 描述
CH4PEN	Bit 11	R/W	**输出比较通道 4 预装载开启** 参照 CH1PEN 描述
CH4FEN	Bit 10	R/W	**输出比较通道 4 快速开启** 参照 CH1FEN 描述
CC4SSEL	Bit 9-8	R/W	**捕获或比较通道 4 选择** 设置通道的输出方向与信号的选择，当 AD16C4T1_CCEP 寄存器的 CC4EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I4 10: 通道设置为输入，捕获源为 I3 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测

CH3OCLREN	Bit 7	R/W	**输出比较通道 3 清除开启** 参照 CH1OCLREN 描述
CH3MOD	Bit 6-4	R/W	**输出比较信道 3 模式** 参照 CH1OMOD 描述
CH3PEN	Bit 3	R/W	**输出比较通道 3 预装载开启** 参照 CH1PEN 描述
CH3FEN	Bit 2	R/W	**输出比较通道 3 快速开启** 参照 CH1FEN 描述
CC3SSEL	Bit 1-0	R/W	**捕获或比较通道 3 选择** 设置通道的输出方向与信号的选择，当 AD16C4T1_CCEP 寄存器的 CC3EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I3 10: 通道设置为输入，捕获源为 I4 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测

输入捕获模式

—	Bits 31-16	—	—
I4FLT	Bit 15-12	R/W	**输入捕获通道4滤波器** 参照I1FLT描述
I4PRES	Bit 11-10	R/W	**输入捕获通道 4 预分频器** 参照 IC1PRES 描述
CC4SSEL	Bit 9-8	R/W	**捕获或比较通道 4 选择** 设置通道的输出方向与信号的选择，当 AD16C4T1_CCEP 寄存器的 CC4EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I4 10: 通道设置为输入，捕获源为 I3 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测
I3FLT	Bit 7-4	R/W	**输入捕获通道 3 滤波器** 参照 I1FLT 描述
I3PRES	Bit 3-2	R/W	**输入捕获通道 3 预分频器** 参照 IC1PRES 描述
CC3SSEL	Bit 1-0	R/W	**捕获或比较通道 3 选择**

			设置通道的输出方向与信号的选择，当 AD16C4T1_CCEP 寄存器的 CC3EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I3 10: 通道设置为输入，捕获源为 I4 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测

18. 5. 2. 13 捕获或比较开启极性寄存器(AD16C4T1_CCEP)

捕获或比较开启寄存器(AD16C4T1_CCEP)																													
偏移地址：0x30																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CC4NPOL	—	CC4POL	CC4EN	CC3NPOL	CC3NEN	CC3POL	CC3EN	CC2NPOL	CC2NE	CC2POL	CC2EN	CC1NPOL	CC1NE	CC1POL	CC1EN

—	Bits 31-16	—	—
CC4NPOL	Bit 15	R/W	**捕获或比较通道4互补输出极性** 参照CC1NPOL描述
—	Bit 14	—	—
CC4POL	Bit 13	R/W	**捕获或比较通道 4 输出极性** 参照 CC1POL 描述
CC4EN	Bit 12	R/W	**捕获或比较通道 4 输出开启** 参照 CC1EN 描述
CC3NPOL	Bit 11	R/W	**捕获或比较通道 3 互补输出极性** 参照 CC1NPOL 描述
CC3NEN	Bit 10	R/W	**捕获或比较通道 3 互补输出开启** 参照 CC1NEN 描述
CC3POL	Bit 9	R/W	**捕获或比较通道 3 输出极性** 参照 CC1POL 描述
CC3EN	Bit 8	R/W	**捕获或比较通道 3 输出开启** 参照 CC1EN 描述
CC2NPOL	Bit 7	R/W	**捕获或比较通道 2 互补输出极性** 参照 CC1NPOL 描述
CC2NEN	Bit 6	R/W	**捕获或比较通道 2 互补输出开启**

			参照 CC1NEN 描述
CC2POL	Bit 5	R/W	**捕获或比较通道 2 输出极性** 参照 CC1POL 描述
CC2EN	Bit 4	R/W	**捕获或比较通道 2 输出开启** 参照 CC1EN 描述
CC1NPOL	Bit 3	R/W	**捕获或比较通道 1 互补输出极性** **通道 CH1 设置为输出:** 0: CH1N 高电平有效 1: CH1N 低电平有效 **通道 CH1 设置为输入:** 该位需和 CC1POL 一起使用来定义输入边沿的极性。参照 CC1POL 描述。 注 1: 对于有互补输出的通道，该位设置为预载值。如果 AD16C4T1_CON2 寄存器中的 CCPCEN 位设置为 1，则只有当 COM 事件发生时，CC1NP 影子位才会设置为预载值中新的值。 注 2: 当 AD16C4T1_BDCFG 寄存器中的 LOCKLVL 位被设置为锁定级别 2 或 3，且 CC1SSEL=00(信道为输出模式)，该位将不可写。
CC1NEN	Bit 2	R/W	**捕获或比较通道 1 互补输出开启** 0: 关闭 - CH1N 无效。CH1N 电平取决于 GOEN、OFFSSI、OFFSSR、OISS1、OISS1N 和 CC1EN 的功能 1: 开启 - CH1N 为对应输出引脚上的输出信号，由 GOEN、OFFSSI、OFFSSR、OISS1、OISS1N 和 CC1EN 决定。 注: 对于有互补输出的通道，该位设置为预载值。如果 AD16C4T1_CON2 寄存器中的 CCPCEN 位设置为 1，则只有当 COM 事件发生时，CC1NE 影子位才会设置为预载值中新的值
CC1POL	Bit 1	R/W	**捕获或比较通道 1 输出极性** **通道 CH1 设置为输出:** 0: CH1 高电平有效 1: CH1 低电平有效 **通道 CC1 设置为输入:**

			CC1NPOL 与 CC1POL 位选择触发边沿或捕获模式下 I1 和 I2 的极性 00: 非反相/上升沿 01: 反相/下降沿 10: 保留 11: 非反相/上升沿+下降沿 注 1: 对于有互补输出的通道，该位设置为预载值。如果 AD16C4T1_CON2 寄存器中的 CCPCEN 位设置为 1，则只有当 COM 事件发生时，CC1POL 影子位才会设置为预载值中新的值。 注 2: 当 AD16C4T1_BDCFG 寄存器中的 LOCKLVL 位被设置为锁定级别 2 或 3，且 CC1SSEL=00(信道为输出模式)，该位将不可写。
CC1EN	Bit 0	R/W	**捕获或比较通道 1 输出开启** **通道 CH1 设置为输出:** 0: 关闭 - CH1 无效。CH1 电平取决于 GOEN、OFFSSI、OFFSSR、OISS1、OISS1N 和 CC1NEN 的功能 1: 开启 - CH1 为对应输出引脚上的输出信号，由 GOEN、OFFSSI、OFFSSR、OISS1、OISS1N 和 CC1NEN 决定 **通道 CH1 设置为输入:** 0: 捕获关闭 1: 捕获开启 注: 对于有互补输出的通道，该位设置为预载值。如果 AD16C4T1_CON2 寄存器中的 CCPCEN 位设置为 1，则只有当 COM 事件发生时，CC1EN 影子位才会设置为预载值中新的值。

18. 5. 2. 14 计数寄存器(AD16C4T1_COUNT)

计数寄存器(AD16C4T1_COUNT)																															
偏移地址：0x34																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																CNTV<15:0>															

—	Bits 31-16	—	—
CNTV	Bits 15-0	R/W	**计数器数值**

18. 5. 2. 15 预分频寄存器(AD16C4T1_PRES)

预分频寄存器(AD16C4T1_PRES)																															
偏移地址：0x38																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																PSCV<15:0>															

—	Bits 31-16	—	—
PSCV	Bit 15-0	R/W	**预分频数值** 当计数器时钟频率等于f_{INT_CLK}/(PSCV<15:0> + 1)时计数器递增或递减。在更新事件产生时，将PSCV数值被载入影子寄存器中

18. 5. 2. 16 自动重载寄存器(AD16C4T1_AR)

自动重载寄存器(AD16C4T1_AR)																															
偏移地址：0x3C																															
复位值：0x0000 FFFF																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																ARV<15:0>															

—	Bits 31-16	—	—
ARV	Bits 15-0	R/W	**自动重载数值** 设置计数器的递增计数的边界或递减计数的重载值，设置数值为 0 时计数器停止计数

18. 5. 2. 17 重复计数寄存器(AD16C4T1_ REPAR)

重复计数寄存器(AD16C4T1_ REPAR)																															
偏移地址：0x40																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																								REPV <7:0>							

—	Bits 31-8	—	—
REPV	Bit 7-0	R/W	**重复计数数值** 当预载寄存器开启，该位允许使用者设置比较寄存器的更新率(例如:预载到有效寄存器的周期性传输)，同样也可以设置更新中断生成率。每次当REPV_CNT的相关递减计数器递减至0，会产生更新事件，会从REPV值重新计数。因为只有当发生重复更新事件时，REPV_CNT才会重新载入REPV值，所以只有在发生下一次重复更新事件时，写入AD16C4T1_REPAR寄存器的值才会生效。 在PWM模式下，(REPV+1)相当于: – 在边沿对齐模式下，(REPV+1)对应的是PWM的周期数

			- 在中心对齐模式下，(REPV+1)对应的是1/2 PWM的周期数

18. 5. 2. 18 通道捕获或比较寄存器 1(AD16C4T1_CCVAL1)

通道捕获或比较寄存器 1(AD16C4T1_CCVAL1)																													
偏移地址：0x44																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																CCRV1<15:0>															

—	Bits 31-16	—	—
CCRV1	Bit 15-0	R/W	**捕获或比较数值1** **信道CH1配置为输出:** CCRV1是捕获或比较寄存器的预装载值。 如果在AD16C4T1_CHMR1寄存器中的预载功能没有选中，CCRV1中的值将被永久载入；否则每当发生更新事件，预载值将会复制到有效的捕获或比较寄存器中。有效捕获或比较寄存器的值将会与AD16C4T1_COUNT中的值进行比较，并在CH1上输出。 **信道CH1配置为输入:** CCRV1为由上一个输入捕获事件(I1)发生时的计数器数值。

18. 5. 2. 19 通道捕获或比较寄存器 2(AD16C4T1_CCVAL2)

通道捕获或比较寄存器 2(AD16C4T1_CCVAL2)																												
偏移地址：0x48																												
复位值：0x0000 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																CCRV2<15:0>															

—	Bits 31-16	—	—
CCRV2	Bits 15-0	R/W	**捕获或比较数值2** 信道CH2配置为输出: CCRV2是捕获或比较寄存器的预装载值。 如果在AD16C4T1_CHMR1寄存器中的预载功能没有选中，CCRV2中的值将被永久载入;否则每当发生更新事件，预载值将会复制到有效的捕获或比较寄存器中。有效捕获或比较寄存器的值将会与AD16C4T1_COUNT中的值进行比较，并在CH2上输出。 信道CH2配置为输入: CCRV2为由上一个输入捕获事件(I2)发生时的计数器数值。

18. 5. 2. 20 通道捕获或比较寄存器 3(AD16C4T1_CCVAL3)

通道捕获或比较寄存器 3(AD16C4T1_CCVAL3)																													
偏移地址：0x4C																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																CCRV3<15:0>															

—	Bits 31-16	—	—
CCRV3	Bits 15-0	R/W	**捕获或比较数值3** 信道CH3配置为输出: CCRV3是捕获或比较寄存器的预装载值。 如果在AD16C4T1_CHMR2寄存器中的预载功能没有选中，CCRV3中的值将被永久载入;否则每当发生更新事件，预载值将会复制到有效的捕获或比较寄存器中。有效捕获或比较寄存器的值将会与AD16C4T1_COUNT中的值进行比较，并在CH3上输出。 信道CH3配置为输入: CCRV3为由上一个输入捕获事件(I3)发生时的计数器数值。

18. 5. 2. 21 通道捕获或比较寄存器 4(AD16C4T1_CCVAL4)

通道捕获或比较寄存器 4(AD16C4T1_CCVAL4)																													
偏移地址：0x50																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																CCRV4<15:0>															

—	Bits 31-16	—	—
CCRV4	Bits 15-0	R/W	**捕获或比较数值4** 信道CH4配置为输出: CCRV4是捕获或比较寄存器的预装载值。 如果在AD16C4T1_CHMR2寄存器中的预载功能没有选中，CCRV4中的值将被永久载入;否则每当发生更新事件，预载值将会复制到有效的捕获或比较寄存器中。有效捕获或比较寄存器的值将会与AD16C4T1_COUNT中的值进行比较，并在CH4上输出。 信道CH1配置为输入: CCRV4为由上一个输入捕获事件(I)发生时的计数器数值。

18. 5. 2. 22 刹车和死区配置寄存器(AD16C4T1_BDCFG)

刹车和死区配置寄存器(AD16C4T1_BDCFG)																													
偏移地址：0x54																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GOEN	AOEN	BRKP	BRKEN	OFFSSR	OFFSSI	LOCKLVL<1:0>		DT<7:0>							

—	Bits 31-16	—	—
GOEN	Bit 15	R/W	**通道主要输出开启** 一旦刹车输入有效，该位会由硬件异步清零。该位可由软件设置为1或自动设置为1(取决于AOEN位)。该位仅作用于配置为输出的信道。 0: CHn和CHnN输出关闭或强制为空闲状态。 1: 如果CHn和CHnN各自的开启位都设置为1(AD16C4T1_CCEP 寄存器中的CCnEN 和CCnNEN位)，则开启CHn和CHnN输出。
AOEN	Bit 14	R/W	**通道自动输出开启** 在发生更新事件时，将 GOEN 位置起 0: GOEN 仅可由软件设置为 1 1: GOEN 可由软件设置为 1，也可以在下一个更新事件发生且刹车输入无效时自动设置为 1。 注: 当 AD16C4T1_BDCFG 寄存器中的 LOCKLVL 位已被设置为锁定级别 1，则该位无法修改。
BRKP	Bit 13	R/W	**选择刹车极性** 0: 刹车输入 BRK 为低电平有效 1: 刹车输入 BRK 为高电平有效 注: 当 AD16C4T1_BDCFG 寄存器中的 LOCKLVL 位已被设置为锁定级别 1，则该位无法修改
BRKEN	Bit 12	R/W	**开启刹车** 0: 刹车输入(BRK 和 CCS 时钟失效事件)关闭 1: 刹车输入(BRK 和 CCS 时钟失效事件)开

			启 注：当 AD16C4T1_BDCFG 寄存器中的 LOCKLVL 位已被设置为锁定级别 1，则该位无法修改
OFFSSR	Bit 11	R/W	**运行模式下关闭状态选择** 此位在 GOEN 为 1 且设置为输出模式并具有互补输出的通道。 0：当定时器关闭时，输出关闭(CHn/CHnN 开启输出信号=0) 1：当定时器关闭时，当 CCnEN 为 1 或 CCnNEN 为 1 时，便将 CHn/CHnN 输出设为无效电平。然后设置 CHn/CHnN 开启输出信号为 1。 注：当 AD16C4T1_BDCFG 寄存器中的 LOCKLVL 位已被设置为锁定级别 2，则该位无法修改。
OFFSSI	Bit 10	R/W	**空闲模式下关闭状态选择** 此位在 GOEN 为 0 且设置为输出模式并具有互补输出的通道。 0：当定时器关闭时，输出关闭(CHn 或 CHnN 开启输出信号为 0) 1：当定时器关闭时，当 CCnEN 为 1 或 CCnNEN 为 1 时，便将 CHn/CHnN 输出强制为空闲电平。然后设置 CHn/CHnN 开启输出信号为 1。 注：当 AD16C4T1_BDCFG 寄存器中的 LOCKLVL 位已被设置为锁定级别 2，则该位无法修改。
LOCKLVL	Bit 9-8	R/W	**锁定级别配置** 针对软件错误，该位提供写保护 00：锁定关闭－不提供写保护 01：锁定级别 1 时，无法对 AD16C4T1_BDCFG 寄存器中的 DT 位、BRKEN、BRKP 和 AOEN 位，以及 AD16C4T1_CON2 寄存器中的 OISSx 和 OISSxN 位执行写操作。 10：锁定级别 2 时，无法对锁定级别 1 与 CH 极性位(AD16C4T1_CCEP 寄存器中的

			CCnPOL 与 CCnNPOL 位，只要相关信道由 CCnSSEL 配置为输出)以及 OFFSSR 和 OFFSSI 执行写操作。 11: 锁定级别 3 = 锁定级别 2 与 CH 控制位 (AD16C4T1_CHMRn 寄存器中的 CHnMOD 和 CHnPEN 位，只要相关信道由 CCnSSEL 配置为输出)执行写操作。 注: 锁定配置位仅在复位后可写一次。一旦对 AD16C4T1_BDCFG 寄存器中 LOCKLVL 位写入非 00 数值，其设置内容在下一个复位前都处于冻结状态。
DT	Bit 7-0	R/W	**死区延时** 设置值该位定义了互补输出之间插入的死区时间。DT 对应的就是该时间段。 DT[7:5]=0xx ⇒ DT=DT[7:0] x t_{dtg}，式中 $t_{dtg}=t_{DTS}$。 DT[7:5]=10x ⇒ DT=(64+DT[5:0])x t_{dtg}，式中 $t_{dtg}=2xt_{DTS}$。 DT[7:5]=110 ⇒ DT=(32+DT[4:0])x t_{dtg}，式中 $t_{dtg}=8xt_{DTS}$。 DT[7:5]=111 ⇒ DT=(32+DT[4:0])x t_{dtg}，式中 $t_{dtg}=16xt_{DTS}$。 注: 当 AD16C4T1_BDCFG 寄存器中的 LOCKLVL 位已被设置为锁定级别 1，2 或 3，则该位无法修改

18. 5. 2. 23 DMA 事件开启寄存器(AD16C4T1_DMAEN)

DMA 事件开启寄存器(AD16C4T1_DMAEN)																														
偏移地址：0x58																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TRGI	COM	CH4	CH3	CH2	CH1	UPD

—	Bits 31-7	—	—
TRGI	Bit 6	R/W	**触发事件的DMA请求开启** 0: 触发事件的DMA请求关闭 1: 触发事件的DMA请求开启
COM	Bit 5	R/W	**COM 的 DMA 请求开启** 0: COM 的 DMA 请求关闭 1: COM 的 DMA 请求开启
CH4	Bit 4	R/W	**通道 4 捕获或比较匹配的 DMA 请求开启** 0: 通道 4 捕获或比较匹配的 DMA 请求关闭 1: 通道 4 捕获或比较匹配的 DMA 请求开启
CH3	Bit 3	R/W	**通道3捕获或比较匹配的DMA请求开启** 0: 通道3捕获或比较匹配的DMA请求关闭 1: 通道3捕获或比较匹配的DMA请求开启
CH2	Bit 2	R/W	**通道 2 捕获或比较匹配的 DMA 请求开启** 0: 通道 2 捕获或比较匹配的 DMA 请求关闭 1: 通道 2 捕获或比较匹配的 DMA 请求开启
CH1	Bit 1	R/W	**通道 1 捕获或比较匹配的 DMA 请求开启** 0: 通道 1 捕获或比较匹配的 DMA 请求关闭 1: 通道 1 捕获或比较匹配的 DMA 请求开启
UPD	Bit 0	R/W	**更新事件的 DMA 请求开启** 0: 更新事件的 DMA 请求关闭 1: 更新事件的 DMA 请求开启

18. 5. 2. 24 输入选择寄存器(AD16C4T_OPTR)

输入选择寄存器(AD16C4T_OPTR)																											
偏移地址：0x5C																											
复位值：0x0000 0000																											
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																						ETR_RMP<1:0>		CH4_RMP<1:0>		CH3_RMP<1:0>		CH2_RMP<1:0>		CH1_RMP<1:0>	

—	Bits 31-10	—	—
ETR_RMP	Bit 9-8	R/W	**ETR输入映射选择** 00: AD16C4T1_ETR输入 01: CMP1_OUT 10: CMP2_OUT 11: Analog window watchdog (AWD1_OUT)
CH4_RMP	Bit 7-6	R/W	**CH4输入映射选择** 00: AD16C4T1_CH4输入 其他: 保留
CH3_RMP	Bit 5-4	R/W	**CH3输入映射选择** 00: AD16C4T1_CH3输入 其他: 保留
CH2_RMP	Bit 3-2	R/W	**CH2输入映射选择** 00: AD16C4T1_CH2输入 01: CMP2_OUT 其他: 保留
CH1_RMP	Bit 1-0	R/W	**CH1 输入映射选择** 00: AD16C4T1_CH1 输入 01: CMP1_OUT 其他: 保留

第19章 通用定时器 32 位 4 通道 (GP32C4T1)

19. 1 概述

通用定时器 32 位 4 通道(GP32C4T1)是一个设置灵活的定时器模块，它包含一个 32 位计数器，具有定时、计数、脉冲输入信号测量(输入捕获)、产生特定 PWM 波形(输出比较)等功能。

19. 2 特性

- 三種 32 位元自動重載計數器模式
  - 递增
  - 递减
  - 递增/递减
- 16 位可编程预分频器，可在定时器运行时对计数器工作时钟进行 1 到 65536 之间的任意分频
- 带有四个独立通道，每个通道支持以下功能
  - 输入捕获
  - 输出比较
  - PWM 输出(边沿和中心对齐模式)
  - 单脉冲输出
- 同步电路用于外部信号控制定时器及内部互联多个定时器
- 下列事件支持产生中断与 DMA 请求：
  - 更新事件：计数器上溢或下溢，计数器初始化(通过软件或内部与外部触发)
  - 触发事件：计数器开启、停止、初始化或通过内部与外部触发计数
  - 输入捕获
  - 输出比较
- 支持增量(正交)编码
- 外部时钟输入触发计数器

19. 3结构图

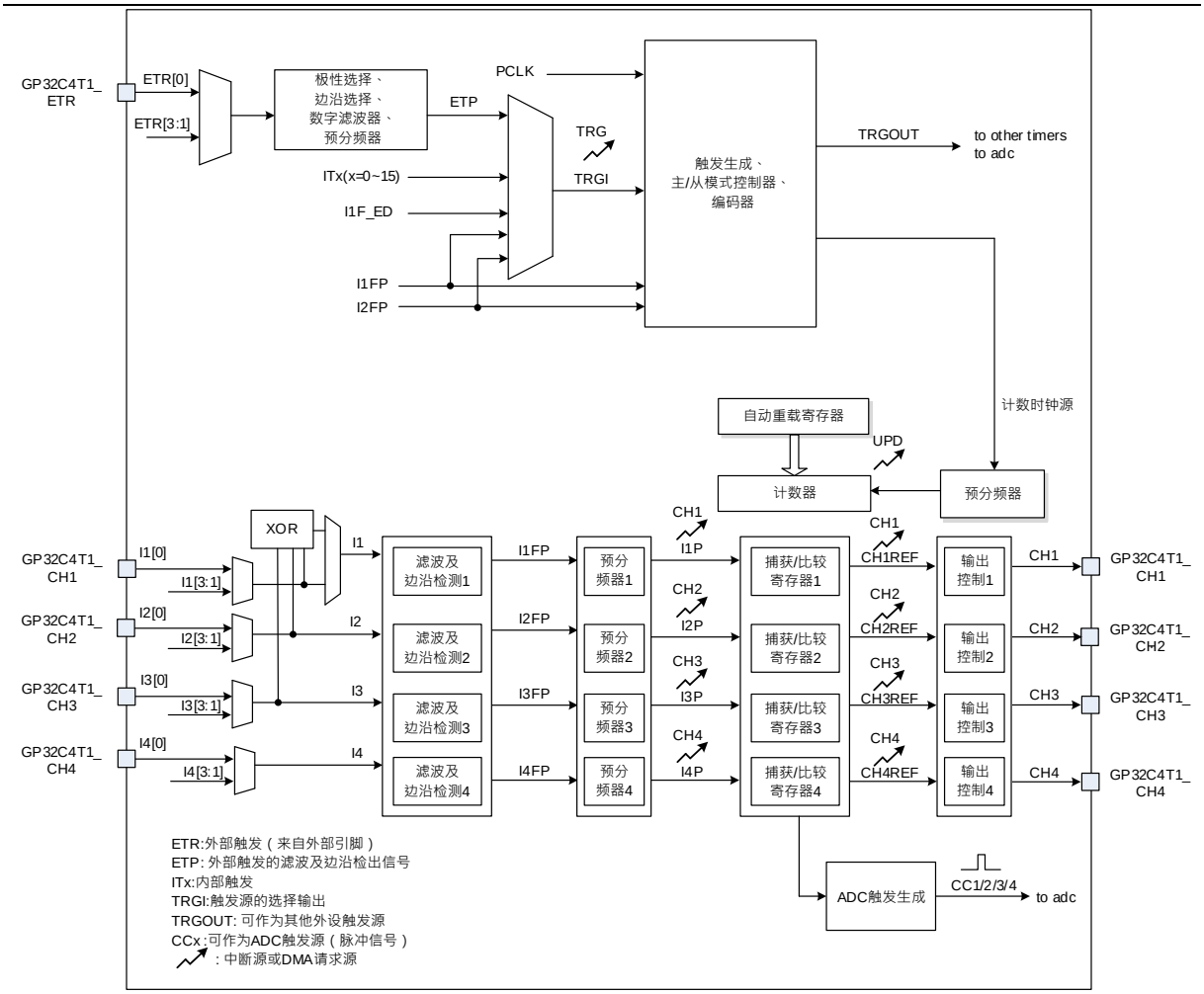


图 19-1 GP32C4T1 定时器结构框图

19. 4 功能描述

19. 4. 1 定时单位

定时器包含一个 32 位的计数器(**GP32C4T1_COUNT**)，计数时钟由预分频寄存器(**GP32C4T1_PRES**)进行分频。计数周期由自动重载计数器(**GP32C4T1_AR**)设定。

自动重载寄存器(**GP32C4T1_AR**) 是一个可缓冲的寄存器。设置 **GP32C4T1_CON1** 寄存器的 ARPEN 位为 0 时，关闭 **GP32C4T1_AR** 寄存器缓冲功能，写入 **GP32C4T1_AR** 的重载值会被立即反应到影子寄存器中；而设置 ARPEN 位为 1 时，**GP32C4T1_AR** 寄存器具有缓冲功能，当产生更新事件(UPD)时，**GP32C4T1_AR** 寄存器的重载值才会被更新到影子寄存器中。

设置 **GP32C4T1_CON1** 寄存器的 DISUE 位为 0 时，计数器递增计数达到上溢值或递减达到下溢值时会产生更新事件(UPD)。另外可以通过 **GP32C4T1_SGE** 寄存器的 SGUPD 位为 1 产生软件更新事件。设置 **GP32C4T1_CON1** 寄存器的 CNTEN 为 1 时，计数器开始计数。

注：计数器在设置 CNTEN 位为 1 后，在 1 个 APB 时钟周期后开始计数。

预分频器可对定时器工作时钟进行 **GP32C4T1_PRES** 寄存器数值+1 次分频。由于 **GP32C4T1_PRES** 是一个可缓冲寄存器，因此定时器运行时可以对该寄存器进行修改，修改值在下次更新事件(UPD)后有效。

下图给出了定时器运行过程中改变预分频值时计数器的计数情况。

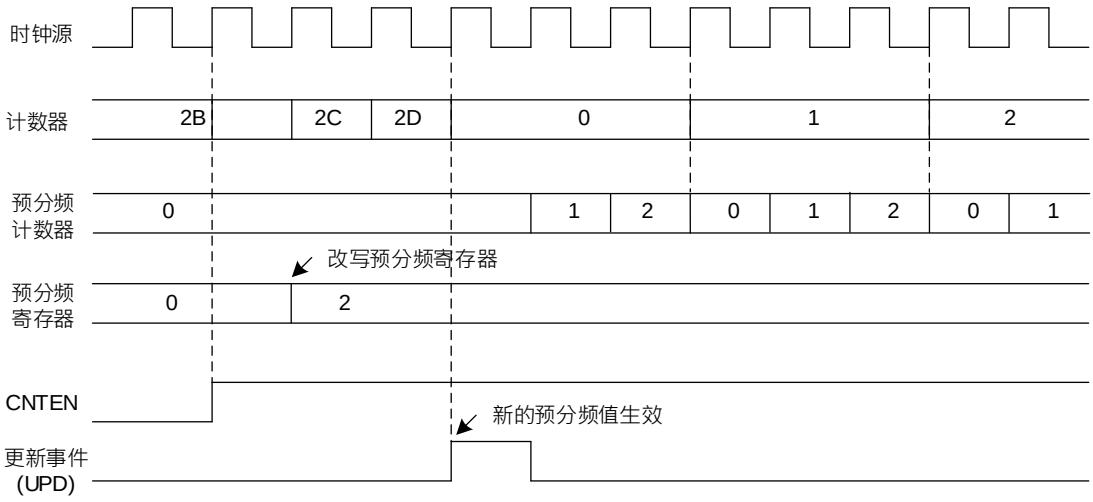


图 19-2 预分频值计数时序图

19. 4. 2 时钟源

计数器工作时钟可以选择内部时钟(INT_CLK)、外部时钟源 1(I1、I2)、外部时钟源 2(ETR) 与内部触发输入(IT0~IT15)。

19. 4. 2. 1 内部时钟源(INT_CLK)

若从模式控制器被关闭(**GP32C4T1_SMCON** 寄存器的 SMODS 位为 000b)，则 **GP32C4T1_CON1** 寄存器的 CNTEN、DIRSEL 位与 **GP32C4T1_SGE** 寄存器的 SGUPD 位为控制位，这些位只能软件修改(SGUPD 位除外，仍由硬件自动清除)。一旦设置 CNTEN 位为 1，预分频器就由内部 INT_CLK 提供时钟。

下图给出了正常模式下没有分频控制电路和递增计数的情况。

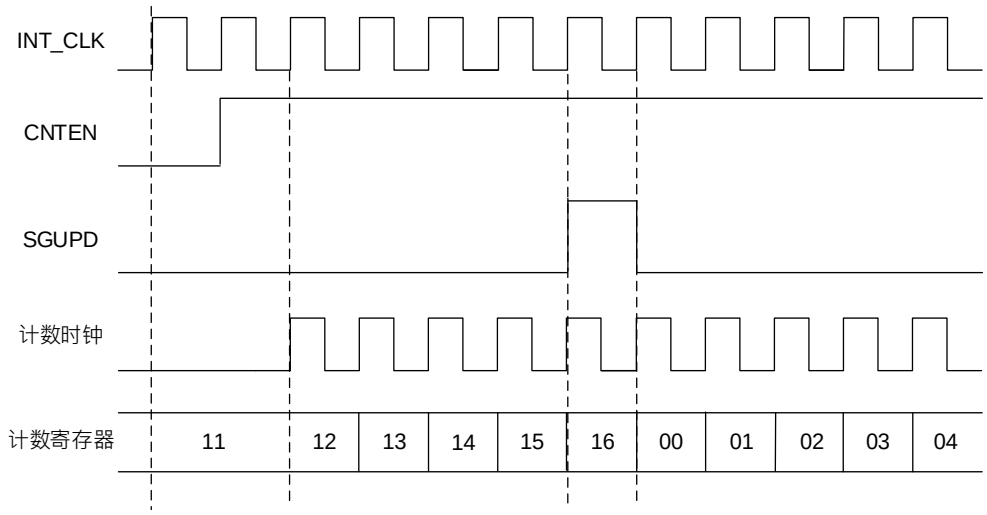


图 19-3 采用内部时钟计数

19. 4. 2. 2 外部时钟源 1

GP32C4T1_SMCON 寄存器的 SMODS 位为 111b 时，可选择外部时钟源 1。计数器可根据选定的上升沿或下降沿计数。

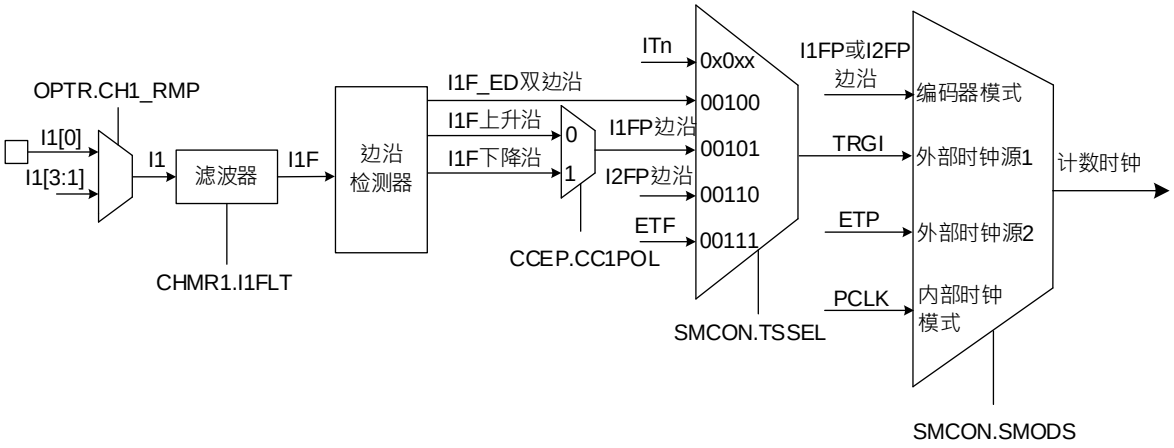


图 19-4 外部时钟连接

设置计数器外部时钟源为 I1 输入，并在 I1 上升沿时计数，步骤如下：

1. 设置 **GP32C4T1_OPTR** 寄存器的 CH1_RMP 位为 00b，选择 I1 由 IO 输入(默认值皆为 IO 输入，后续不再特别描述)。
2. 设置 **GP32C4T1_CHMR1** 寄存器 CC1SSEL 位为 01b，让通道 1 为 I1 输入
3. 设置 **GP32C4T1_CHMR1** 寄存器的 I1FLT 位，输入滤波器时间(若没有滤波器需求，维持 I1FLT 位为 0000)。
4. 设置 **GP32C4T1_CCEP** 寄存器的 CC1NPOL 位为 0、CC1POL 位为 0，选择极性为上升沿。
5. 设置 **GP32C4T1_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00101b，选择外部时钟源为 I1。
6. 设置 **GP32C4T1_SMCON** 寄存器的 SMODS 位为 111b，选择定时器外部时钟模式 1。
7. 设置 **GP32C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

当 I1 上出现一次上升沿时，计数器计数一次且设置 TRGI 标志位为 1。I1 上升沿与实际时钟间的延时，取决于 I1 输入的同步电路。

19. 4. 2. 3 外部时钟源 2

设置 **GP32C4T1_SMCON** 寄存器的 ECM2EN 位为 1 选定外部时钟源 2。

计数器可对外部触发输入 ETR 进行上升沿或下降沿计数。

下图给出了外部触发输入模块的概况。

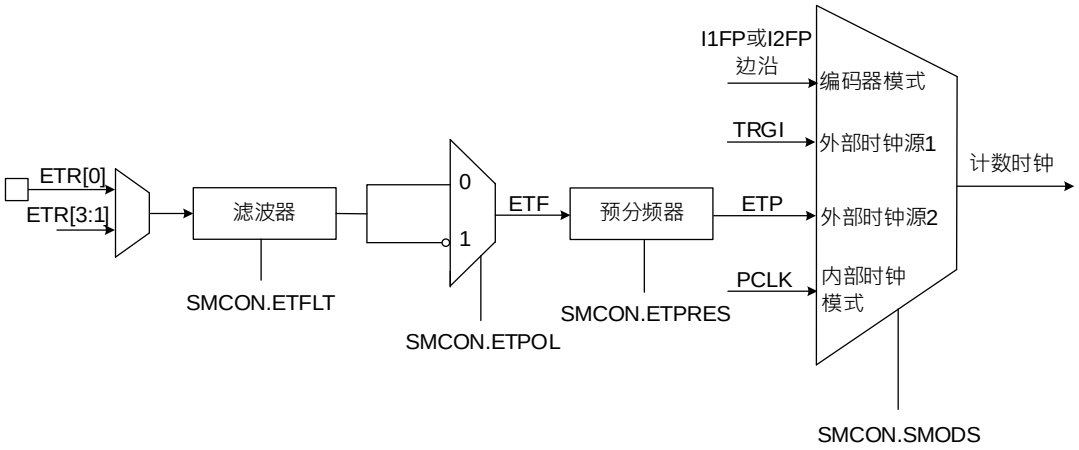


图 19-5 外部触发输入模块

设置计数器为外部时钟源 2，设置过程如下：

1. 设置 **GP32C4T1_SMCON** 寄存器的 ETFLT 位，输入滤波器时间(若没有滤波器需求，维持 ETFLT 位为 0000)。
2. 设置 **GP32C4T1_SMCON** 寄存器的 ETPOL 位，检测 ETR 引脚上升沿或下降沿。
3. 设置 **GP32C4T1_SMCON** 寄存器的 ECM2EN 位为 1，开启外部时钟模式 2。
4. 设置 **GP32C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

计数器在每个 ETR 上升沿计数一次。

19. 4. 2. 4 内部触发输入(ITn)

设置 **GP32C4T1_SMCON** 寄存器的 SMODS 位为 111b，外部时钟模式 1。计数器根据选定的内部输入端(ITn)的上升沿计数。

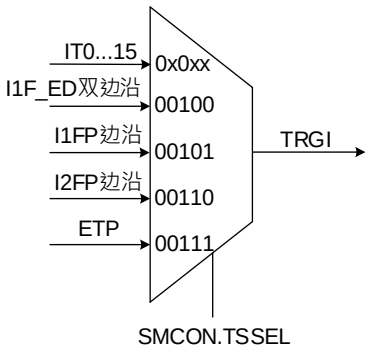


图 19-6 ITn 内部时钟连接

设置计数器在 ITn 输入端的上升沿递增计数，步骤如下：

1. 设置 **GP32C4T1_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位，选定 ITn 作为外部时钟源。
2. 设置 **GP32C4T1_SMCON** 寄存器的 SMODS 位为 111b，设置外部时钟模式 1。
3. 设置 **GP32C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

ITn 产生上升沿时，计数器计数一次。

19. 4. 3 计数模式

19. 4. 3. 1 递增计数模式

设置 **GP32C4T1_CON1** 寄存器的 DIRSEL 位为 0 时，定时器设置为递增模式，计数器从 0 开始递增，直至 **GP32C4T1_AR** 寄存器数值；然后从 0 重新开始计数并产生一个更新事件(UPD)。

设置 **GP32C4T1_SGE** 寄存器的 SGUPD 位为 1(通过软件)或使用从模式控制器同样会产生更新事件。

通过软件设置 **GP32C4T1_CON1** 寄存器中的 DISUE 位为 1 可关闭更新事件(UPD)产生。可以避免在写入预装载寄存器数值时产生更新事件(UPD)更新影子寄存器。在设置 DISUE 位为 0 之前都不会产生更新事件(UPD)，计数器和预分频器都会重新从 0 开始计数。

此外，**GP32C4T1_CON1** 寄存器中的 UERSEL 位为 1 时，设置 SGUPD 位为 1 会产生更新事件(UPD)，但不会更新更新标志位(**GP32C4T1_RIF** 寄存器的 UPD 位)，也不会产生中断或 DMA 请求。在这个配置下，发生捕获事件时将计数器清零，将不会同时产生更新中断和捕获中断。

发生更新事件(UPD)时，所有预装载寄存器会更新到影子寄存器：

- 更新 **GP32C4T1_AR** 寄存器数值到影子寄存器
- 更新 **GP32C4T1_PRES** 寄存器数值到影子寄存器

下图为设置 **GP32C4T1_AR** 寄存器为 16h，预分频设为 2 分频时的计数器时序。

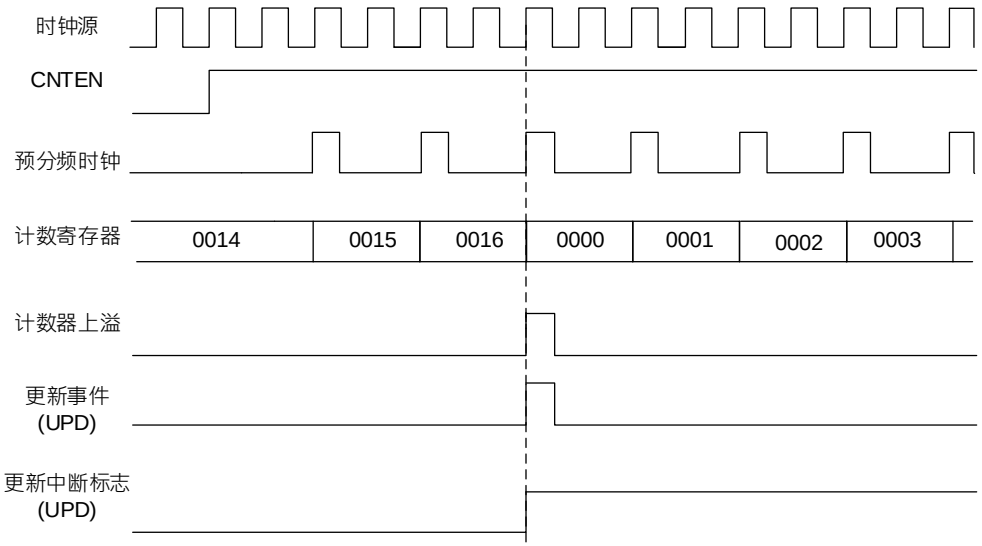


图 19-7 计数器递增计数时序图

ARPEN=0(自动重载功能关闭)

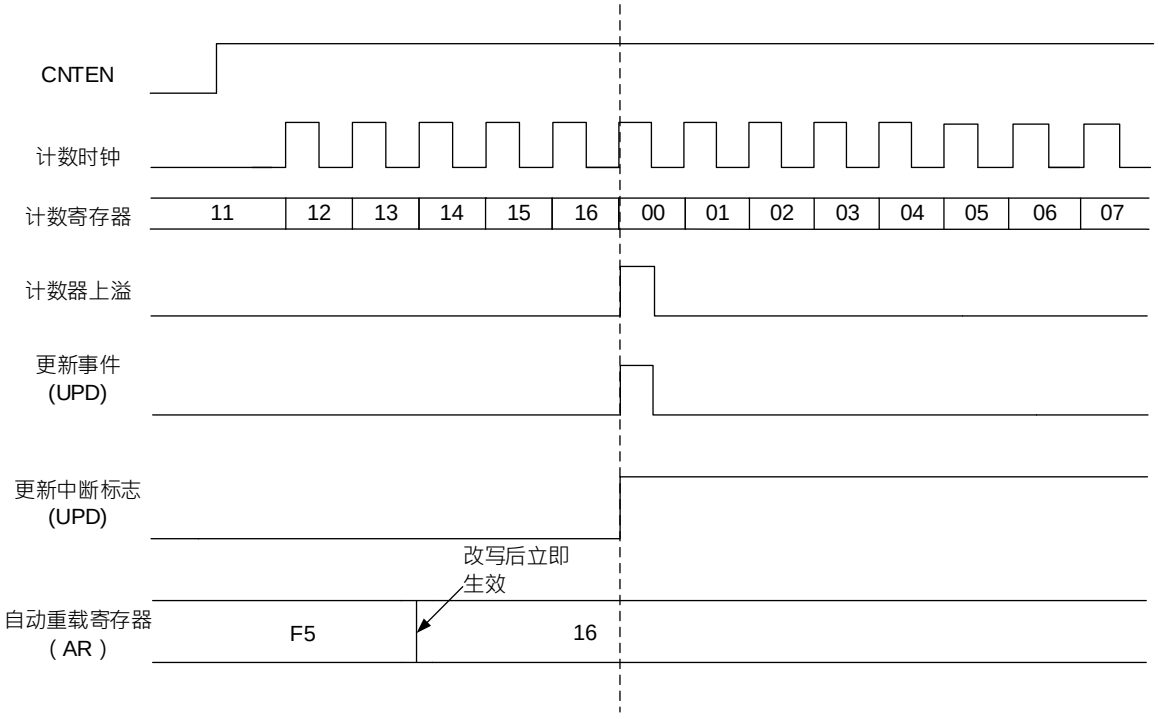


图 19-8 设置 ARPEN 位为 0 时计数器时序图

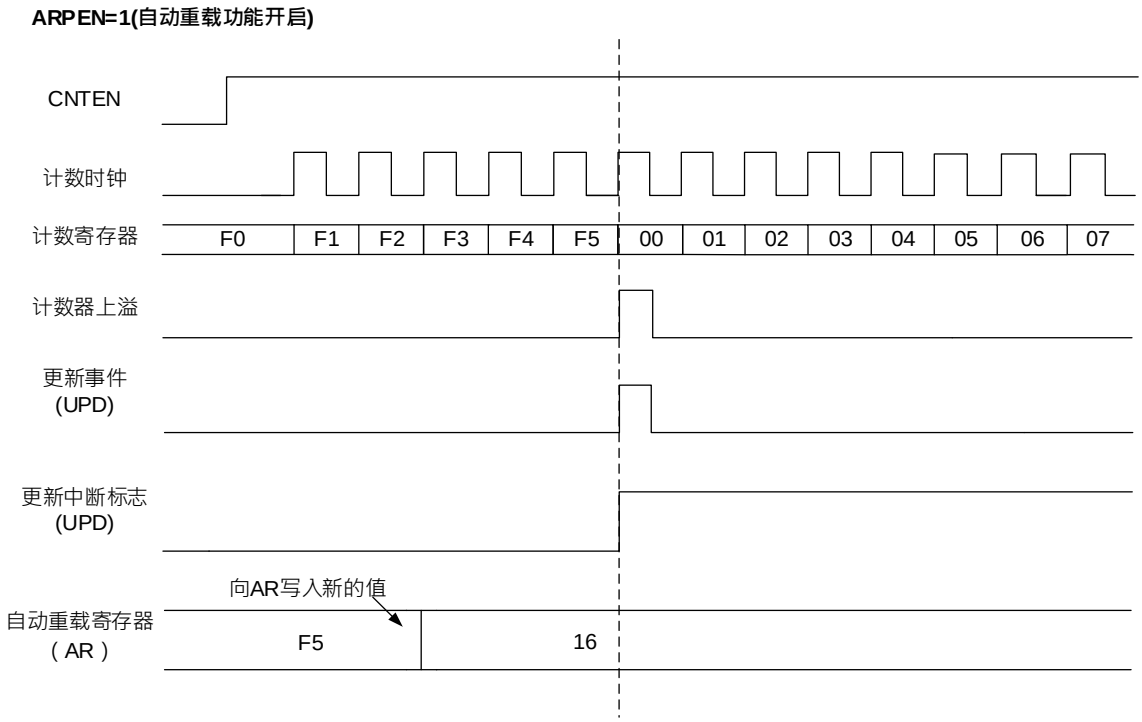


图 19-9 设置 ARPEN 位为 1 时计数器时序图

19. 4. 3. 2 递减计数模式

设置 **GP32C4T1_CON1** 寄存器的 DIRSEL 位为 1 时，定时器设置为递减模式，计数器从 **GP32C4T1_ AR** 寄存器数值开始递减至 0；然后从 **GP32C4T1_AR** 寄存器数值重新递减并产生更新事件(UPD)。

设置 **GP32C4T1_SGE** 寄存器的 SGUPD 位为 1(通过软件)或使用从模式控制器同样会产生更新事件。

通过软件设置 **GP32C4T1_CON1** 寄存器中的 DISUE 位为 1 可关闭更新事件(UPD)产生。可以避免在写入预装载寄存器数值时产生更新事件(UPD)更新影子寄存器。在设置 DISUE 位为 0 之前都不会产生更新事件(UPD)，计数器会重新从当前自动重载值开始计数，而预分频器从 0 开始计数。

此外，**GP32C4T1_CON1** 寄存器中的 UERSEL 位为 1 时，设置 SGUPD 位为 1 会产生更新事件(UPD)，但不会更新更新标志位(**GP32C4T1_RIF** 寄存器的 UPD 位)，也不会产生中断或 DMA 请求。在这个配置下，发生捕获事件时将计数器清零，将不会同时产生更新中断和捕获中断。

发生更新事件(UPD)时，所有预装载寄存器会更新到影子寄存器。

下图为设置 **GP32C4T1_AR** 寄存器为 27h，预分频设为 1 分频时的计数器时序。

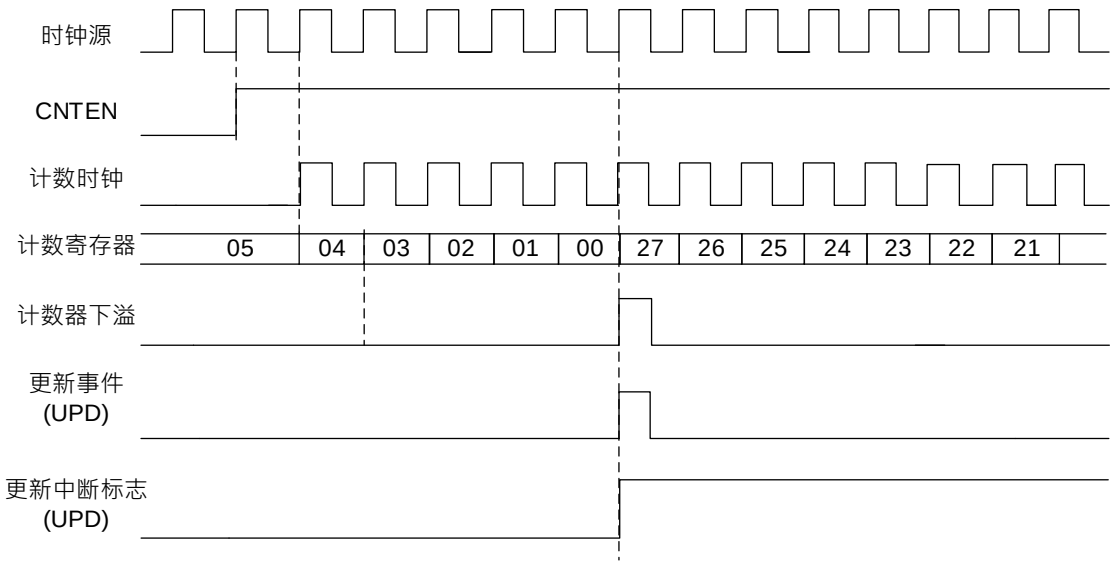


图 19-10 计数器递减计数时序图

19. 4. 3. 3 中心对齐模式

设置 **GP32C4T1_CON1** 寄存器的 CMSEL 位数值不等于 00 时，定时器工作在中心对齐模式。定时器设置为中心对齐模式时，计数器先从 0 开始递增至 **GP32C4T1_AR** 寄存器数值减 1，并产生更新事件(UPD)；接着计数器从 **GP32C4T1_AR** 寄存器数值递减至 1，并产生更新事件，之后从 0 开始重新计数，因此方式循环计数。将信道配置为输出模式时，当计数器递减计数(中心对称模式 1，设置 CMSEL 位为 01)、计数器递增计数(中心对称模式 2，设置 CMSEL 位为 10)、计数器递增和递减计数(中心对称模式 3，设置 CMSEL 位为 11)时，其将设置输出比较中断标志为 1。

在中心对齐模式下，**GP32C4T1_CON1** 寄存器的 DIRSEL 位无法进行写操作，该位由硬件自动更新指示当前计数方向。

计数上溢、下溢或者设置 **GP32C4T1_SGE** 寄存器的 SGUPD 位为 1(通过软件)或使用从模式控制器都会产生更新事件。设置 **GP32C4T1_CON1** 寄存器的 DIRSEL 位为 0 时，计数器由 0 开始递增。设置 **GP32C4T1_CON1** 寄存器的 DIRSEL 位为 1 时计数器由 **GP32C4T1_AR** 寄存器数值开始递减，而预分频器都是从 0 开始计数。

通过软件设置 **GP32C4T1_CON1** 寄存器中的 DISUE 位为 1 可关闭更新事件(UPD)产生。可以避免在写入预装载寄存器数值时产生更新事件(UPD)更新影子寄存器。在设置 DISUE 位为 0 之前都不会产生更新事件(UPD)，在正常产生更新事件时，计数器和预分频器都会重新从 0 开始计数。

此外，设置 **GP32C4T1_CON1** 寄存器中的 UERSEL 位为 1 时，设置 SGUPD 位为 1 会产生更新事件(UPD)，但不会更新更新标志位(**GP32C4T1_RIF** 寄存器的 UPD 位)，也不会产生中断或 DMA 请求。在这个配置下，发生捕获事件时将计数器清零，将不会同时产生更新中断和捕获中断。

发生更新事件(UPD)时，所有预装载寄存器会更新到影子寄存器。

注：若更新源为计数器上溢，自动重载会在计数器重载前更新。因此下一周期即为预期值(计数器载入新值)。

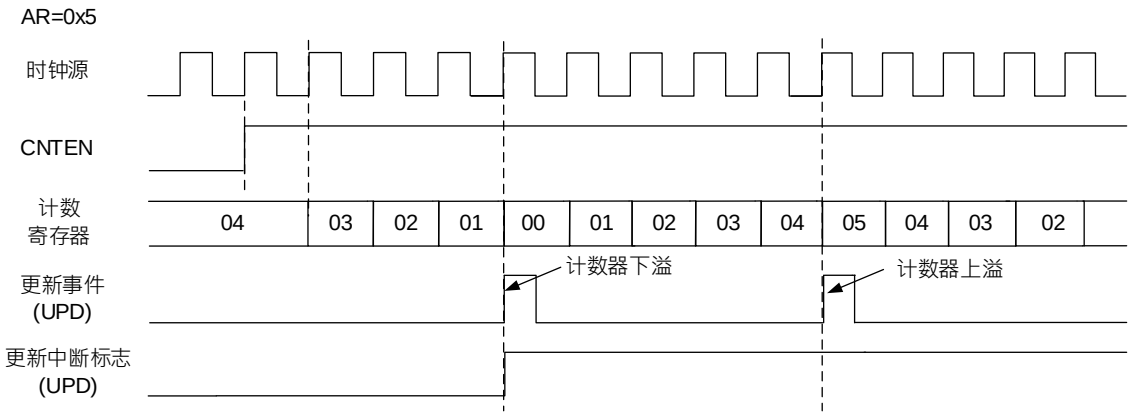


图 19-11 计数器递增减计数时序图

19. 4. 4 捕获或比较通道

输入电路对 In 输入端的信号进行采样，产生一个经过滤波的信号 InF。之后一个可极性选择的边沿检测器产生 In 边沿检测信号，该信号可作为从模式控制器的触发输入或作为捕获控制命令，且该信号经过分频后进入捕获寄存器。

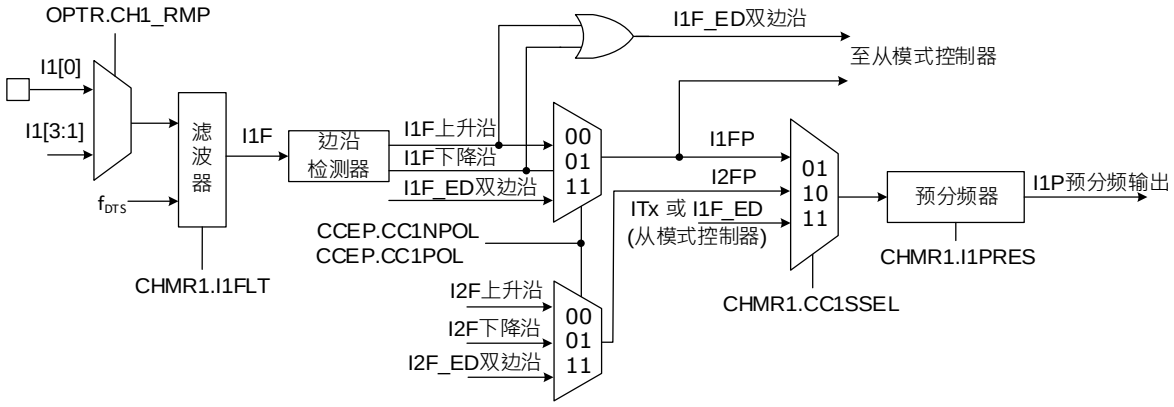


图 19-12 捕获或比较通道

输出部分根据 **GP32C4T1_CHMRn** 寄存器中 CHnMOD 位的配置，产生一个输出比较参考讯号 CHnREF(高电平有效)，该信号最终输出的极性由 **GP32C4T1_CHMRn** 寄存器中 CCnPOL/CCnNPOL 位决定。

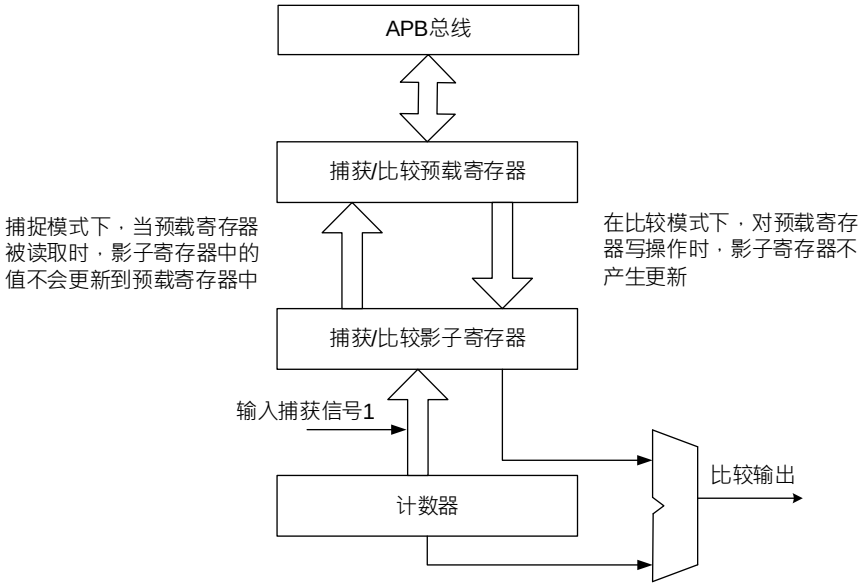


图 19-13 捕获或比较通道结构图

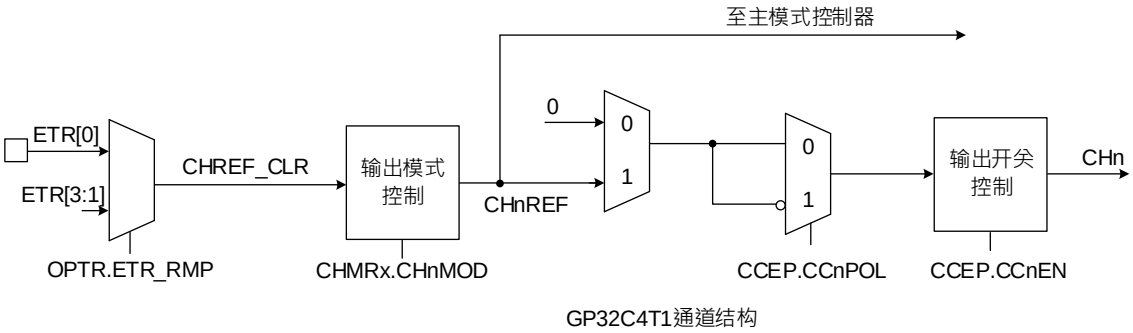


图 19-14 捕获或比较通道的输出部分

19. 4. 5 输入捕获模式

在输入捕获模式下，当 In 上检测到有效边沿变化时，计数器数值就会被锁存到捕获或比较寄存器(**GP32C4T1_CCVALn**)中。当捕获发生时，**GP32C4T1_RIF** 寄存器中相应的 CHn 标志位会被设置为 1，同时触发中断(如果有开启)。

当 **GP32C4T1_RIF** 寄存器中相应的 CHn 标志位已经为 1，又发生捕获事件时，**GP32C4T1_RIF** 寄存器中相应的过捕获 CHnOV 标志位也会被设定为 1，表示发生过捕获事件。

通过软件设置 **GP32C4T1_ICR** 寄存器的 CHn 位与 CHnOV 位为 1，清除 **GP32C4T1_RIF** 寄存器中 CHn 与 CHnOV 标志位。

以下为以 I1 输入上升沿作为捕获输入时的流程：

1. 设置 **GP32C4T1_CHMR1** 寄存器的 CC1SSEL 位为 01b，选择 I1 为有效输入端。只要 CC1SSEL 不为 00b，通道就会被设置成输入，且 **GP32C4T1_CCVAL1** 寄存器为只读。
2. 设置 **GP32C4T1_CHMR1** 寄存器的 I1FLT 位为 0011b，选择输入滤波器的持续时间，当 I1 检测到新的电平，连续 8 次采样才确认电平变化有效。
3. 设置 **GP32C4T1_CCEP** 寄存器的 CC1NPOL 位为 0、CC1POL 位为 0，选择 I1 通道上升沿有效。
4. 设置 **GP32C4T1_CHMR1** 寄存器的 I1PRES 位为 00b，关闭捕获预分频器，让每次有效上升沿皆执行捕获操作。
5. 设置 **GP32C4T1_CCEP** 寄存器的 CC1EN 位为 1，开启捕获计数器。
6. 如有需要，设置 **GP32C4T1_IER** 寄存器的 CH1 位为 1，开启中断请求。设置 **GP32C4T1_DMAEN** 寄存器的 CH1 位为 1，开启 DMA 请求。

当发生输入捕获时：

1. 有效边沿产生，**GP32C4T1_CCVAL1** 寄存器获取计数器数值。
2. 硬件自动设置 CH1 标志位为 1(中断标志)。若至少 2 个连续的捕获发生，但标志位没有及时清除，则会设置 CH1OV 位为 1。
3. 中断的产生取决于 **GP32C4T1_IER** 寄存器的 CH1 位。
4. DMA 请求的产生取决于 **GP32C4T1_DMAEN** 寄存器的 CH1 位。

为了处理捕获溢出，建议在读取过捕获标志位前先读取捕获数据。避免丢失在读过捕获标志位到读捕获数据之间的重复捕获讯息。

注：捕获中断请求可由软件设置 GP32C4T1_SGE 寄存器的 SGCHn 位产生。

19. 4. 6 PWM 输入模式

测量 I1 上 PWM 信号的周期和占空比的过程如下：

1. 设置 **GP32C4T1_CHMR1** 寄存器的 CC1SSEL 位为 01b，通道 1 选择 I1 为有效输入端。
2. 设置 **GP32C4T1_CHMR1** 寄存器的 I1FLT 位为 0011b，选择输入滤波器的持续时间，当 I1 检测到新的电平，连续 8 次采样才确认电平变化有效。
3. 设置 **GP32C4T1_CCEP** 寄存器的 CC1NPOL 位为 0、CC1POL 位为 0，通道 1 选择 I1 上升沿有效，用于捕获数据到 **GP32C4T1_CCVAL1** 寄存器和计数器清零。
4. 设置 **GP32C4T1_CHMR1** 寄存器的 CC2SSEL 位为 10b，通道 2 选择 I1 为有效输入端。
5. 设置 **GP32C4T1_CCEP** 寄存器的 CC2NPOL 位为 0、CC2POL 位为 1，通道 2 选择 I1 下降沿有效，用于捕获数据到 GP32C4T1_CCVAL2 寄存器。
6. 设置 **GP32C4T1_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00101b，选择 I1 滤波后信号为有效的触发输入。
7. 设置 **GP32C4T1_SMCON** 寄存器的 SMODS 位为 100b，选择从模式控制器为复位模式。
8. 设置 **GP32C4T1_CCEP** 寄存器的 CC1EN 位和 CC2EN 位为 1，开启捕获。

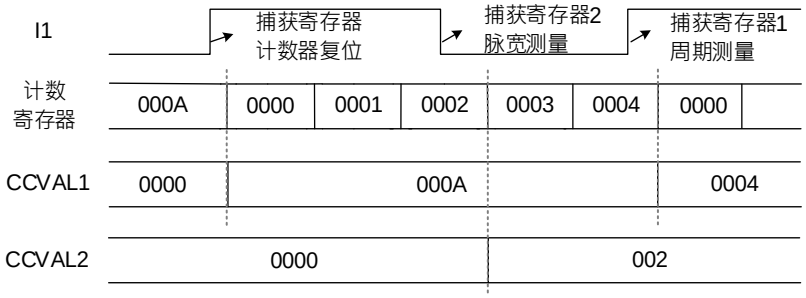


图 19-15 PWM 输入模式时序

19. 4. 7 PWM 输出模式

脉宽调制模式可以产生一个由 **GP32C4T1_AR** 寄存器设置输出频率，由 **GP32C4T1_CCVALn** 寄存器设置占空比的信号。

每个信道的PWM模式是相互独立的(每个CHn输出一个PWM)，只需设置**GP32C4T1_CHMRn** 寄存器的 CHnMOD 位为 110(PWM 模式 1)或为 111(PWM 模式 2)。

可通过设置 **GP32C4T1_CHMRn** 寄存器的 CHnPEN 位为 1 来开启相应的预装载寄存器，及设置 **GP32C4T1_CON1** 寄存器的 ARPEN 位为 1 来开启自动重载功能。

开启预装载、自动重载功能后，只有当更新事件发生时，才会将预装载寄存器写入到影子寄存器中，因此在开启计数前，必须通过设置 **GP32C4T1_SGE** 寄存器的 SGUPD 位为 1 来初始化所有的寄存器。

CHn 的极性可通过<<GP32C4T1_CCEP>>寄存器的 CCnPOL 位设置，有效电平可设置为高电平或低电平。CHn 的输出由<<GP32C4T1_CCEP>>寄存器的 CCnEN 位控制。 +

在 PWM 模式(1 或 2)中，**GP32C4T1_COUNT** 会持续与 **GP32C4T1_CCVALn** 寄存器数值比较，以确定 **GP32C4T1_CCVALn < = GP32C4T1_COUNT** 或 **GP32C4T1_CCVALn >= GP32C4T1_COUNT**(取决于计数器的计数方向)。

定时器产生 PWM 波形是边沿对齐或中心对齐，取决于 **GP32C4T1_CON1** 寄存器的 CMSEL 位。

19. 4. 7. 1 PWM 边沿对齐模式

◆ 递增计数设置

设置 **GP32C4T1_CON1** 寄存器的 DIRSEL 位为 0 时，计数器递增计数。

下图以 CH1 输出 PWM 模式 1 为例，相关配置流程如下:

1. 设置 **GP32C4T1_CHMR1** 寄存器的 CH1MOD 位为 110b，选择 PWM 模式 1。
2. 设置 **GP32C4T1_CCEP** 寄存器的 CC1POL 位为 0，选择 CH1 通道输出为高电平有效。
3. 设置 **GP32C4T1_CCVAL1** 寄存器的 CCRV1 位为 04h，当计数器数到 4 时，PWM 输出低电平。
4. 设置 **GP32C4T1_AR** 寄存器的 ARV 位为 08h，当计数器上数到 8 后重载。
5. 设置 **GP32C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

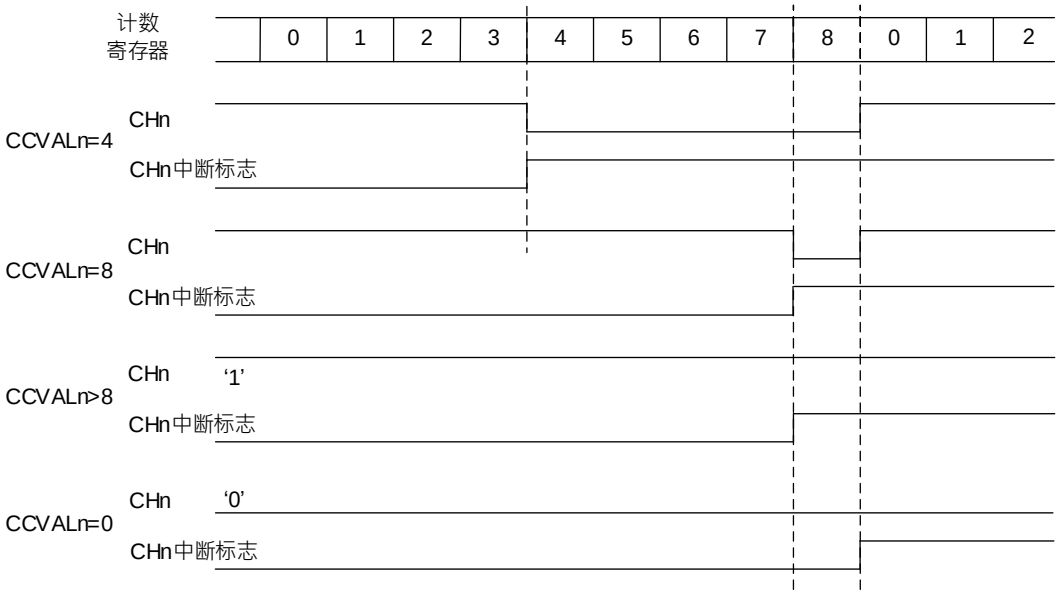


图 19-16 边沿对齐递增计数 PWM 波形(AR=8)

◆ GP32C4T1_COUNT < GP32C4T1_CCVAL1 时，CH1 为高电平。

◆ GP32C4T1_COUNT >= GP32C4T1_CCVAL1 时，CH1 为低电平。

其中比较特别的是，若设定 **GP32C4T1_CCVAL1 > GP32C4T1_AR** 时，CH1 会永远输出高电平；若 **GP32C4T1_COUNT** = 0 时，CH1 会永远输出低电平。

◆ 递减计数设置

设置 **GP32C4T1_CON1** 寄存器的 DIRSEL 位为 1 时，计数器递减计数。

下图以 CH1 输出 PWM 模式 1 为例，相关配置流程如下:

1. 设置 **GP32C4T1_CON1** 寄存器的 DIRSEL 位为 1，计数器递减计数。
2. 设置 **GP32C4T1_AR** 寄存器的 ARV 位为 08h，当计数器下数到 0 后重载。
3. 设置 **GP32C4T1_SGE** 寄存器的 SGUPD 位为 1,，软件触发更新事件，将 ARV 重载到 **GP32C4T1_COUNT** 寄存器中。
4. 设置 **GP32C4T1_CHMR1** 寄存器的 CH1MOD 位为 110b，选择 PWM 模式 1。
5. 设置 **GP32C4T1_CCEP** 寄存器的 CC1POL 位为 0，选择 CH1 通道输出为高电平有效。
6. 设置 **GP32C4T1_CCVAL1** 寄存器的 CCRV1 位为 04h，当计数器数到 4 时，PWM 输出高电平。
7. 设置 **GP32C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器

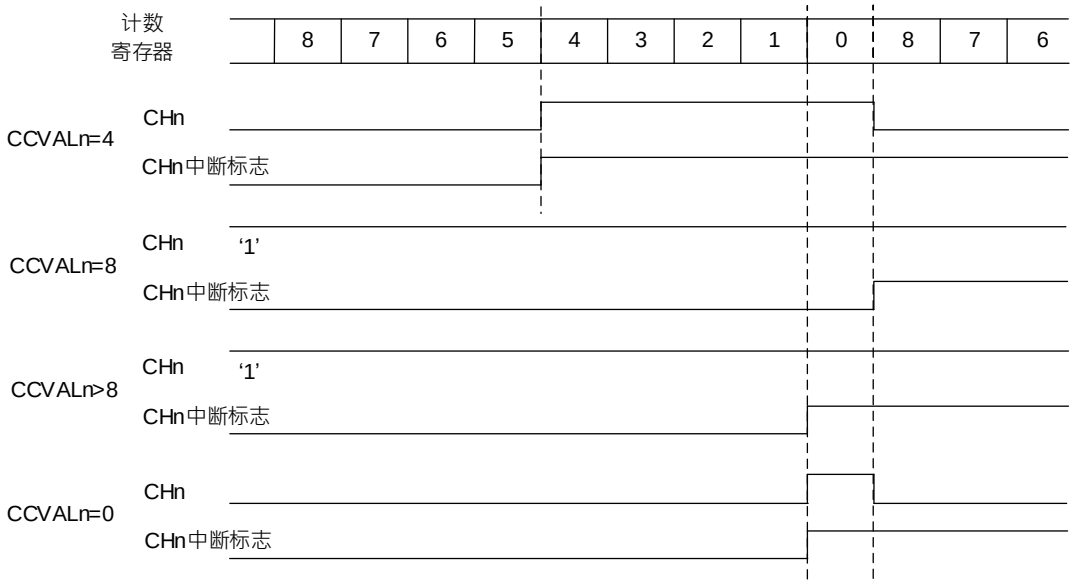


图 19-17 边沿对齐递减计数 PWM 波形(AR=8)

◆ **GP32C4T1_COUNT** ≤ **GP32C4T1_CCVAL1** 时，CH1 为高电平。

◆ **GP32C4T1_COUNT** > **GP32C4T1_CCVAL1** 时，CH1 为低电平。

其中比较特别的是，若设定 **GP32C4T1_CCVAL1** >= **GP32C4T1_AR** 时，CH1 会永远输出高电平。此模式下不可能产生 0%的 PWM 波形。

19. 4. 7. 2 PWM 中心对齐模式

设置 **GP32C4T1_CON1** 寄存器的 CMSEL 位不为 00 时，中心对齐模式有效。根据 CMSEL 位的设置，计数器可以在递增、递减计数分别设置 **GP32C4T1_RIF** 寄存器的比较标志位为 1 或是在递增递减设置比较标志位为 1。**GP32C4T1_CON1** 寄存器的 DIRSEL 位控制计数方向由硬件更新，软件无法修改。

下图为中心对齐模式 2 下，CH1 输出 PWM 模式为例，相关配置流程如下:

1. 设置 **GP32C4T1_CON1** 寄存器的 CMSEL 位为 10b，选择中心对齐模式 2，计数器只有在递增计数时才会设置 GP32C4T1_RIF 寄存器的比较匹配标志位为 1。
2. 设置 **GP32C4T1_AR** 寄存器的 ARV 位为 3Fh，当计数器下数到 0 后重载。
3. 设置 **GP32C4T1_SGE** 寄存器的 SGUPD 位为 1,，软件触发更新事件，将 ARV 重载到 **GP32C4T1_COUNT** 寄存器中。
4. 设置 **GP32C4T1_CHMR1** 寄存器的 CH1MOD 位为 110b，选择 PWM 模式 1。
5. 设置 **GP32C4T1_CCEP** 寄存器的 CC1POL 位为 0，选择 CH1 通道输出为高电平有效。
6. 设置 **GP32C4T1_CCVAL1** 寄存器的 CCRV1 位为 3Dh
7. 设置 **GP32C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器

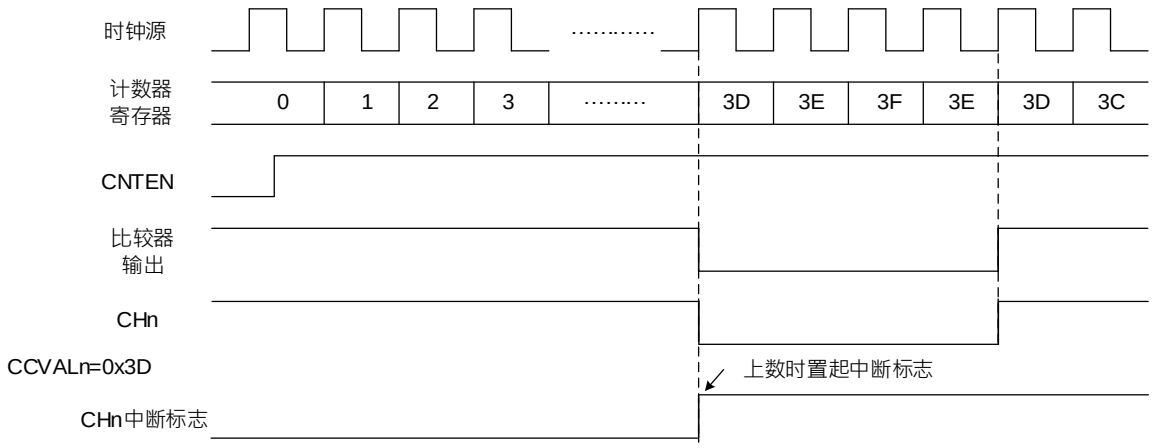


图 19-18 中心对齐 PWM 波形(AR 位为 3Fh，CCRV 位为 3Dh)

中心对齐模式的使用技巧：

- 当进入中心对齐模式后，当前递增或递减设置生效。**GP32C4T1_COUNT** 递增或递减计数取决于 **GP32C4T1_CON1** 寄存器的 DIRSEL 位数值。此外，软件不得对 DIRSEL 和 CMSEL 位同时进行修改。
- 计数器在中心对齐模式下运行时，不建议对 **GP32C4T1_COUNT** 执行写入操作。假设在递增计数的情况下，向计数器写入数值大于自动重载值(**GP32C4T1_COUNT** > **GP32C4T1_AR**)，计数方向不会更新，会持续计数下去。
- 使用中心对齐模式最安全的方式是计数器开始计数前通过软件产生更新事件(设置 **GP32C4T1_SGE** 寄存器的 SGUPD 位为 1)且在计数器运行过程中不对 **GP32C4T1_COUNT** 寄存器写值。

19. 4. 8 输出比较模式

该功能用于控制输出波形或指示周期时间的结束。

当捕获或比较寄存器和 **GP32C4T1_COUNT** 寄存器数值匹配时，输出比较功能：

- 设置 **GP32C4T1_CHMRn** 寄存器的 CHnMOD 位选择输出模式，输出极性由 **GP32C4T1_CCEP** 寄存器的 CCnPOL 位控制：
  - ◇ 设置 CHnMOD 位为 000b:当计数器匹配比较器时输出保持其电平。
  - ◇ 设置 CHnMOD 位为 001b:当计数器匹配比较器时输出有效电平(假设 CCnPOL=0，有效电平为高电平)。
  - ◇ 设置 CHnMOD 位为 010b:当计数器匹配比较器时输出无效电平(假设 CCnPOL=0，无效电平为低电平)。
  - ◇ 设置 CHnMOD 位为 011b:当计数器匹配比较器时翻转电平。
- 设置中断状态寄存器的标志位为 1(**GP32C4T1_RIF** 寄存器的 CHn 位)。
- 若设置相应的中断开启位为 1(**GP32C4T1_IER** 寄存器的 CHn 位)，则产生中断。
- 若设置相应的开启位为 1(**GP32C4T1_DMAEN** 寄存器的 CHn 位，**GP32C4T1_CON2** 寄存器的 CCDMASEL 位用于 DMA 请求的选择)，则发送 DMA 请求。

设置 **GP32C4T1_CHMRn** 寄存器的 CHnPEN 位数值可决定 **GP32C4T1_CCVALn** 寄存器是否带有预装载寄存器。

在输出比较模式中，更新事件 UPD 对 CHn 的输出没有影响。输出比较模式同样可以用来输出单个脉冲(单脉冲模式)。

输出比较的设置过程：

1. 选定计数器时钟(内部、外部、预分频)。
2. 设置 **GP32C4T1_AR** 与 **GP32C4T1_CCVALn** 寄存器并写入所需数据。
3. 若需要产生中断请求，设置 **GP32C4T1_IER** 寄存器的 CHn 位为 1。
4. 选择输出模式，例如：
   - 设置 CHnMOD 位为 011b，当 CNTV 与 CCRVn 匹配时，CHn 输出翻转。
   - 设置 CHnPEN 位为 0，关闭预装载寄存器。
   - 设置 CCnPOL 位为 0，选择有效电平为高电平。
   - 设置 CCnEN 位为 1，开启输出。
5. 设置 **GP32C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

假设预装载寄存器开启(CHnPEN 位为 1)，设置 **GP32C4T1_CCVALn** 寄存器数值在下次更新事件发生时更新至影子寄存器。预装载寄存器未开启(CHnPEN 位为 0)，通过设置 **GP32C4T1_CCVALn** 寄存器数值可随时更新控制输出波形。

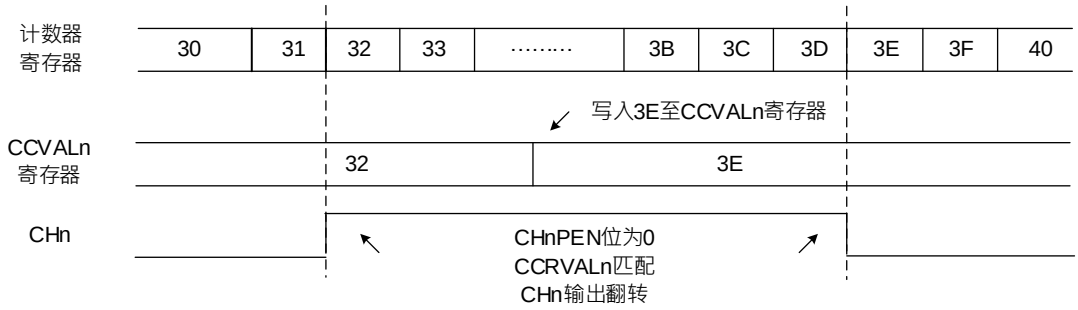


图 19-19 输出比较模式，触发 CHn

19.4.8.1 外部事件清除比较输出

设置相对应的 **GP32C4T1_CHMRn** 寄存器的 CHnOCLREN 位为 1，在选定的 ETR 输入端为高准位时，可将相对应的输出信号暂时清除为 0，直到下一次更新事件(UPD)产生。该功能只能在输出比较模式和 PWM 模式下使用，在强制模式下不起作用。

选择 ETR 时，ETR 配置如下：

1. 设置 **GP32C4T1_SMCON** 寄存器中的 ETPRES 位为 00b，关闭外部触发预分频器。
2. 设置 **GP32C4T1_SMCON** 寄存器的 ECM2EN 位为 0，关闭外部时钟源 2。
3. 外部触发极性(ETPOL)和外部触发滤波器(ETFLT)可根据使用者需要设置

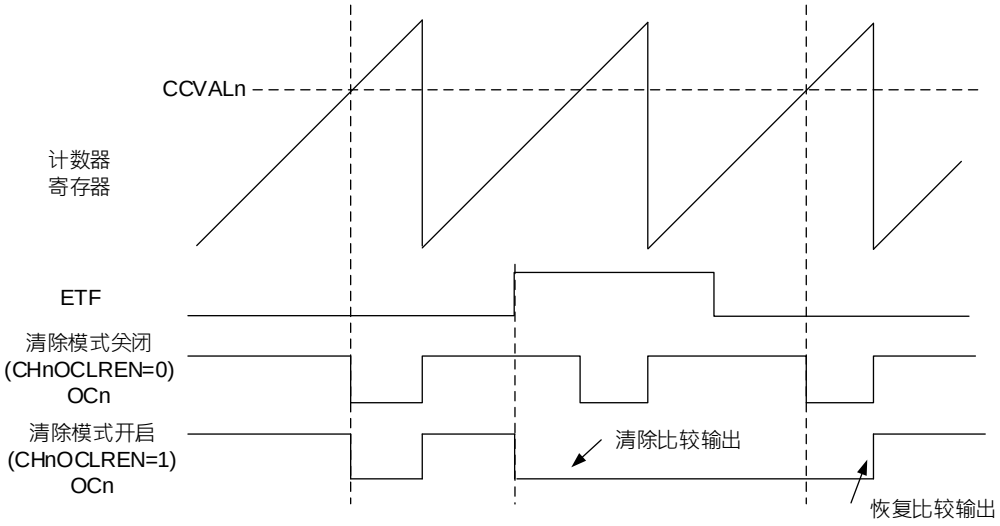


图 19-20 清除比较输出 CHn

19.4.8.2 强制输出模式

设置 **GP32C4T1_CHMRn** 寄存器的 CCnSSEL 位为 00b 开启输出模式，在此模式下通过软件设置可以将输出比较信号强制设置为高电平或低电平，输出信号并不会参考 **GP32C4T1_CCVALn** 寄存器和 **GP32C4T1_COUNT** 寄存器之间的比较结果。

设置 **GP32C4T1_CHMRn** 寄存器的 CHnMOD 位为 101b，输出比较参考讯号(CHnREF)为强制高电平，输出比较信号(CHn/CHnN)强制为有效电平(极性由 **GP32C4T1_CCEP** 寄存器对应的 CCnPOL 位或 CCnNPOL 位决定)。反之，若设置 CHnMOD 位为 100b 则强制设置低电平。

例如：设置 CCnPOL 位为 0(CHn 高电平有效)，则 CHn 被强制为高电平。

在此模式下，**GP32C4T1_CCVALn** 寄存器和 **GP32C4T1_COUNT** 寄存器之间的比较仍然进行，仍可设置相应的标志位为 1。

19. 4. 9 单脉冲模式

单脉冲模式(SPMEN) 是一个特殊模式。在此模式下，计数器可以通过外部触发下启动，并可以产生一个一个脉宽可配置的波形。

通过从模式控制器开启计数器。在输出比较模式或 PWM 模式下生成波形。设置 **GP32C4T1_CON1** 寄存器的 SPMEN 位为 1 选择单脉冲模式，在下一次发生更新事件后，计数器将自动停止计数。

只有当 **GP32C4T1_CCVALn** 寄存器和 **GP32C4T1_COUNT** 寄存器数值不同时，才能正确的产生一个脉冲。计数器开始计数前(定时器等待触发)，必须如下设置:

- 递增计数：CNTV < CCVALn ≤ AR(注意：0 < CCVALn)
- 递减计数：CNTV > CCVALn

基于 PWM 模式设置单脉冲输出波形的步骤如下：

1. 设置 **GP32C4T1_CHMRn** 寄存器的 CHnMOD 位，选择 PWM 模式 1 或 2。
2. 设置 **GP32C4T1_CCEP** 寄存器的 CCnPOL 位，选择通道 CHn 的输出极性。
3. 设置 **GP32C4T1_CON1** 寄存器的 DIRSEL，选择计数器为递增或递减计数。
4. 设置 **GP32C4T1_CON1** 寄存器的 SPMEN 位为 1，开启单脉冲模式。
5. 设置 **GP32C4T1_CHMR1** 寄存器的 CH1PEN 位为 1，**GP32C4T1_CON1** 寄存器的 ARPEN 位为 1，开启比较寄存器和计数重载寄存器的缓冲功能(也可以根据实际情况关闭缓冲)。
6. 设置 **GP32C4T1_CCVALn** 寄存器和 **GP32C4T1_AR** 寄存器，设置单脉冲输出延时和脉宽时间。
7. 设置 **GP32C4T1_SGE** 寄存器的 SGUPD 位为 1 来产生一个更新事件。
8. 设置 **GP32C4T1_CON1** 寄存器的 CNTEN 位为 1 来开启计数器，也可以在触发模式下，通过外部触发输入信号来触发硬件自动设置 CNTEN 位为 1。

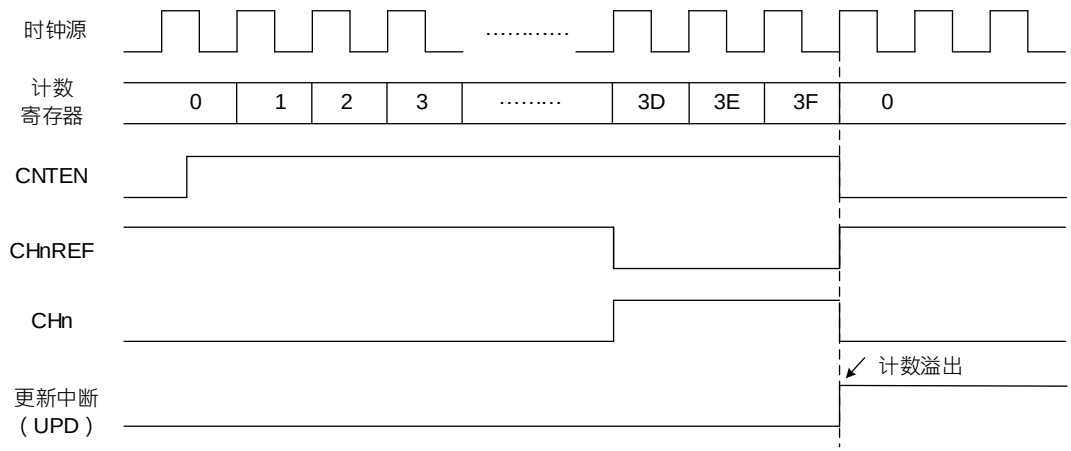


图 19-21 单脉冲模式

CHn 快速开启模式

在单脉冲模式下，In 输入的有效边沿会开启计数器(自动设置 CNTEN 位为 1)，在比较计数器数值后输出信号。然而在这个过程中需要数个时钟周期，将会延长 In 输入边沿与输出信号的延迟。

如果要使用最小延迟输出信号，可以设置 **GP32C4T1_CHMR1** 寄存器的 CHnFEN 位为 1 开启快速开启模式。当侦测到 In 输入的有效边沿时，不再考虑比较值，强制让输出讯号等效于匹配成功后的电平。此配置只在 PWM1 或 PWM2 模式时才能使用。

19. 4. 10 编码器接口模式

编码器接口模式的三种设置：若设置 **GP32C4T1_SMCON** 寄存器的 SMODS 位为 001b，则计数器只根据 I2 上的边沿计数；若设置 **GP32C4T1_SMCON** 寄存器的 SMODS 位为 010b，则计数器只根据 I1 上的边沿计数；若设置 **GP32C4T1_SMCON** 寄存器的 SMODS 位为 011b，则计数器同时根据 I1 和 I2 上的边沿计数。

设置 **GP32C4T1_CCEP** 寄存器的 CC1POL 和 CC2POL 位数值可选择 I1 和 I2 的极性。如果需要，也可以设置输入滤波器。

CH1 和 CH2 端口作为增量编码器的接口。当计数器开启时(设置 **GP32C4T1_CON1** 寄存器的 CNTEN 位为 1)，计数器时钟是由 I1 或 I2 上滤波后的有效电平转换提供。I1 和 I2 滤波后的有效信号转换序列会产生计数脉冲及方向信号。计数器是递增或递减计数由信号的转换序列决定，**GP32C4T1_CON1** 寄存器的 DIRSEL 位计数方向位由硬件自动更新。

编码器接口模式的工作方式类似于一个带有方向选择的外部时钟。计数器在 0 到 **GP32C4T1_AR** 寄存器的自动重载值之间连续计数。因此必须在开始计数前设置 **GP32C4T1_AR** 寄存器。在此模式下捕获器、预分频器、触发输出的功能皆可正常工作。设定编码模式和选择外部时钟源 2 不兼容，不可以同时选择。

该模式下，计数器会根据增量式编码器的速度和方向自动修改，计数器数值反映的是编码器的

位置。计数方向对应着连接传感器的旋转方向。

下表列出了所有的可能组合，假设 I1 和 I2 不同时变换。

有效边沿	有效边沿相对信号的电平 (I1 滤波信号对应 I2,I2 滤波信号对应 I1)	I1 滤波信号		I2 滤波信号	
		上升	下降	上升	下降
仅在 I1 计数	高电平	递减	递增	不计数	不计数
	低电平	递增	递减	不计数	不计数
仅在 I2 计数	高电平	不计数	不计数	递增	递减
	低电平	不计数	不计数	递减	递增
在 I1 和 I2 上计数	高电平	递减	递增	递增	递减
	低电平	递增	递减	递减	递增

表 19-1 计数方向与编码器信号的关系

外部增量编码器可直接与 MCU 连接，无需外部接口逻辑。而比较器通常用于将编码器的差分输出转换为数字信号，这样大幅提高抗噪声能力。编码器的第三个输出端用于指示机械零点，可以连接到外部中断输入引脚以触发一次计数复位。

下图给出了计数信号的产生和方向控制的例子。同样给出了选择双边沿时，输入抖动如何被补偿。输入抖动可能发生在传感器靠近切换点处。

配置如下:

1. 设置 **GP32C4T1_CHMR1** 寄存器的 CC1SSEL 位为 01b，选择通道为 I1 输入。
2. 设置 **GP32C4T1_CHMR1** 寄存器的 CC2SSEL 位为 01b，选择通道为 I2 输入。
3. 设置 **GP32C4T1_CCEP** 寄存器的 CC1POL 位为 0、CC1NPOL 为 0，选择非反相输入。
4. 设置 **GP32C4T1_CCEP** 寄存器的 CC2POL 位为 0、CC2NPOL 为 0，选择非反相输入。
5. 设置 **GP32C4T1_SMCON** 寄存器的 SMODS 位为 011b，选择计数器同时根据 I1 和 I2 上的边沿计数。
6. 设置 **GP32C4T1_CON1** 寄存器 CNTEN 位为 1 开启计数器。

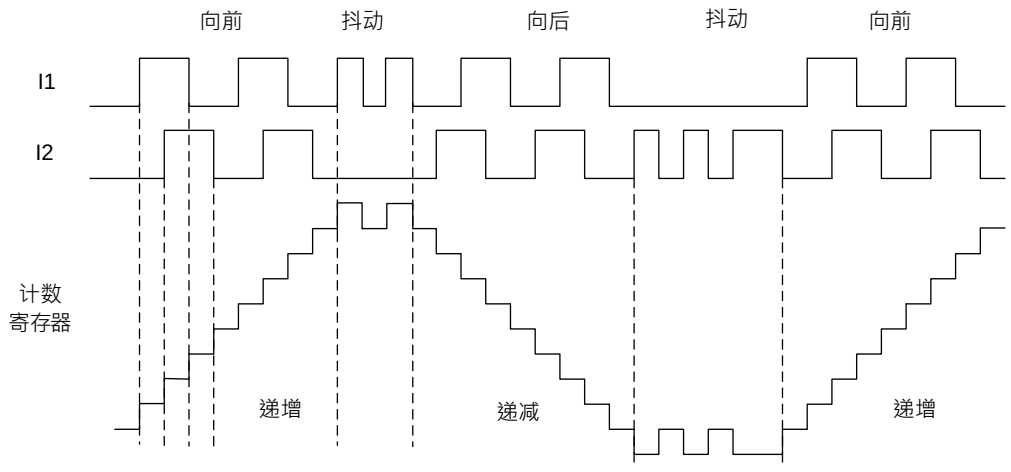


图 19-22 编码器接口模式下的计数操作

下图给出了计数器在 I1 滤波信号极性反相时的计数过程(除了设置 CC1POL 位为 1，其他设置与上面一致)

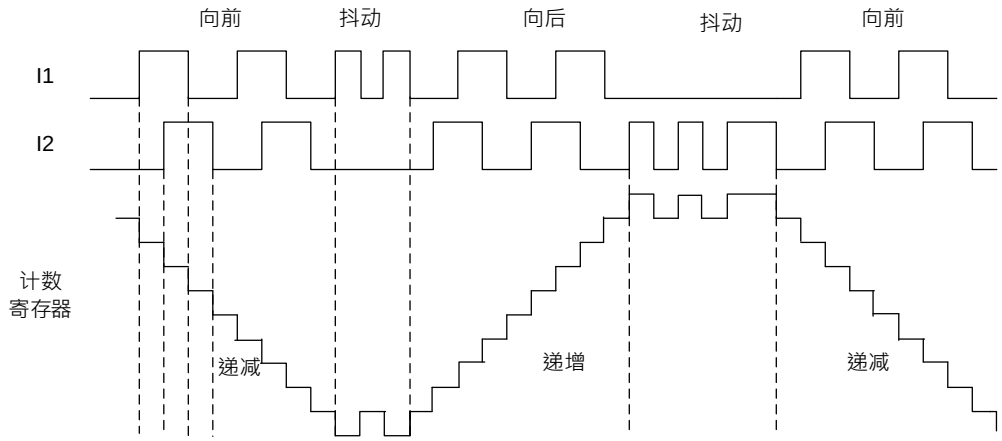


图 19-23 滤波后极性反相时编码器接口例子

当设置为编码器接口模式时，定时器可提供传感器的当前位置信息。设置另一个定时器为捕获模式，用于测量两个编码器事件的间隔，根据间隔时长获取动态信息(速度、加速度、减速度)。编码器用于指示机械零点的输出就是此用处。根据编码器两个事件间隔，可以周期性的读取计数器数值。应用上可以将计数器值锁存到第三个输入捕获寄存器(捕获信号必须是周期性的且可由另一个定时器产生)。另外可通过 DMA 请求存取计数器(**GP32C4T1_COUNT**)数值。

19. 4. 11 输入 XOR 功能

通过 **GP32C4T1_CON2** 寄存器的 I1SEL 位，可将通道 1 的输入滤波器连接到 XOR 门的输出端，XOR 门输入端包含 CH1、CH2 和 CH3 三个输入引脚。

XOR 输出用于定时器的所有输入功能，如触发或输入捕获。

19. 4. 12 外部触发的同步

GP32C4T1 定时器可在多种模式下与外部触发同步：复位模式、门控模式及触发模式。

19. 4. 12. 1 复位模式

计数器及其预分频器可以在响应触发输入事件时重新初始化。此外，若 **GP32C4T1_CON1** 寄存器的 UERSEL 位为 0 时会产生一次更新事件 UPD。所有预装载寄存器(**GP32C4T1_AR**，**GP32C4T1_CCVALn**)都会因更新事件 UPD 而被更新。

在下面例子中，I1 输入端的上升沿让递增计数被清零，配置过程如下：

1. 设置 **GP32C4T1_CHMR1** 寄存器的 CC1SSEL 位为 01b，选择 I1 为有效输入端。
2. 设置 **GP32C4T1_CHMR1** 寄存器的 I1FLT 位为 0000b，本例无需滤波器。
3. 设置 **GP32C4T1_CCEP** 寄存器的 CC1NPOL 位为 0、CC1POL 位为 0，选择 I1 通道上升沿有效。
4. 设置 **GP32C4T1_CHMR1** 寄存器的 I1PRES 位为 00b，捕获预分频器不用于触发操作，

无需设置。

5. 设置 **GP32C4T1_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00101b，选择 I1 滤波后信号作为输入源。
6. 设置 **GP32C4T1_SMCON** 寄存器的 SMODS 位为 100b，选择复位模式。
7. 设置 **GP32C4T1_CON1** 寄存器的 CNTEN 位为，开启计数器。

计数器依据内部时钟开始计数，计数器计数直到 I1 上出现上升沿。当 I1 上出现上升沿时，计数器会被清零且从 0 重新开始计数。同时设置标志位为 1 (**GP32C4T1_RIF** 寄存器的 TRGI 位)，如果中断及 DMA 开启(取决于 **GP32C4T1_IER** 寄存器的 TRGI 位和 **GP32C4T1_DMAEN** 寄存器的 TRGI 位)，会发送中断及 DMA 请求。

下图给出了设置自动重载寄存器 **GP32C4T1_AR** 为 36h 时的信号变化。由于 I1 输入的同步电路，I1 上的上升沿和计数器实际初始化之间会存在延时。

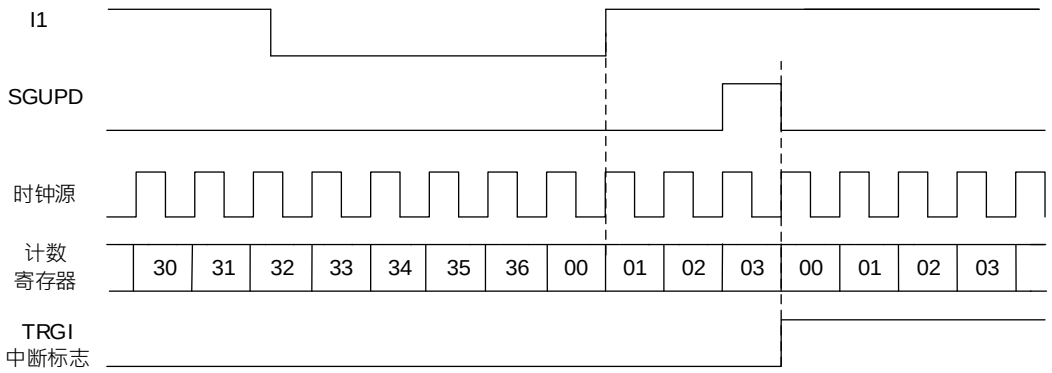


图 19-24 复位模式控制电路

19. 4. 12. 2 门控模式

计数器根据选中的输入电平被开启。

下面的例子中，计数器只在 I1 输入为低电平时才递增计数：

1. 设置 **GP32C4T1_CHMR1** 寄存器的 CC1SSEL 位为 01b，选择 I1 为有效输入端。
2. 设置 **GP32C4T1_CHMR1** 寄存器的 I1FLT 位为 0000b，本例无需滤波器。
3. 设置 **GP32C4T1_CCEP** 寄存器的 CC1NPOL 位为 0、CC1POL 位为 1，I1 通道反相，有效极性为低电平。
4. 设置 **GP32C4T1_CHMR1** 寄存器的 I1PRES 位为 00b，捕获预分频器不用于触发操作，无需设置。
5. 设置 **GP32C4T1_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00101b，选择 I1 滤波后信号作为输入源。
6. 设置 **GP32C4T1_SMCON** 寄存器的 SMODS 位为 101b，选择门控模式。
7. 设置 **GP32C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器(在门控模式中，如果 CNTEN 位为 0，无论触发输入为何电平，计数器都不会开启)。

只要 I1 为低电平，计数器依据内部时钟开始计数，一旦 I1 为高电平则停止计数。由于 I1 输入

端的同步电路的原因，I1 上出现上升沿和计数器实际停止之间会有一定的延时。

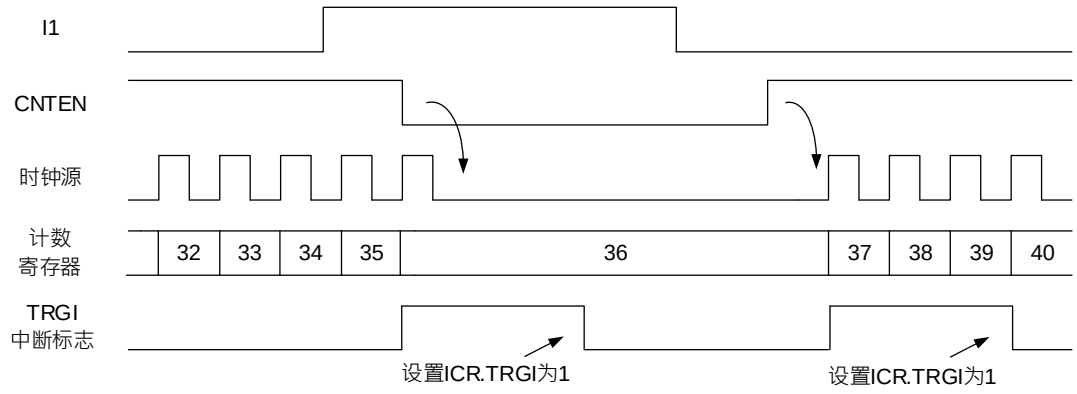


图 19-25 门控模式控制电路

19.4.12.3 触发模式

输入端选中的事件可以开启计数器。

下面的例子中，I2 输入端上的上升沿可以开启递增计数：

1. 设置 **GP32C4T1_CHMR1** 寄存器的 CC2SSEL 位为 01b，选择 I2 为有效输入端。
2. 设置 **GP32C4T1_CHMR1** 寄存器的 I2FLT 位为 0000b，本例无需滤波器。
3. 设置 **GP32C4T1_CCEP** 寄存器的 CC2NPOL 位为 0、CC2POL 位为 0，选择 I2 通道上升沿有效。
4. 设置 **GP32C4T1_CHMR1** 寄存器的 I2PRES 位为 00b，捕获预分频器不用于触发操作，无需设置。
5. 设置 **GP32C4T1_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00110b，选择 I2 滤波后信号作为输入源。
6. 设置 **GP32C4T1_SMCON** 寄存器的 SMODS 位为 110b，选择触发模式。
7. 设置 **GP32C4T1_CON1** 寄存器的 CNTEN 位为，开启计数器。

I2 上出现上升沿时，计数器开始依据内部时钟计数并设置 TRGI 标志位为 1。

由于 I2 输入的同步电路原因，I2 上出现上升沿和计数器实际启动之间会有一定的延时。

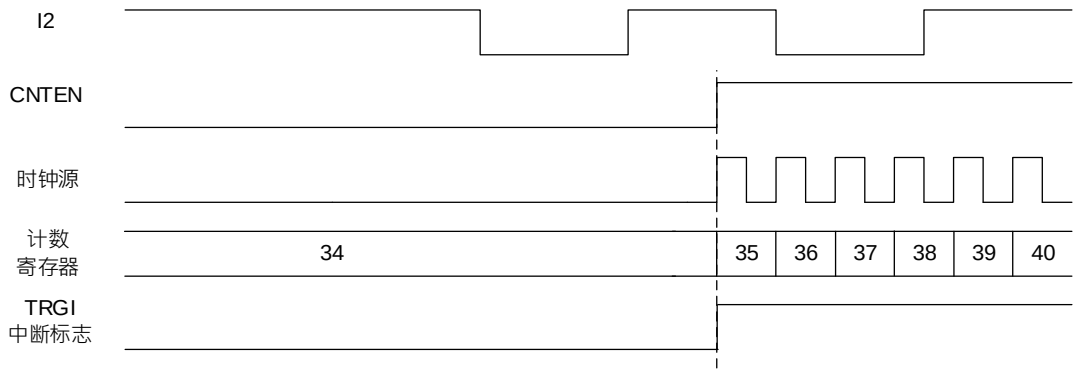


图 19-26 触发模式控制电路

19. 4. 12. 4 选择外部时钟源 2 的触发模式

外部时钟源 2 可和其他模式一起使用(外部时钟模式 1 和除编码模式除外)。ETR 信号可作为外部时钟输入，另一个输入可选择为触发输入(复位模式、门控模式或触发模式)。不推荐设置 **GP32C4T1_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00111b 选择 ETR 作为 TRGI。

下面的例子中，当 I1 输入端出现上升沿时，开启计数器，并且在每个 ETR 信号的上升沿递增计数。

ETR 外部触发电路设定如下 ：

1. 设置 **GP32C4T1_SMCON** 寄存器的 ETFLT 位为 000b，无需滤波器。
2. 设置 **GP32C4T1_SMCON** 寄存器的 ETPRES 位为 00b，关闭预分频。
3. 设置 **GP32C4T1_SMCON** 寄存器的 ETPOL 位为 0，ETR 的上升沿有效。
4. 设置 **GP32C4T1_SMCON** 寄存器的 ECM2EN 位为 1，开启外部时钟模式 2。

通道 1 检测 I1 的上升沿，过程如下:

1. 设置 **GP32C4T1_CHMR1** 寄存器的 CC1SSEL 位为 01b，选择 I1 为有效输入端。
2. 设置 **GP32C4T1_CHMR1** 寄存器的 I1FLT 位为 0000b，本例无需滤波器。
3. 设置 **GP32C4T1_CCEP** 寄存器的 CC1NPOL 位为 0、CC1POL 位为 0，选择 I1 通道上升沿有效。
4. 设置 **GP32C4T1_CHMR1** 寄存器的 I1PRES 位为 00b，捕获预分频器不用于触发操作，无需设置。
5. 设置 **GP32C4T1_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00101b，选择 I1 滤波后信号作为输入源。
6. 设置 **GP32C4T1_SMCON** 寄存器的 SMODS 位为 110b，选择触发模式。
7. 设置 **GP32C4T1_CON1** 寄存器的 CNTEN 位为，开启计数器。

I1 上出现上升沿时，计数器开启且设置 TRGI 标志位为 1，然后计数器根据 ETR 上的上升沿开始计数。

由于 ETF 输入同步电路的原因，ETR 信号的上升沿和实际计数器的计数会有延时。

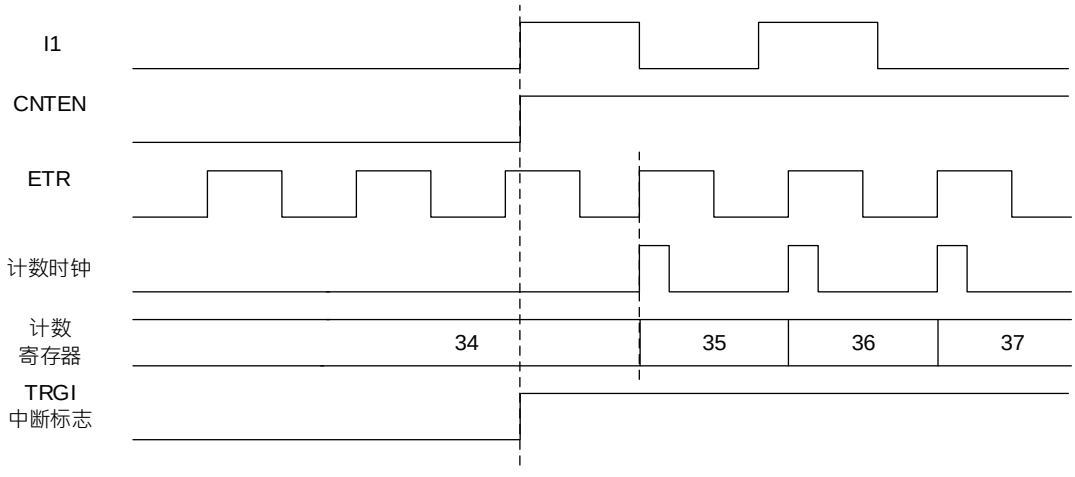


图 19-27 外部时钟源 2＋触发模式下的控制电路

19. 4. 13 定时器同步

所有定时器在内部相连，用于定时器同步或链接。当一个定时器处于主模式时，它可以对另一个处于从模式的定时器的计数器进行复位、开启、停止或提供时钟等操作。

下图显示了触发选择和主模选择模块的概况。

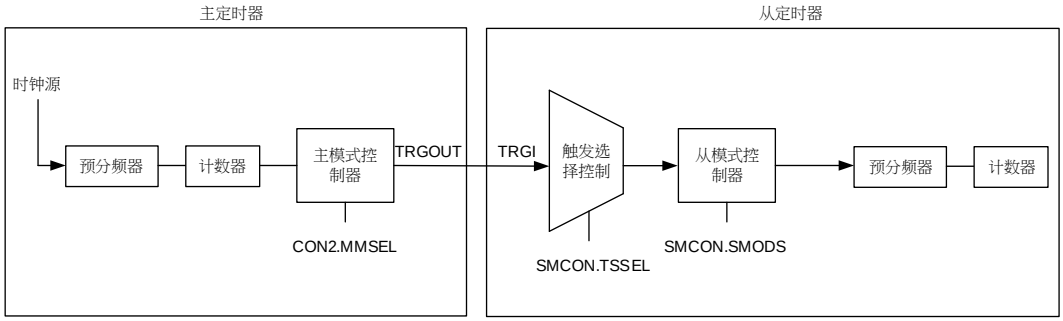


图 19-28 主/从定时器范例

19. 4. 13. 1 使用一个定时器去使能其他定时器

在这个例子中，定时器 2(GP32C4T1)的开启由定时器 1(AD16C4T1)的输出比较参考讯号(CH1REF)控制。只有当定时器 1 的 CH1REF 为高电平时，定时器 2 才会计数。

先设定从定时器(定时器 2)为门控模式，配置如下:

1. 设置 **GP32C4T1_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00000b(AD16C4T1)，可参考内部触发连接表。
2. 设置 **GP32C4T1_SMCON** 寄存器的 SMODS 位为 101b，选择门控模式。
3. 设置 **GP32C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

再设定主定时器(定时器 1)为 PWM 输出，配置如下:

1. 设置 **AD16C4T1_PRES** 寄存器的 PSCV 为 01h，计数器时钟频率为 fINT_CLK/2 。
2. 设置 **AD16C4T1_CHMR1** 寄存器的 CH1MOD 位为 111b，选择 PWM 模式 2。
3. 设置 **AD16C4T1_CCEP** 寄存器的 CC1POL 位为 0，选择 CH1 通道输出为高电平有效。
4. 设置 **AD16C4T1_CCVAL1** 寄存器的 CCRV1 位为 06h，当计数器数到 6 时，PWM 输出高电平。
5. 设置 **AD16C4T1_AR** 寄存器的 ARV 位为 08h，当计数器上数到 8 后重载。
6. 设置 **AD16C4T1_CON2** 寄存器的 MMSEL 位为 100b，选择输出比较参考信号(CH1REF)为触发输出(TRGOUT)。
7. 设置 **AD16C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

注：定时器 2 的时钟不与定时器 1 的时钟同步，这个模式只影响定时器 2 计数器的开启信号。

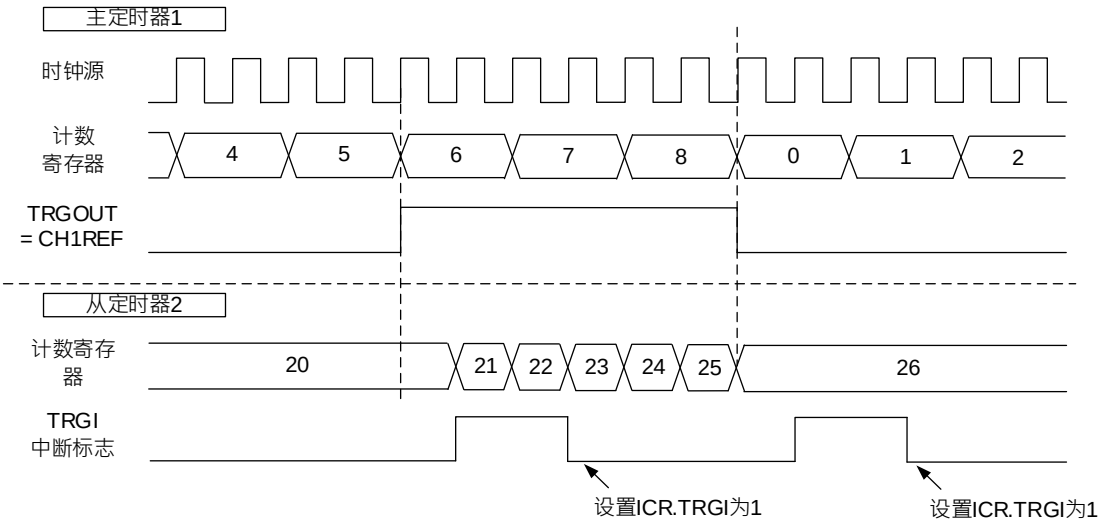


图 19-29 门控从定时器使用主定时器 CH1REF

在上图的例子中，在定时器 2 开启之前，它们的计数器和预分频器未被初始化，因此它们从当前的数值开始计数。可以在开启定时器 1 之前复位 2 个定时器，使它们从给定的数值开始，即在定时器计数器中写入需要的任意数值。设置 **GP32C4T1_SGE** 与定时器 2 的 SGE 寄存器的 SGUPD 位为 1 即可复位定时器。

19. 4. 13. 2 将一个定时器做为其他定时器的预分频器

在这个例子中，使用定时器 1(AD16C4T1)的更新事件作为定时器 2(GP32C4T1)的时钟来源，没有设定预分频。一旦定时器 1 产生更新事件，定时器 2 即根据其上升沿计数。

先设定从定时器(定时器 2)为外部时钟源 1 模式，配置如下:

1. 设置 **GP32C4T1_AR** 寄存器的 ARV 位为 02h，当计数器上数到 2 后重载。
2. 设置 **GP32C4T1_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00000b(AD16C4T1)，可参考内部触发连接表。
3. 设置 **GP32C4T1_SMCON** 寄存器的 SMODS 位为 111b，选择外部时钟模式 1。
4. 设置 **GP32C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

再设定主定时器(定时器 1)配置如下:

1. 设置 **AD16C4T1_AR** 寄存器的 ARV 位为 03h，当计数器上数到 3 后重载，并产生更新事件。
2. 设置 **AD16C4T1_CON2** 寄存器的 MMSEL 位为 010b，选择更新事件(UPD)为触发输出(TRGOUT)。
3. 设置 **AD16C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

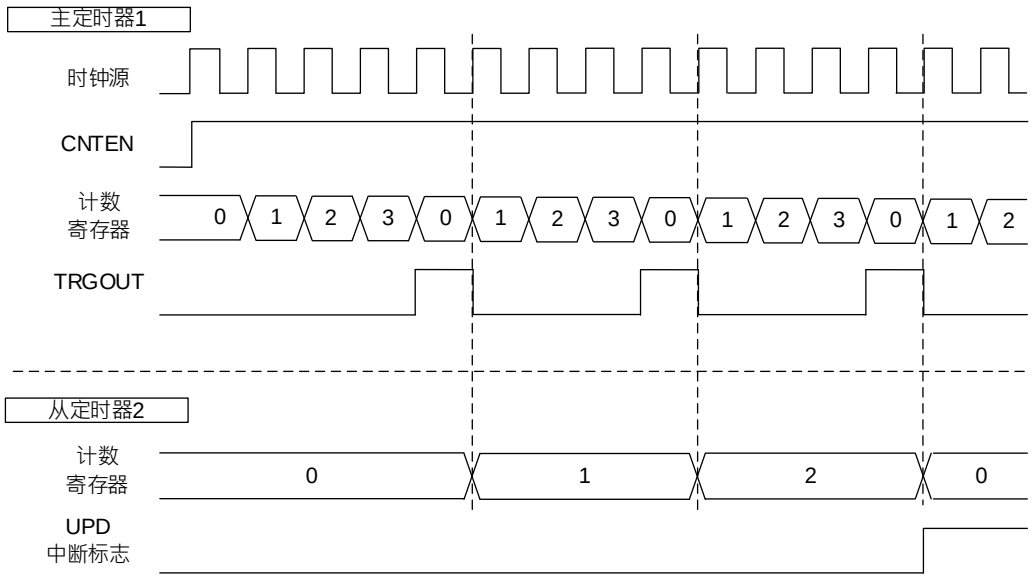


图 19-30 使用主定时器更新事件触发从定时器计数

19. 4. 13. 3 使用外部触发同步开始两个定时器

这个例子中当定时器 1(AD16C4T1)的 I1 输入上升沿时开启定时器 1，开启定时器 1 的同时开启定时器 2(GP32C4T1)，参见下图。为保证计数器的对齐，定时器 1 必须设置为主/从模式(对应 I1 为从，对应定时器 2 为主)：

先设定从定时器(定时器 2)为触发模式，配置如下:

1. 设置 **GP32C4T1_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00000b(AD16C4T1)，可参考内部触发连接表。
2. 设置 **GP32C4T1_SMCON** 寄存器的 SMODS 位为 110b，选择触发模式。

再设定主定时器(定时器 1)为触发模式，配置如下:

1. 设置定时器 1 为触发模式，相关配置可参考触发模式章节。
2. 设置 **AD16C4T1_CON2** 寄存器的 MMSEL 位为 001b，选择开启信号(CNTEN)为触发输出(TRGOUT)。
3. 设置 **AD16C4T1_SMCON** 寄存器的 MSCFG 位为 1，开启主/从模式。
4. 设置 **AD16C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

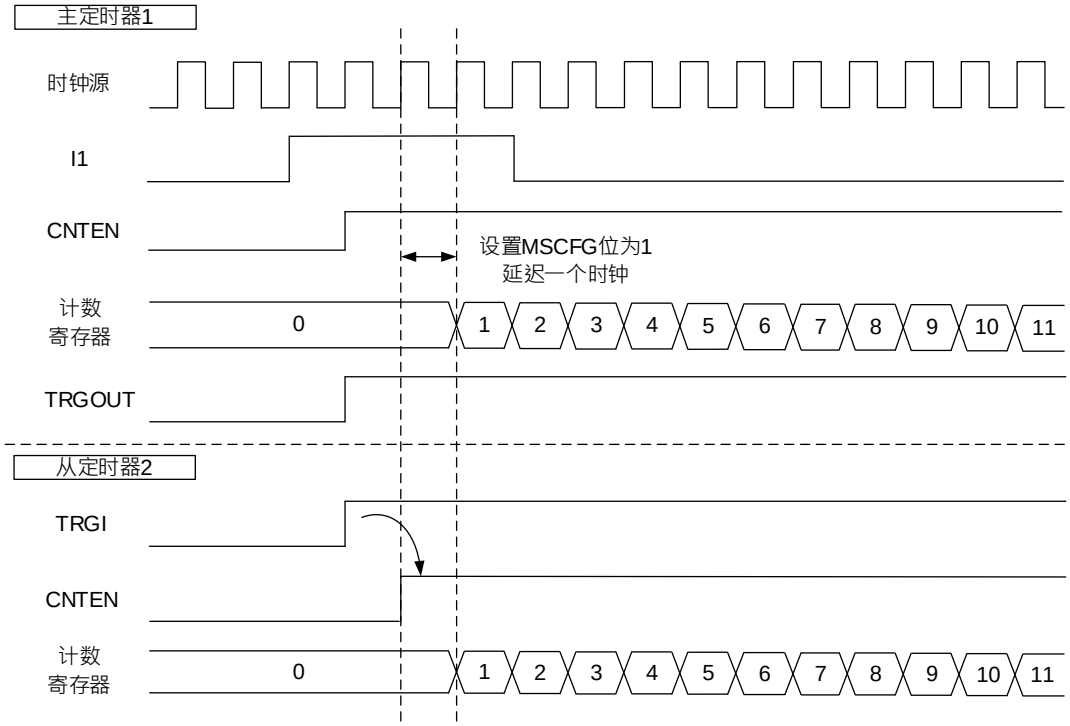


图 19-31 使用定时器 1 的 I1 输入触发定时器 1 和定时器 2

当定时器 1 的 I1 上出现一个上升沿时，两个定时器同步地按照内部时钟开始计数，两个 TRGI 标志也同时被设置。

19. 4. 14 ADC 触发生成

定时器可生成 ADC 触发讯号源如下 ：

- TRGOUT ： 由 **GP32C4T1_CON2** 寄存器的 MMSEL 位决定触发事件的来源，根据配置生成脉冲或电平讯号。
- CCx ： 当通道比较匹配事件发生时，生成脉冲讯号到 ADC。

下图以 CH1 输出 PWM 模式 2 为例，说明 TRGOUT 与 CC1 讯号源，相关配置如下:

1. 设置 **GP32C4T1_AR** 寄存器的 ARV 位为 07h，当计数器上数到 7 后重载。
2. 设置 **GP32C4T1_CHMR1** 寄存器的 CH1MOD 位为 111b，选择 PWM 模式 2。
3. 设置 **GP32C4T1_CCVAL1** 寄存器的 CCRV1 位为 04h，当计数器数到 4 时，PWM 输出高电平并生成 CC1 脉冲。
4. 设置 **GP32C4T1_CON2** 寄存器的 MMSEL 位为 100b，选择输出比较参考信号(CH1REF)为触发输出(TRGOUT)。

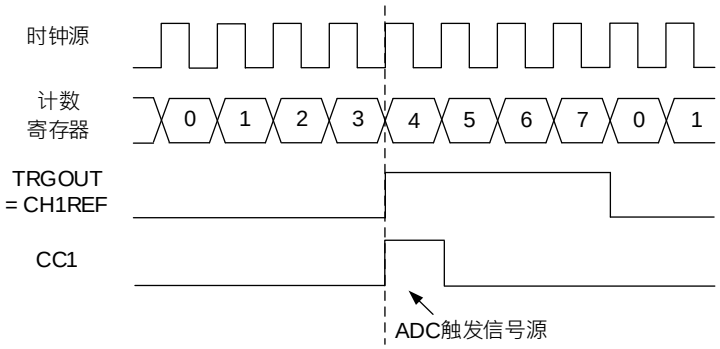


图 19-32 ADC 触发生成

19. 4. 15 调试模式

当微控制器进入调试模式(Cortex™-M0 核停止运行)，根据 SYSCFG 章节中 SYSCFG_CFG 寄存器配置，选择将计数器继续正常工作或停止计数。

为了安全起见，当进入调试模式时，设置 GP32C4T1_CON1 寄存器的 DBGSEL 位，选择继续输出电平或是输出关闭(切换成输入)。当输出关闭时可以通过 GPIO 控制器选择输出电平，若未设定则为悬空输入。

19. 5 特殊功能寄存器

19. 5. 1 寄存器列表

GP32C4T1 寄存器列表			
名称	偏移地址	类型	描述
GP32C4T1_CON1	0000_H	R/W	控制寄存器 1
GP32C4T1_CON2	0004_H	R/W	控制寄存器 2
GP32C4T1_SMCON	0008_H	R/W	从模式控制寄存器
GP32C4T1_IER	$000C_H$	W1	中断开启寄存器
GP32C4T1_IDR	0010_H	W1	中断关闭寄存器
GP32C4T1_IVS	0014_H	R	中断功能有效状态寄存器
GP32C4T1_RIF	0018_H	R	原始中断状态寄存器
GP32C4T1_IFM	$001C_H$	R	中断标志位状态寄存器
GP32C4T1_ICR	0020_H	C_W1	中断清除寄存器
GP32C4T1_SGE	0024_H	T_W1	软件生成事件寄存器
GP32C4T1_CHMR1	0028_H	R/W	捕获或比较模式寄存器 1
GP32C4T1_CHMR2	$002C_H$	R/W	捕获或比较模式寄存器 2
GP32C4T1_CCEP	0030_H	R/W	捕获或比较开启极性寄存器
GP32C4T1_COUNT	0034_H	R/W	计数寄存器
GP32C4T1_PRES	0038_H	R/W	时钟预分频寄存器
GP32C4T1_AR	$003C_H$	R/W	自动重装载寄存器
GP32C4T1_CCVAL1	0044_H	R/W	通道捕获或比较寄存器 1
GP32C4T1_CCVAL2	0048_H	R/W	通道捕获或比较寄存器 2
GP32C4T1_CCVAL3	$004C_H$	R/W	通道捕获或比较寄存器 3
GP32C4T1_CCVAL4	0050_H	R/W	通道捕获或比较寄存器 4
GP32C4T1_DMAEN	0058_H	R/W	DMA 事件开启寄存器
GP32C4T1_OPTR	$005C_H$	R/W	输入选择寄存器

19. 5. 2 寄存器描述

19. 5. 2. 1 控制寄存器 1(GP32C4T1_CON1)

控制寄存器 1(GP32C4T1_CON1)																												
偏移地址：0x00																												
复位值：0x0000 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																DBGSEL						DFCKSEL<1:0>		ARPEN	CMSEL<1:0>		DIRSEL	SPMEN	UERSEL	DISUE	CNTEN

—	Bits 31-16	—	—
DBGSEL	Bit 15	R/W	**调试模式下，通道状态选择** 在输出模式中，选择通道为输入或持续输出 0: 强制为输入 1: 保持当前配置 注：此位仅在 SYSCFG_CFG 寄存器的 DBGHEN位配置GP32C4T1时有效
—	Bit 14-10	—	—
DFCKSEL	Bit 9-8	R/W	**时钟预分频器** 设置定时器的频率(INT_CLK)，死区产生器与数字滤波器(ETR，In)所采样时钟之间的分频比例。 00: $t_{DTS}=t_{INT\_CLK}$ 01: $t_{DTS}=2 \times t_{INT\_CLK}$ 10: $t_{DTS}=4 \times t_{INT\_CLK}$ 11: 保留
ARPEN	Bit 7	R/W	**自动重载缓冲功能开启** 发生更新事件时，将设定的值载入至影子寄存器中 0: GP32C4T1_AR 寄存器未缓冲 1: GP32C4T1_AR 寄存器具备缓冲
CMSEL	Bit 6-5	R/W	**中心对齐模式选择** 00: 边沿对齐模式，根据计数方向(DIRSEL)的配置，计数器为递增计数或递减计数。 01: 中心对齐模式 1，计数器为交替地递增计数和递减计数。在此模式时仅当计数器在递减计数时，才会产生配置为输出的通道

			(GP32C4T1_CHMRn 寄存器中 CCnSSEL=00)的比较匹配中断请求。 10: 中心对齐模式 2，计数器为交替地递增计数和递减计数。在此模式时仅当计数器在递增计数时，才会产生配置为输出的通道(GP32C4T1_CHMRn 寄存器中 CCnSSEL=00)的比较匹配中断请求。 11: 中心对齐模式 3，计数器为交替地递增计数和递减计数。在此模式时当计数器在递增计数或递减计数时，皆会产生配置为输出的通道(GP32C4T1_CHMRn 寄存器中 CCnSSEL=00)的比较匹配中断请求。
DIRSEL	Bit 4	R/W	**计数方向选择** 当计数器配置为中心对齐模式时，此位只能读取计数器的计数方向 0: 计数器递增计数 1: 计数器递减计数 注:当计数器配置为中心对齐模式时，此位只能读取计数器的计数方向。
SPMEN	Bit 3	R/W	**单脉冲模式** 0: 单脉冲模式关闭，计数器不停止 1: 单脉冲模式开启，计数器在发生下一次更新事件时，会自动清除 CNTEN 位，并停止计数器
UERSEL	Bit 2	R/W	**更新事件请求来源选择** 设置更新事件(UPD)的来源 0: 下列事件都会产生更新中断或 DMA 的请求 – 计数器上溢或下溢 – 设置 GP32C4T1_SGE 寄存器的 SGUPD 位为 1 – 通过从模式控制器所生成的更新事件 1: 只有在计数器上溢或下溢时会生成更新中断或 DMA 的请求
DISUE	Bit 1	R/W	**更新事件关闭** 0: 更新事件(UPD)开启时，下列事件皆会产生更新事件请求并将影子寄存器载入预装载值 – 计数器上溢或下溢

			- 设置 GP32C4T1_SGE 寄存器的 SGUPD 位为 1 - 通过从模式控制器所生成的更新事件 1: 更新事件(UPD)关闭时，不产生更新事件请求，GP32C4T1_AR、GP32C4T1_PRES 与 GP32C4T1_CCVALn 寄存器的影子寄存器数值保持不变。但设置 GP32C4T1_SGE 寄存器的 SGUPD 位为 1 或从模式控制器的复位请求，计数器和预分频器仍会被重新初始化
CNTEN	Bit 0	R/W	**计数器开启** 开启计数器后，外部时钟模式、门控模式和编码模式才能运作。而触发模式则可以由硬件将 CNTEN 位置 1 0: 计数器关闭 1: 计数器开启

19. 5. 2. 2 控制寄存器 2(GP32C4T1_CON2)

控制寄存器 2(GP32C4T1_CON2)

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																								I1SEL	MMSEL<2:0>			CCDMASEL			

—	Bits 31-8	—	—
I1SEL	Bit 7	R/W	**I1 选择** 0: I1 输入连接到 GP32C4T1_CH1 引脚 1: I1 输入连接到 GP32C4T1_CH1、CH2 和 CH3 引脚的异或组合(XOR)输出
MMSEL	Bit 6-4	R/W	**主模式选择** 选择在主模式下发送到从定时器的同步信号(TRGOUT)与 ADC 输入 000: 复位 - 设置 GP32C4T1_SGE 寄存器中的 UPD 位为触发输出(TRGOUT)。如果复位由触发输入生成(从模式控制器配置为复位模

			式)，则 TRGOUT 上的信号与实际复位信号之间会有延迟 001: 开启 - 设置 GP32C4T1_CON1 寄存器中的 CNTEN 位为触发输出(TRGOUT)，可用于同步开启数个定时器。计数器开启信号可由 GP32C4T1_CON1 寄存器中的 CNTEN 位或者门控模式下的触发输入产生。当计数器开启信号受控于触发输入时，TRGOUT 上的信号与实际触发信号之间会有延迟 010: 更新事件 - 更新事件被用于触发输出(TRGOUT)。一个主定时器的更新事件可当作从定时器的预分频器时钟 011: 比较脉冲 - 每次发生捕获或比较匹配时，当产生 CH1 中断请求同时，触发输出(TRGOUT)会送出一个正脉冲 100: 比较信号 - CH1REF 信号用于触发输出(TRGOUT) 101: 比较信号 - CH2REF 信号用于触发输出(TRGOUT) 110: 比较信号 - CH3REF 信号用于触发输出(TRGOUT) 111: 比较信号 - CH4REF 信号用于触发输出(TRGOUT)
CCDMASEL	Bit 3	R/W	**捕获或比较事件的 DMA 选择** 0: 当发生 CHn 事件时，设置 CHn DMA 请求 1: 当发生更新事件时，设置 CHn DMA 请求
—	Bit 2-0	R/W	—

19. 5. 2. 3 从模式控制寄存器(GP32C4T1_SMCON)

从模式控制寄存器(GP32C4T1_SMCON)																													
偏移地址：0x08																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	TSSEL2 <1:0>		—	—	—	—	ETPOL	ECM2EN	ETPRES <1:0>		ETFLT <3:0>				MSCFG	TSSEL1 <2:0>			—	SMODS <2:0>		

—	Bits 31-22	—	—
TSSEL2	Bit 21-20	R/W	**触发选择2** 参照TSSEL1描述
—	Bit 19-16	—	—
ETPOL	Bit 15	R/W	**外部触发极性** 设置外部触发开启电平 0: ETR不反向，高电平或上升沿时开启 1: ETR反向，低电平或下降沿时开启
ECM2EN	Bit 14	R/W	**外部时钟模式2开启** 设置外部时钟模式2 0: 外部时钟模式2关闭 1: 外部时钟模式2开启，计数器时钟根据ETP信号的任意有效边沿提供 注: 1. 设置ECM2EN位与选择外部时钟模式1并将TRGI连到ETP(SMODS=111和TSSEL=00111) 具有相同功效。 2. 从模式可以与外部时钟模式2同时使用:复位模式，门控模式和触发模式;但是这时TRGI不能连到ETP(TSSEL位不能是00111)。 3. 外部时钟模式1和外部时钟模式2同时被开启时，外部时钟的输入是ETP。
ETPRES	Bit 13-12	R/W	**外部触发时钟分频器** 外部触发输入信号ETP频率不得超过1/4的PCLK，分频器可以达到降低ETP的频率，有效应用于快速的外部时钟源。 00: 分频器关闭

			01: ETP频率分频2 10: ETP频率分频4 11: ETP频率分频8
ETFLT	Bit 11-8	R/W	**外部触发滤波器** 设置ETP信号采样的频率和对ETP数字滤波器的带宽。数字滤波器是一个事件计数器，它记录到N个事件后才视为一个有效输出边沿: 0000: 采样频率f_{DTS}，滤波器关闭 0001: 采样频率f_{INT_CLK}, N = 2 0010: 采样频率f_{INT_CLK}, N = 4 0011: 采样频率f_{INT_CLK}, N = 8 0100: 采样频率f_{DTS} / 2, N = 6 0101: 采样频率f_{DTS} / 2, N = 8 0110: 采样频率f_{DTS} / 4, N = 6 0111: 采样频率f_{DTS} / 4, N = 8 1000: 采样频率f_{DTS} / 8, N = 6 1001: 采样频率f_{DTS} / 8, N = 8 1010: 采样频率f_{DTS} / 16, N = 5 1011: 采样频率f_{DTS} / 16, N = 6 1100: 采样频率f_{DTS} / 16, N = 8 1101: 采样频率f_{DTS} / 32, N = 5 1110: 采样频率f_{DTS} / 32, N = 6 1111: 采样频率f_{DTS} / 32, N = 8
MSCFG	Bit 7	R/W	**主/从模式** 0: 写入 0 无效 1: 延迟触发输入(TRGI)上的事件来允许当前计时器和其从器件之间的同步。该设置有效用于使用单个外部事件来同步多个计时器。
TSSEL1	Bit 6-4	R/W	**触发选择 1** 此位与 TSSEL2[1:0]组合成 TSSEL = {TSSEL2[1:0],TSSEL1[2:0]} 设置触发选择，用于同步寄数器 00000: 内部触发 0 (IT0) 00001: 内部触发 1 (IT1) 00010: 内部触发 2 (IT2) 00011: 内部触发 3 (IT3) 00100: I1 边沿检测(I1F_ED) 00101: I1 滤波后信号

			00110: I2 滤波后信号 00111: 外部触发输入 01000: 内部触发 4 (IT4) 01001: 内部触发 5 (IT5) 01010: 内部触发 6 (IT6) 01011: 内部触发 7 (IT7) 01100: 内部触发 8 (IT8) 其他: 内部触发 n (ITn) 注:此位在需要在使用前设定(SMODS=000)，以避免产生错误的上升/下降沿至计数器
—	Bit 3	—	—
SMODS	Bit 2-0	R/W	**从模式选择** 000: 从模式关闭 – 当 ADC16C4T1_CON1 寄存器 CNTEN 位为 1 时，分频器时钟由内部时钟提供 001：编码器模式 1 – 计数器根据 I1 边沿检测电平在 I2 边沿检测边沿递增或递减计数 010：编码器模式 2 – 计数器根据 I2 边沿检测电平在 I1 边沿检测边沿递增或递减计数 011：编码器模式 3 – 计数器在 I1 边沿检测和 I2 边沿检测的边沿计数，计数的方向取决于另一个输入的电平 100: 复位模式 – 选中的触发输入(TRGI)的上升沿重新初始化计数器，并且产生一次更新事件 101: 门控模式 – 当触发输入(TRGI)为高电平时，计数器的时钟开启。一旦触发输入变为低电平，则计数器停止(但不复位)。计数器的启动和停止都是被控制 110: 触发模式 – 计数器在触发输入 TRGI 的上升沿启动(但不复位)，只有计数器的启动是被控制 111: 外部时钟模式 1 – 选中的触发输入(TRGI) 的上升沿提供计数器时钟 注:如果 I1 双边沿检测被选为触发输入(设置 TSSEL 为 00100)时，不能使用门控模式。I1F 每一次转换，I1 双边沿检测就会输出 1 个脉冲，而门控模式则是检查触发信号的电平

从定时器	IT0(TSSEL=00000)	IT1(TSSEL=00001)	IT2(TSSEL=00010)	IT3(TSSEL=00011)	IT4(TSSEL=01000)	IT5(TSSEL=01001)	IT6(TSSEL=01010)	IT7(TSSEL=01011)	IT8(TSSEL=01100)
GP32C4T1	AD16C4T1	GP16C4T1	GP16C4T2	GP16C4T3	保留	GP16C2T1	GP16C2T2	GP16C2T3	GP16C2T4

表 19-2 GP32C4T1 内部触发连接

19. 5. 2. 4 中断开启寄存器(GP32C4T1_IER)

中断开启寄存器(GP32C4T1_IER)

偏移地址：0x0C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CH4O	CH3OV	CH2OV	CH1OV	—	—	TRGI	—	CH4	CH3	CH2	CH1	UPD

—	Bits 31-13	—	—
CH4OV	Bit 12	W1	**开启通道4捕获溢出中断功能** 此位设置时，开启中断功能，硬件侦测通道4捕获溢出事件时发生中断
CH3OV	Bit 11	W1	**开启通道 3 捕获溢出中断功能** 此位设置时，开启中断功能，硬件侦测通道 3 捕获溢出事件时发生中断
CH2OV	Bit 10	W1	**开启通道 2 捕获溢出中断功能** 此位设置时，开启中断功能，硬件侦测通道 2 捕获溢出事件时发生中断
CH1OV	Bit 9	W1	**开启通道 1 捕获溢出中断功能** 此位设置时，开启中断功能，硬件侦测通道 1 捕获溢出事件时发生中断
—	Bit 8-7	—	—
TRGI	Bit 6	W1	**开启触发中断功能** 此位设置时，开启中断功能，硬件侦测触发信号事件时发生中断
—	Bit 5	—	—
CH4	Bit 4	W1	**开启通道 4 捕获或比较匹配中断功能** 此位设置时，开启中断功能，硬件侦测通道 4 捕获或比较匹配事件时发生中断
CH3	Bit 3	W1	**开启通道 3 捕获或比较匹配中断功能** 此位设置时，开启中断功能，硬件侦测通道 3

			捕获或比较匹配事件时发生中断
CH2	Bit 2	W1	**开启通道 2 捕获或比较匹配中断功能** 此位设置时，开启中断功能，硬件侦测通道 2 捕获或比较匹配事件时发生中断
CH1	Bit 1	W1	**开启通道 1 捕获或比较匹配中断功能** 此位设置时，开启中断功能，硬件侦测通道 1 捕获或比较匹配事件时发生中断
UPD	Bit 0	W1	**开启更新中断功能** 此位设置时，开启中断功能，硬件侦测更新事件时发生中断

19. 5. 2. 5 中断关闭寄存器(GP32C4T1_IDR)

中断关闭寄存器(GP32C4T1_IDR)

偏移地址：0x10

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CH4OV	CH3OV	CH2OV	CH1OV	—	—	TRGI	—	CH4	CH3	CH2	CH1	UPD

—	Bits 31-13	—	—
CH4OV	Bit 12	W1	**关闭通道4捕获溢出中断功能** 此位设置时，关闭通道4捕获溢出中断功能
CH3OV	Bit 11	W1	**关闭通道 3 捕获溢出中断功能** 此位设置时，关闭通道 3 捕获溢出中断功能
CH2OV	Bit 10	W1	**关闭通道 2 捕获溢出中断功能** 此位设置时，关闭通道 2 捕获溢出中断功能
CH1OV	Bit 9	W1	**关闭通道 1 捕获溢出中断功能** 此位设置时，关闭通道 1 捕获溢出中断功能
—	Bit 8-7	—	—
TRGI	Bit 6	W1	**关闭触发中断功能** 此位设置时，关闭触发中断功能
—	Bit 5	—	—
CH4	Bit 4	W1	**关闭通道 4 捕获或比较匹配中断功能** 此位设置时，关闭通道 4 捕获或比较匹配中断功能
CH3	Bit 3	W1	**关闭通道 3 捕获或比较匹配中断功能**

			此位设置时，关闭通道 3 捕获或比较匹配中断功能
CH2	Bit 2	W1	**关闭通道 2 捕获或比较匹配中断功能** 此位设置时，关闭通道 2 捕获或比较匹配中断功能
CH1	Bit 1	W1	**关闭通道 1 捕获或比较匹配中断功能** 此位设置时，关闭通道 1 捕获或比较匹配中断功能
UPD	Bit 0	W1	**关闭更新中断功能** 此位设置时，关闭更新中断功能

19. 5. 2. 6 中断功能有效状态寄存器(GP32C4T1_IVS)

中断功能有效状态寄存器(GP32C4T1_IVS)

偏移地址：0x14

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CH4OV	CH3OV	CH2OV	CH1OV	—	—	TRGI	—	CH4	CH3	CH2	CH1	UPD

—	Bits 31-13	—	—
CH4OV	Bit 12	R	**通道 4 捕获溢出中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH3OV	Bit 11	R	**通道 3 捕获溢出中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH2OV	Bit 10	R	**通道 2 捕获溢出中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH1OV	Bit 9	R	**通道 1 捕获溢出中断功能状态** 0: 中断功能处于关闭状态 ：中断功能处于开启状态
—	Bit 8-7	—	—
TRGI	Bit 6	R	**触发中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态

—	Bit 5	—	—
CH4	Bit 4	R	**通道 4 捕获或比较匹配中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH3	Bit 3	R	**通道 3 捕获或比较匹配中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH2	Bit 2	R	**通道 2 捕获或比较匹配中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH1	Bit 1	R	**通道 1 捕获或比较匹配中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
UPD	Bit 0	R	**更新中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态

GP32C4T1_IVS 寄存器，是实时反映系统配置 GP32C4T1_IER 与 GP32C4T1_IDR 的中断状态。 此寄存器状态是将 GP32C4T1_IER 与 GP32C4T1_IDR 进行硬件运算，公式如下：

GP32C4T1_IVS = GP32C4T1_IER & ~GP32C4T1_IDR

19. 5. 2. 7 原始中断状态寄存器(GP32C4T1_RIF)

原始中断状态寄存器(GP32C4T1_RIF)

偏移地址：0x18

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CH4OV	CH3OV	CH2OV	CH1OV	—	—	TRGI	—	CH4	CH3	CH2	CH1	UPD

—	Bits 31-13	—	—
CH4OV	Bit 12	R	**通道4捕获溢出，原始中断状态** 0：无发生中断 1：已发生中断
CH3OV	Bit 11	R	**通道 3 捕获溢出，原始中断状态** 0：无发生中断 1：已发生中断

CH2OV	Bit 10	R	**通道 2 捕获溢出，原始中断状态** 0：无发生中断 1：已发生中断
CH1OV	Bit 9	R	**通道 1 捕获溢出，原始中断状态** 0：无发生中断 1：已发生中断
—	Bit 8-7	—	—
TRGI	Bit 6	R	**触发，原始中断状态** 0：无发生中断 1：已发生中断
—	Bit 5	—	—
CH4	Bit 4	R	**通道 4 捕获或比较匹配，原始中断状态** 0：无发生中断 1：已发生中断
CH3	Bit 3	R	**通道 3 捕获或比较匹配，原始中断状态** 0：无发生中断 1：已发生中断
CH2	Bit 2	R	**通道 2 捕获或比较匹配，原始中断状态** 0：无发生中断 1：已发生中断
CH1	Bit 1	R	**通道 1 捕获或比较匹配，原始中断状态** 0：无发生中断 1：已发生中断
UPD	Bit 0	R	**更新，原始中断状态** 0：无发生中断 1：已发生中断

19. 5. 2. 8 中断标志位状态寄存器(GP32C4T1_IFM)

中断标志位状态寄存器(GP32C4T1_IFM)																													
偏移地址：0x1C																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CH4OV	CH3OV	CH2OV	CH1OV	—	—	TRGI	—	CH4	CH3	CH2	CH1	UPD

—	Bits 31-13	—	—
CH4OV	Bit 12	R	**通道4捕获溢出，标志位中断状态** 0: 无发生中断 1: 已发生中断
CH3OV	Bit 11	R	**通道 3 捕获溢出，标志位中断状态** 0: 无发生中断 1: 已发生中断
CH2OV	Bit 10	R	**通道 2 捕获溢出，标志位中断状态** 0: 无发生中断 1: 已发生中断
CH1OV	Bit 9	R	**通道 1 捕获溢出，标志位中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 8-7	—	—
TRGI	Bit 6	R	**触发，标志位中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 5	—	—
CH4	Bit 4	R	**通道 4 捕获或比较匹配，标志位中断状态** 0: 无发生中断 1: 已发生中断
CH3	Bit 3	R	**通道 3 捕获或比较匹配，标志位中断状态** 0: 无发生中断 1: 已发生中断
CH2	Bit 2	R	**通道 2 捕获或比较匹配，标志位中断状态** 0: 无发生中断 1: 已发生中断
CH1	Bit 1	R	**通道 1 捕获或比较匹配，标志位中断状态** 0: 无发生中断

			1: 已发生中断
UPD	Bit 0	R	**更新，标志位中断状态** 0: 无发生中断 1: 已发生中断

GP32C4T1_IFM 寄存器，是滤除已关闭中断功能的中断事件，只关注开启中断功能的事件· 此寄存器状态是将 GP32C4T1_RIF 与 GP32C4T1_IVS 进行硬件运算，公式如下：
GP32C4T1_IFM = GP32C4T1_RIF & GP32C4T1_IVS

19. 5. 2. 9 中断清除寄存器(GP32C4T1_ICR)

中断清除寄存器(GP32C4T1_ICR)

偏移地址： 0x20

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CH4OV	CH3OV	CH2OV	CH1OV	—	—	TRGI	—	CH4	CH3	CH2	CH1	UPD

—	Bits 31-13	—	—
CH4OV	Bit 12	C_W1	**清除通道4捕获溢出中断状态** 此位设置时，清除中断状态(GP32C4T1_RIF 与GP32C4T1_IFM)
CH3OV	Bit 11	C_W1	**清除通道 3 捕获溢出中断状态** 此位设置时，清除中断状态(GP32C4T1_RIF 与 GP32C4T1_IFM)
CH2OV	Bit 10	C_W1	**清除通道 2 捕获溢出中断状态** 此位设置时，清除中断状态(GP32C4T1_RIF 与 GP32C4T1_IFM)
CH1OV	Bit 9	C_W1	**清除通道 1 捕获溢出中断状态** 此位设置时，清除中断状态(GP32C4T1_RIF 与 GP32C4T1_IFM)
—	Bit 8-7	—	—
TRGI	Bit 6	C_W1	**清除触发中断状态** 此位设置时，清除中断状态(GP32C4T1_RIF 与 GP32C4T1_IFM)
—	Bit 5	—	—
CH4	Bit 4	C_W1	**清除通道 4 捕获或比较匹配中断状态** 此位设置时，清除中断状态(GP32C4T1_RIF

			与 GP32C4T1_IFM)
CH3	Bit 3	C_W1	**清除通道 3 捕获或比较匹配中断状态** 此位设置时，清除中断状态(GP32C4T1_RIF 与 GP32C4T1_IFM)
CH2	Bit 2	C_W1	**清除通道 2 捕获或比较匹配中断状态** 此位设置时，清除中断状态(GP32C4T1_RIF 与 GP32C4T1_IFM)
CH1	Bit 1	C_W1	**清除通道 1 捕获或比较匹配中断状态** 此位设置时，清除中断状态(GP32C4T1_RIF 与 GP32C4T1_IFM)
UPD	Bit 0	C_W1	**清除更新中断状态** 此位设置时，清除中断状态(GP32C4T1_RIF 与 GP32C4T1_IFM)

GP32C4T1_ICR 寄存器设置时，将清除 GP32C4T1_RIF 与 GP32C4T1_IFM 中断标志状态；此设置不影响中断 GP32C4T1_IER、GP32C4T1_IDR 与 GP32C4T1_IVS 寄存器，只清除标志状态 GP32C4T1_RIF 与 GP32C4T1_IFM。 此寄存器通过硬件清除中断，公式如下：
GP32C4T1_RIF = GP32C4T1_RIF & ~GP32C4T1_ICR

19. 5. 2. 10 软件生成事件寄存器(GP32C4T1_SGE)

软件生成事件寄存器(GP32C4T1_SGE)

偏移地址：0x24

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SGTRGI	—	SGCH4	SGCH3	SGCH2	SGCH1	SGUPD

—	Bits 31-7	—	—
SGTRGI	Bit 6	T_W1	**软件生成触发事件** 该位由软件设置来生成触发事件，可由硬件自动清零。 此位设置时，产生触发事件。产生相关中断或 DMA 传输
—	Bit 5	—	—
SGCH4	Bit 4	T_W1	**软件生成通道 4 捕获或比较事件** 参照 SGCH1 描述
SGCH3	Bit 3	T_W1	**软件生成通道 3 捕获或比较事件**

			参照 SGCH1 描述
SGCH2	Bit 2	T_W1	**软件生成通道 2 捕获或比较事件** 参照 SGCH1 描述
SGCH1	Bit 1	T_W1	**软件生成通道 1 捕获或比较事件** 该位由软件设置来生成通道 1 捕获或比较，可由硬件自动清零。 **通道 CH1 设置为输出:** 此位设置时，产生比较事件，但不影响输出。若开启中断或 DMA，则产生中断与请求。 **通道 CH1 设置为输入:** 此位设置时，产生捕获事件。将计数器捕获至 CCVAL1 寄存器中，若开启中断或 DMA，则产生中断与请求。
SGUPD	Bit 0	T_W1	**软件触发更新事件** 该位由软件设置，可由硬件自动清零。 此位设置时，产生更新事件。重新初始化计数器，更新寄存器。 注: 预分频器也会被清零(但预分频比不会受到影响)。如果使用中心对齐模式或者 DIRSEL=0(递增计数)，则计数器将清零；否则如果 DIRSEL=1(递减计数)，则将使用自动重载寄存器值(GP32C4T1_AR)。

19. 5. 2. 11 捕获或比较模式寄存器 1(GP32C4T1_CHMR1)

捕获或比较模式寄存器 1(GP32C4T1_CHMR1)																													
偏移地址：0x28																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																CH2OCLREN	CH2MOD <2:0>			CH2PEN	CH2FEN	CC2SSEL <1:0>		CH1OCLREN	CH1MOD <2:0>			CH1PEN	CH1FEN	CC1SSEL <1:0>	
																I2FLT <3:0>				I2PRES <1:0>				I1FLT <3:0>				I1PRES <1:0>			

输出比较模式

—	Bits 31-16	—	—
CH2OCLREN	Bit 15	R/W	**输出比较通道 2 清除开启** 参照 CH1OCLREN 描述
CH2MOD	Bit 14-12	R/W	**输出比较通道 2 模式** 参照 CH1MOD 描述
CH2PEN	Bit 11	R/W	**输出比较通道 2 预装载开启** 参照 CH1PEN 描述
CH2FEN	Bit 10	R/W	**输出比较通道 2 快速开启** 参照 CH1FEN 描述
CC2SSEL	Bit 9-8	R/W	**捕获或比较通道 2 选择** 设置通道的输出方向与信号的选择，当 CCEP 寄存器的 CC2EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I2 10: 通道设置为输入，捕获源为 I1 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测
CH1OCLREN	Bit 7	R/W	**输出比较通道 1 清除开启** 0: CH1REF 维持输出 1: CH1REF 在 CHREF_CLR 为高电平时清除(设置 GP32C4T1_OPTR 寄存器的 ETR_RMP 位选择来源)
CH1MOD	Bit 6-4	R/W	**输出比较通道 1 模式**

			这些位定义提供 CH1 和 CH1N 的输出参考信号 CH1REF 的行为。CH1REF 为高电平有效， 而 CH1 和 CH1N 的有效电平则取决于 GP32C4T1_CCEP 寄存器中的 CC1POL 位和 CC1NPOL 位。 000: 关闭 – 无作用 001: 匹配时设置高电平 – 当计数器(GP32C4T1_COUNT)匹配 GP32C4T1_CCVAL1 寄存器时，CH1REF 设置为 1 010: 匹配时设置低电平 – 当计数器(GP32C4T1_COUNT)匹配 GP32C4T1_CCVAL1 寄存器时，CH1REF 设置为 0 011: 匹配时设置翻转电平 – 当计数器(GP32C4T1_COUNT)匹配 GP32C4T1_CCVAL1 寄存器时，CH1REF 设置翻转电平(当前为高电平则翻转成低电平，反之当前为低电平则翻转成高电平) 100: 强制低电平 – CH1REF 强制设置低电平 101: 强制高电平 – CH1REF 强制设置高电平 110: PWM 模式 1 – 在递增计数时，当计数器(GP32C4T1_COUNT)小于 GP32C4T1_CCVAL1 寄存器时，输出高电平，其他则输出低电平。在递减计数时，当计数器(GP32C4T1_COUNT)大于 GP32C4T1_CCVAL1 寄存器时，输出低电平，其他则输出高电平 111: PWM 模式 2 – 在递增计数时，当计数器(GP32C4T1_COUNT)小于 GP32C4T1_CCVAL1 寄存器时，输出低电平，其他则输出高电平。在递减计数时，当计数器(GP32C4T1_COUNT)大于 GP32C4T1_CCVAL1 寄存器时，输出高电平，其他则输出低电平
CH1PEN	Bit 3	R/W	**输出比较通道 1 预装载开启** 设置后在更新事件时，将 GP32C4T1_CCVAL1 寄存器预装载值载入到

			影子寄存器中。 0: CCVAL1 寄存器预装载关闭 1: CCVAL1 寄存器预装载开启
CH1FEN	Bit 2	R/W	**输出比较通道 1 快速开启** 用于加速触发输入事件对于 PWM 输出的影响，CH1FEN 只在通道被配置成 PWM1 或 PWM2 模式时起作用。 0: CH1 的输出依赖于计数器与 CCVAL1 的值正常工作。 1: 当触发输入(TRGI)有效时，CH1 被强制设置为比较电平(与比较结果无关)，触发输入(TRGI)的有效边沿相当于发生比较匹配。
CC1SSEL	Bit 1-0	R/W	**捕获或比较通道 1 选择** 设置通道的输出方向与信号的选择，当 GP32C4T1_CCEP 寄存器的 CC1EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I1 10: 通道设置为输入，捕获源为 I2 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测

输入捕获模式

—	Bits 31-16	—	—
I2FLT	Bit 15-12	R/W	**输入捕获通道2滤波器** 参照I1FLT描述
I2PRES	Bit 11-10	R/W	**输入捕获通道 2 预分频器** 参照 IC1PRES 描述
CC2SSEL	Bit 9-8	R/W	**捕获或比较通道 2 选择** 设置通道的输出方向与信号的选择，当 GP32C4T1_CCEP 寄存器的 CC2EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I2 10: 通道设置为输入，捕获源为 I1 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测
I1FLT	Bit 7-4	R/W	**输入捕获通道 1 滤波器**

			设置 I1 信号采样的频率和对 I1 数字滤波器的带宽。数字滤波器是一个事件计数器，它记录到 N 个事件后才视为一个有效输出边沿: 0000: 采样频率 f_{DTS}，滤波器关闭 0001: 采样频率 f_{INT_CLK}, N = 2 0010: 采样频率 f_{INT_CLK}, N = 4 0011: 采样频率 f_{INT_CLK}, N = 8 0100: 采样频率 f_{DTS} / 2, N = 6 0101: 采样频率 f_{DTS} / 2, N = 8 0110: 采样频率 f_{DTS} / 4, N = 6 0111: 采样频率 f_{DTS} / 4, N = 8 1000: 采样频率 f_{DTS} / 8, N = 6 1001: 采样频率 f_{DTS} / 8, N = 8 1010: 采样频率 f_{DTS} / 16, N = 5 1011: 采样频率 f_{DTS} / 16, N = 6 1100: 采样频率 f_{DTS} / 16, N = 8 1101: 采样频率 f_{DTS} / 32, N = 5 1110: 采样频率 f_{DTS} / 32, N = 6 1111: 采样频率 f_{DTS} / 32, N = 8
I1PRES	Bit 3-2	R/W	**输入捕获通道 1 预分频器** 设置 I1 的预分频计数器数值，当清除 GP32C4T1_ CCEP 寄存器的 CC1EN 位，预分频计数器同时被清除 00: 预分频关闭，于每次事件时捕获 01: 每 2 次事件捕获 10: 每 4 次事件捕获 11: 每 8 次事件捕获
CC1SSEL	Bit 1-0	R/W	**捕获或比较通道 1 选择** 设置通道的输出方向与信号的选择，当 GP32C4T1_CCEP 寄存器的 CC1EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I1 10: 通道设置为输入，捕获源为 I2 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测

19. 5. 2. 12 捕获或比较模式寄存器 2(GP32C4T1_CHMR2)

捕获或比较模式寄存器 2(GP32C4T1_CHMR2)																													
偏移地址：0x2C																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																CH4OCLREN	CH4MOD <2:0>			CH4PEN	CH4FEN	CC4SSEL <1:0>		CH3OCLREN	CH3MOD <2:0>			CH3PEN	CH3FEN	CC3SSEL <1:0>	
																I4FLT <3:0>				I4PRES <1:0>				I3FLT <3:0>				I3PRES <1:0>			

输出比较模式

—	Bits 31-16	—	—
CH4OCLREN	Bit 15	R/W	**输出比较通道 4 清除开启** 参照 CH1OCLREN 描述
CH4MOD	Bit 14-12	R/W	**输出比较通道 4 模式** 参照 CH1MOD 描述
CH4PEN	Bit 11	R/W	**输出比较通道 4 预装载开启** 参照 CH1PEN 描述
CH4FEN	Bit 10	R/W	**输出比较通道 4 快速开启** 参照 CH1FEN 描述
CC4SSEL	Bit 9-8	R/W	**捕获或比较通道 4 选择** 设置通道的输出方向与信号的选择，当 GP32C4T1_CCEP 寄存器的 CC4EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I4 10: 通道设置为输入，捕获源为 I3 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测
CH3OCLREN	Bit 7	R/W	**输出比较通道 3 清除开启** 参照 CH1OCLREN 描述
CH3MOD	Bit 6-4	R/W	**输出比较通道 3 模式** 参照 CH1OMOD 描述
CH3PEN	Bit 3	R/W	**输出比较通道 3 预装载开启**

			参照 CH1PEN 描述
CH3FEN	Bit 2	R/W	**输出比较通道 3 快速开启** 参照 CH1FEN 描述
CC3SSEL	Bit 1-0	R/W	**捕获或比较通道 3 选择** 设置通道的输出方向与信号的选择，当 GP32C4T1_CCEP 寄存器的 CC3EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I3 10: 通道设置为输入，捕获源为 I4 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测

输入捕获模式

—	Bits 31-16	—	—
I4FLT	Bit 15-12	R/W	**输入捕获通道4滤波器** 参照I1FLT描述
I4PRES	Bit 11-10	R/W	**输入捕获通道 4 预分频器** 参照 IC1PRES 描述
CC4SSEL	Bit 9-8	R/W	**捕获或比较通道 4 选择** 设置通道的输出方向与信号的选择，当 GP32C4T1_CCEP 寄存器的 CC4EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I4 10: 通道设置为输入，捕获源为 I3 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测
I3FLT	Bit 7-4	R/W	**输入捕获通道 3 滤波器** 参照 I1FLT 描述
I3PRES	Bit 3-2	R/W	**输入捕获通道 3 预分频器** 参照 IC1PRES 描述
CC3SSEL	Bit 1-0	R/W	**捕获或比较通道 3 选择** 设置通道的输出方向与信号的选择，当 GP32C4T1_CCEP 寄存器的 CC3EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I3

			10: 通道设置为输入，捕获源为 I4 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测

19. 5. 2. 13 捕获或比较开启极性寄存器(GP32C4T1_CCEP)

捕获或比较开启寄存器(GP32C4T1_CCEP)

偏移地址：0x30

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CC4NPOL	—	CC4POL	CC4EN	CC3NPOL	—	CC3POL	CC3EN	CC2NPOL	—	CC2POL	CC2EN	CC1NPOL	—	CC1POL	CC1EN

—	Bits 31-16	—	—
CC4NPOL	Bit 15	R/W	**捕获或比较通道4互补输出极性** 参照CC1NPOL描述
—	Bit 14	—	—
CC4POL	Bit 13	R/W	**捕获或比较通道 4 输出极性** 参照 CC1POL 描述
CC4EN	Bit 12	R/W	**捕获或比较通道 4 输出开启** 参照 CC1EN 描述
CC3NPOL	Bit 11	R/W	**捕获或比较通道 3 互补输出极性** 参照 CC1NPOL 描述
—	Bit 10	—	—
CC3POL	Bit 9	R/W	**捕获或比较通道 3 输出极性** 参照 CC1POL 描述
CC3EN	Bit 8	R/W	**捕获或比较通道 3 输出开启** 参照 CC1EN 描述
CC2NPOL	Bit 7	R/W	**捕获或比较通道 2 互补输出极性** 参照 CC1NPOL 描述
—	Bit 6	—	—
CC2POL	Bit 5	R/W	**捕获或比较通道 2 输出极性** 参照 CC1POL 描述
CC2EN	Bit 4	R/W	**捕获或比较通道 2 输出开启** 参照 CC1EN 描述
CC1NPOL	Bit 3	R/W	**捕获或比较通道 1 互补输出极性** **通道 CH1 设置为输出:**

			0: CH1N 高电平有效 1: CH1N 低电平有效 **通道 CH1 设置为输入:** 该位需和 CC1POL 一起使用来定义输入边沿的极性。参照 CC1POL 描述。
—	Bit 2	—	—
CC1POL	Bit 1	R/W	**捕获或比较通道 1 输出极性** **通道 CH1 设置为输出:** 0: CH1 高电平有效 1: CH1 低电平有效 **通道 CC1 设置为输入:** CC1NPOL 与 CC1POL 位选择触发边沿或捕获模式下 I1 和 I2 的极性 00: 非反相/上升沿 01: 反相/下降沿 10: 保留 11: 非反相/上升沿+下降沿
CC1EN	Bit 0	R/W	**捕获或比较通道 1 输出开启** **通道 CH1 设置为输出:** 0: 关闭- CH1 无效。 1: 开启- CH1 为对应输出引脚上的输出信号。 **通道 CH1 设置为输入:** 0: 捕获关闭 1: 捕获开启

19. 5. 2. 14 计数寄存器(GP32C4T1_COUNT)

计数寄存器(GP32C4T1_COUNT)

偏移地址：0x34

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNTV<31:0>																															

CNTV	Bits 31-0	R/W	**计数器数值**

19. 5. 2. 15 时钟预分频寄存器(GP32C4T1_PRES)

时钟预分频寄存器(GP32C4T1_PRES)																															
偏移地址：0x38																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																PSCV<15:0>															

—	Bits 31-16	—	—
PSCV	Bits 15-0	R/W	**预分频数值** 当计数器时钟频率等于 f_{INT_CLK}/(PSCV<15:0> + 1)时计数器递增或递减。在更新事件产生时，将PSCV数值被载入影子寄存器中

19. 5. 2. 16 自动重装载寄存器(GP32C4T1_AR)

自动重装载寄存器(GP32C4T1_AR)																															
偏移地址：0x3C																															
复位值：0x0000 FFFF																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARV<31:0>																															

ARV	Bits 31-0	R/W	**自动重载数值** 设置计数器的递增计数的边界或递减计数的重载值，设置数值为 0 时计数器停止计数

19. 5. 2. 17 通道捕获或比较寄存器 1(GP32C4T1_CCVAL1)

通道捕获或比较寄存器 1(GP32C4T1_CCVAL1)																															
偏移地址：0x44																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCRV1<31:0>																															

CCRV1	Bits 31-0	R/W	**捕获或比较数值 1** **通道 CH1 配置为输出:** CCRV1 是捕获或比较寄存器的预装载值。如果在 GP32C4T1_CHMR1 寄存器中的预载功能没有选中，CCRV1 中的值将被永久载入；否则每当发生更新事件，预载值将会复制到有效的捕获或比较寄存器中。有效捕获或比较寄存器的值将会与 GP32C4T1_COUNT 中的值进行比较，并在 CH1 上输出。 **通道 CH1 配置为输入:** CCRV1为由上一个输入捕获事件(I1)发生时的计数器数值。

19. 5. 2. 18 通道捕获或比较寄存器 2(GP32C4T1_CCVAL2)

通道捕获或比较寄存器 2(GP32C4T1_CCVAL2)																															
偏移地址： 0x48																															
复位值： 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCRV2<31:0>																															

CCRV2	Bits 31-0	R/W	**捕获或比较数值2** **通道CH2配置为输出:** CCRV2是捕获或比较寄存器的预装载值。 如果在GP32C4T1_CHMR1寄存器中的预载功能没有选中，CCRV2中的值将被永久载入;否则每当发生更新事件，预载值将会复制到有效的捕获或比较寄存器中。有效捕获或比较寄存器的值将会与GP32C4T1_COUNT中的值进行比较，并在CH2上输出。 **通道CH2配置为输入:** CCRV2为由上一个输入捕获事件(I2)发生时的计数器数值。

19. 5. 2. 19 通道捕获或比较寄存器 3(GP32C4T1_CCVAL3)

通道捕获或比较寄存器 3(GP32C4T1_CCVAL3)																															
偏移地址：0x4C																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCRV3<31:0>																															

CCRV3	Bits 31-0	R/W	**捕获或比较数值3** **通道CH3配置为输出:** CCRV3是捕获或比较寄存器的预装载值。 如果在GP32C4T1_CHMR2寄存器中的预载功能没有选中，CCRV3中的值将被永久载入;否则每当发生更新事件，预载值将会复制到有效的捕获或比较寄存器中。有效捕获或比较寄存器的值将会与GP32C4T1_COUNT中的值进行比较，并在CH3上输出。 **通道CH3配置为输入:** CCRV3为由上一个输入捕获事件(I3)发生时的计数器数值。

19. 5. 2. 20 通道捕获或比较寄存器 4(GP32C4T1_CCVAL4)

通道捕获或比较寄存器 4(GP32C4T1_CCVAL4)																															
偏移地址：0x50																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCRV4<31:0>																															

CCRV4	Bits 31-0	R/W	**捕获或比较数值4** **通道CH4配置为输出:** CCRV4是捕获或比较寄存器的预装载值。 如果在GP32C4T1_CHMR2寄存器中的预载功能没有选中，CCRV4中的值将被永久载入;否则每当发生更新事件，预载值将会复制到有效的捕获或比较寄存器中。有效捕获或比较寄存器的值将会与GP32C4T1_COUNT中的值进行比较，并在CH4上输出。 **通道CH1配置为输入:** CCRV4为由上一个输入捕获事件(I)发生时的计数器数值。

19. 5. 2. 21 DMA 事件开启寄存器(GP32C4T1_DMAEN)

DMA 事件开启寄存器(GP32C4T1_DMAEN)																														
偏移地址：0x58																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TRGI	—	CH4	CH3	CH2	CH1	UPD

—	Bits 31-7	—	—
TRGI	Bit 6	R/W	**触发事件的DMA请求开启** 0: 触发事件的DMA请求关闭 1: 触发事件的DMA请求开启
—	Bit 5	—	—
CH4	Bit 4	R/W	**通道 4 捕获或比较匹配的 DMA 请求开启** 0: 通道 4 捕获或比较匹配的 DMA 请求关闭 1: 通道 4 捕获或比较匹配的 DMA 请求开启
CH3	Bit 3	R/W	**通道3捕获或比较匹配的DMA请求开启** 0: 通道3捕获或比较匹配的DMA请求关闭 1: 通道3捕获或比较匹配的DMA请求开启
CH2	Bit 2	R/W	**通道 2 捕获或比较匹配的 DMA 请求开启** 0: 通道 2 捕获或比较匹配的 DMA 请求关闭 1: 通道 2 捕获或比较匹配的 DMA 请求开启
CH1	Bit 1	R/W	**通道 1 捕获或比较匹配的 DMA 请求开启** 0: 通道 1 捕获或比较匹配的 DMA 请求关闭 1: 通道 1 捕获或比较匹配的 DMA 请求开启
UPD	Bit 0	R/W	**更新事件的 DMA 请求开启** 0: 更新事件的 DMA 请求关闭 1: 更新事件的 DMA 请求开启

19. 5. 2. 22 输入选择寄存器(GP32C4T1_OPTR)

输入选择寄存器(GP32C4T1_OPTR)																											
偏移地址：0x5C																											
复位值：0x0000 0000																											
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																						ETR_RMP<1:0>		CH4_RMP<1:0>		CH3_RMP<1:0>		CH2_RMP<1:0>		CH1_RMP<1:0>	

—	Bits 31-10	—	—
ERT_RMP	Bit 9-8	R/W	**ETR输入选择** 00: GP32C4T1_ETR输入 01: CMP1_OUT 10: CMP2_OUT 其他: 保留
CH4_RMP	Bit 7-6	R/W	**CH4输入选择** 00: GP32C4T1_CH4输入 其他: 保留
CH3_RMP	Bit 5-4	R/W	**CH3输入选择** 00: GP32C4T1_CH3输入 其他: 保留
CH2_RMP	Bit 3-2	R/W	**CH2输入选择** 00: GP32C4T1_CH2输入 01: CMP2_OUT 10: RTC 1Hz 11: 保留
CH1_RMP	Bit 1-0	R/W	**CH1 输入选择** 00: GP32C4T1_CH1 输入 01: CMP1_OUT 10: RTC wakup 11: MCO

第20章 通用定时器 16 位 4 通道 (GP16C4Tn)

20. 1 概述

通用定时器 16 位 4 通道(GP16C4Tn)是一个设置灵活的定时器模块，它包含一个 16 位计数器，具有定时、计数、脉冲输入信号测量(输入捕获)、产生特定 PWM 波形(输出比较)等功能。

20. 2 特性

- 三种 16 位自动重载计数器模式
  - 递增
  - 递减
  - 递增/递减
- 16 位可配置预分频器，可在定时器运行时对计数器工作时钟进行 1 到 65536 之间的任意分频
- 带有四个独立通道，每个通道支持以下功能
  - 输入捕获
  - 输出比较
  - PWM 输出(边沿和中心对齐模式)
  - 单脉冲输出
- 同步电路用于外部信号控制定时器及内部互连多个定时器
- 下列事件支持产生中断与 DMA 请求：
  - 更新事件：计数器上溢或下溢，计数器初始化(通过软件或内部与外部触发)
  - 触发事件：计数器开启、停止、初始化或通过内部与外部触发计数
  - 输入捕获
  - 输出比较
- 支持增量(正交)编码
- 外部时钟输入触发计数器

20. 3 结构图

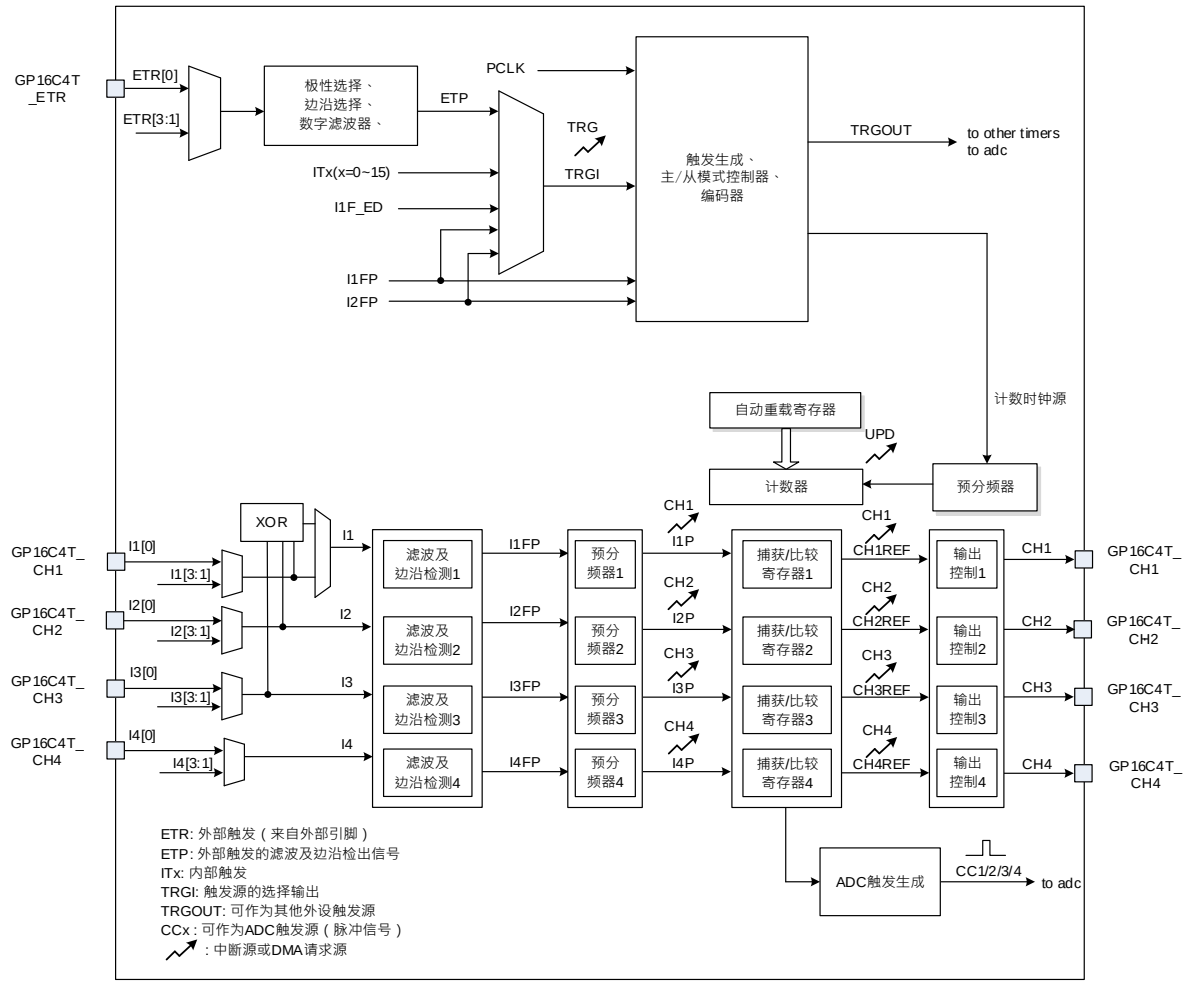


图 20-1 GP16C4Tn 定时器结构框图

20.4 功能描述

20.4.1 定时单位

定时器包含一个 16 位的计数器(**GP16C4Tn_COUNT**)，计数时钟由预分频寄存器(**GP16C4Tn_PRES**)进行分频。计数周期由自动重载计数器(**GP16C4Tn_AR**)设定。

自动重载寄存器(**GP16C4Tn_AR**)是一个可缓冲的寄存器。设置 **GP16C4Tn_CON1** 寄存器的 ARPEN 位为 0 时，关闭 **GP16C4Tn_AR** 寄存器缓冲功能，写入 **GP16C4Tn_AR** 的重载值会被立即反应到影子寄存器中；而设置 ARPEN 位为 1 时，**GP16C4Tn_AR** 寄存器具有缓冲功能，当产生更新事件(UPD)时，**GP16C4Tn_AR** 寄存器的重载值才会被更新到影子寄存器中。

设置 **GP16C4Tn_CON1** 寄存器的 DISUE 位为 0 时，计数器递增计数达到上溢值或递减达到下溢值时会产生更新事件(UPD)。另外可以通过 **GP16C4Tn_SGE** 寄存器的 SGUPD 位为 1 产生软件更新事件。设置 **GP16C4Tn_CON1** 寄存器的 CNTEN 为 1 时，计数器开始计数。

注：计数器在设置 CNTEN 位为 1 后，在 1 个 APB 时钟周期后开始计数。

预分频器可对定时器工作时钟进行 **GP16C4Tn_PRES** 寄存器数值+1 次分频。由于 **GP16C4Tn_PRES** 是一个可缓冲寄存器，因此定时器运行时可以对该寄存器进行修改，修改值在下次更新事件(UPD)后有效。

下图给出了定时器运行过程中改变预分频值时计数器的计数情况。

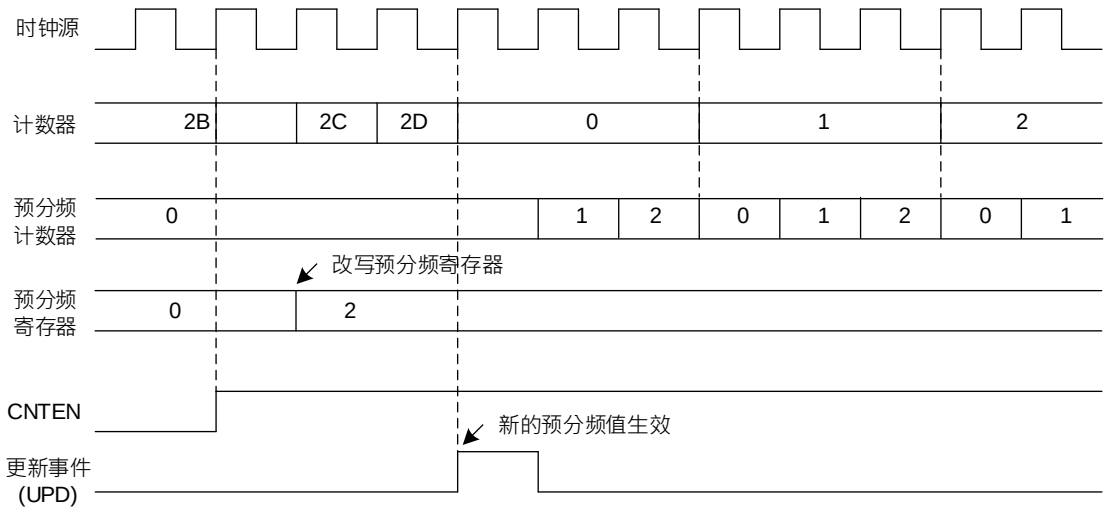


图 20-2 预分频值计数时序图

20. 4. 2 时钟源

计数器工作时钟可以选择内部时钟(INT_CLK)、外部时钟源 1(I1、I2)、外部时钟源 2(ETR) 与内部触发输入(IT0~IT15)。

20. 4. 2. 1 内部时钟源(INT_CLK)

若从模式控制器被关闭(**GP16C4Tn_SMCON** 寄存器的 SMODS 位为 000b)，则 **GP16C4Tn_CON1** 寄存器的 CNTEN、DIRSEL 位与 **GP16C4Tn_SGE** 寄存器的 SGUPD 位为控制位，这些位只能软件修改(SGUPD 位除外，仍由硬件自动清除)。一旦设置 CNTEN 位为 1，预分频器就由内部 INT_CLK 提供时钟。

下图给出了正常模式下没有分频控制电路和递增计数的情况。

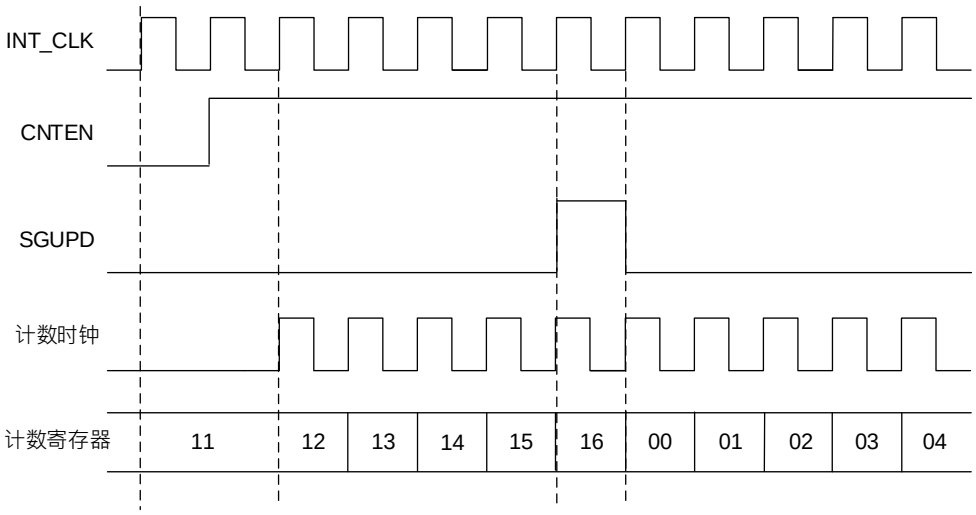


图 20-3 采用内部时钟计数

20. 4. 2. 2 外部时钟源 1

GP16C4Tn_SMCON 寄存器的 SMODS 位为 111b 时，可选择外部时钟源 1。计数器可根据选定的上升沿或下降沿计数。

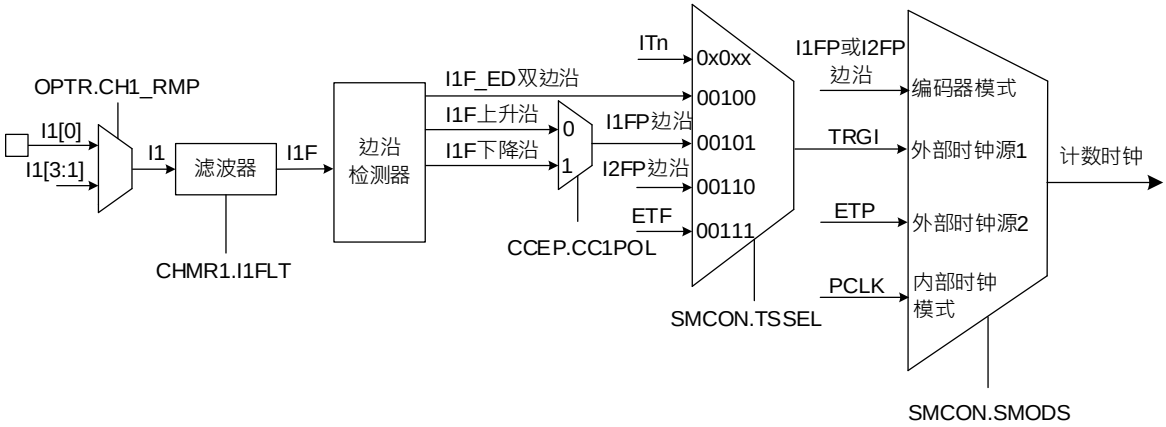


图 20-4 外部时钟连接

配置计数器外部时钟源为 I1 输入，并在 I1 上升沿时计数，步骤如下：

1. 设置 **GP16C4Tn_OPTR** 寄存器的 CH1_RMP 位为 00b，选择 I1 由 IO 输入(默认值皆为 IO 输入，后续不再特别描述)。
2. 设置 **GP16C4Tn_CHMR1** 寄存器 CC1SSEL 位为 01b，让通道 1 为 I1 输入
3. 设置 **GP16C4Tn_CHMR1** 寄存器的 I1FLT 位，输入滤波器时间(若没有滤波器需求，维持 I1FLT 位为 0000)。
4. 设置 **GP16C4Tn_CCEP** 寄存器的 CC1NPOL 位为 0、CC1POL 位为 0，选择极性为上升沿。
5. 设置 **GP16C4Tn_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00101b，选择外部时钟源为 I1。
6. 设置 **GP16C4Tn_SMCON** 寄存器的 SMODS 位为 111b，选择定时器外部时钟模式 1。
7. 设置 **GP16C4Tn_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

当 I1 上出现一次上升沿时，计数器计数一次且设置 TRGI 标志位为 1。I1 上升沿与实际时钟间的延时，取决于 I1 输入的同步电路。

20. 4. 2. 3 外部时钟源 2

设置 **GP16C4Tn_SMCON** 寄存器的 ECM2EN 位为 1 选定外部时钟源 2。

计数器可对外部触发输入 ETR 进行上升沿或下降沿计数。

下图给出了外部触发输入模块的概况。

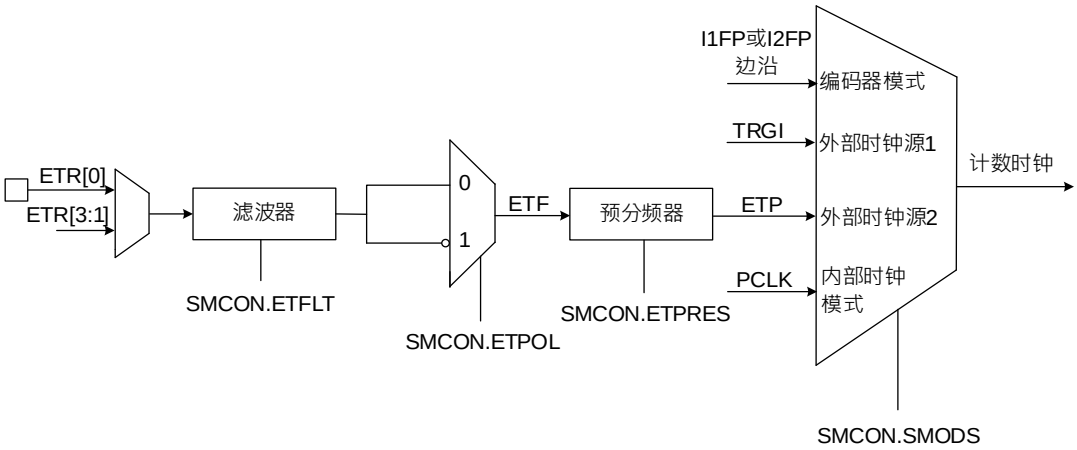


图 20-5 外部触发输入模块

设置计数器为外部时钟源 2，设置过程如下：

1. 设置 **GP16C4Tn_SMCON** 寄存器的 ETFLT 位，输入滤波器时间(若没有滤波器需求，维持 ETFLT 位为 0000)。
2. 设置 **GP16C4Tn_SMCON** 寄存器的 ETPOL 位，检测 ETR 引脚上升沿或下降沿。
3. 设置 **GP16C4Tn_SMCON** 寄存器的 ECM2EN 位为 1，开启外部时钟模式 2。
4. 设置 **GP16C4Tn_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

计数器在每个 ETR 上升沿计数一次。

20. 4. 2. 4 内部触发输入(ITn)

设置 **GP16C4Tn_SMCON** 寄存器的 SMODS 位为 111b，外部时钟模式 1。计数器根据选定的内部输入端(ITn)的上升沿计数。

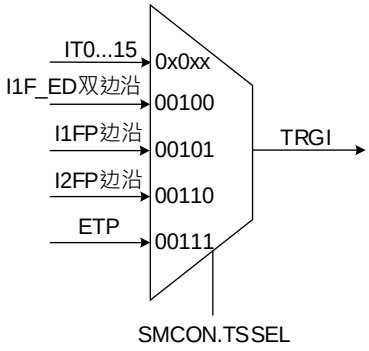


图 20-6 ITn 内部时钟连接

设置计数器在 ITn 输入端的上升沿递增计数，步骤如下：

1. 设置 **GP16C4Tn_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位，选定 ITn 作为外部时钟源。
2. 设置 **GP16C4Tn_SMCON** 寄存器的 SMODS 位为 111b，设置外部时钟模式 1。
3. 设置 **GP16C4Tn_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

ITn 产生上升沿时，计数器计数一次。

20. 4. 3 计数模式

20. 4. 3. 1 递增计数模式

设置 **GP16C4Tn_CON1** 寄存器的 DIRSEL 位为 0 时，定时器设置为递增模式，计数器从 0 开始递增，直至 **GP16C4Tn_AR** 寄存器数值；然后从 0 重新开始计数并产生一个更新事件(UPD)。

设置 **GP16C4Tn_SGE** 寄存器的 SGUPD 位为 1(通过软件)或使用从模式控制器同样会产生更新事件。

通过软件设置 **GP16C4Tn_CON1** 寄存器中的 DISUE 位为 1 可关闭更新事件(UPD)产生。可以避免在写入预装载寄存器数值时产生更新事件(UPD)更新影子寄存器。在设置 DISUE 位为 0 之前都不会产生更新事件(UPD)，计数器和预分频器都会重新从 0 开始计数。

此外，**GP16C4Tn_CON1** 寄存器中的 UERSEL 位为 1 时，设置 SGUPD 位为 1 会产生更新事件(UPD)，但不会更新更新标志位(**GP16C4Tn_RIF** 寄存器的 UPD 位)，也不会产生中断或 DMA 请求。在这个配置下，发生捕获事件时将计数器清零，将不会同时产生更新中断和捕获中断。

发生更新事件(UPD)时，所有预装载寄存器会更新到影子寄存器：

- 更新 **GP16C4Tn_AR** 寄存器数值到影子寄存器
- 更新 **GP16C4Tn_PRES** 寄存器数值到影子寄存器

下图为设置 **GP16C4Tn_AR** 寄存器为 16h，预分频设为 2 分频时的计数器时序。

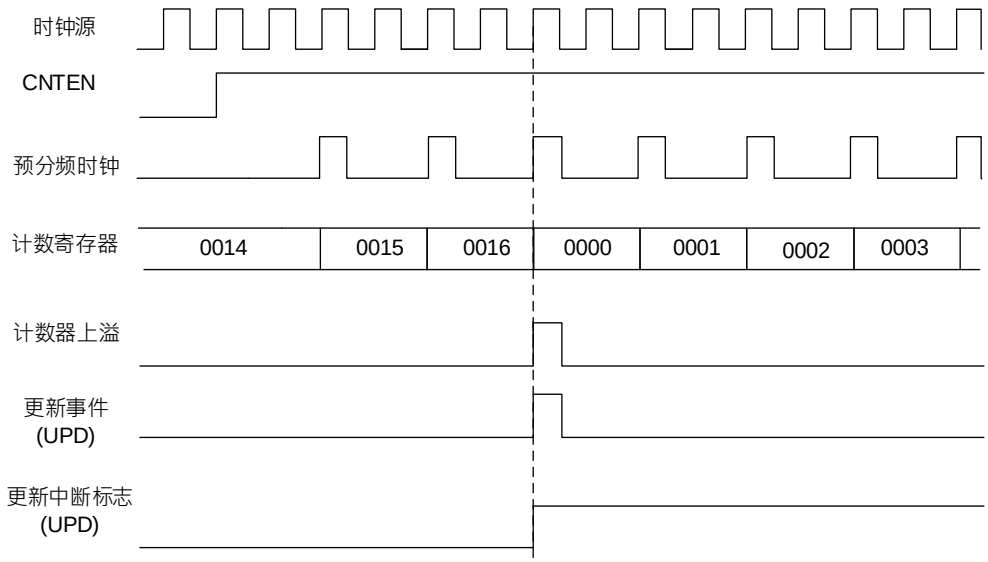


图 20-7 计数器递增计数时序图

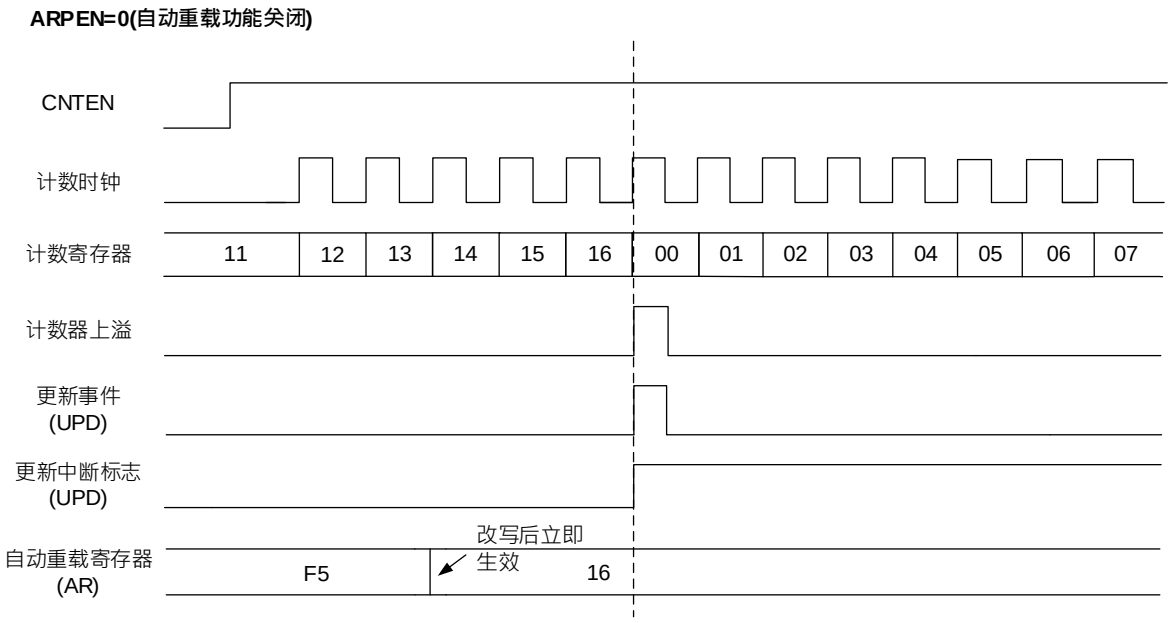


图 20-8 设置 ARPEN 位为 0 时计数器时序图

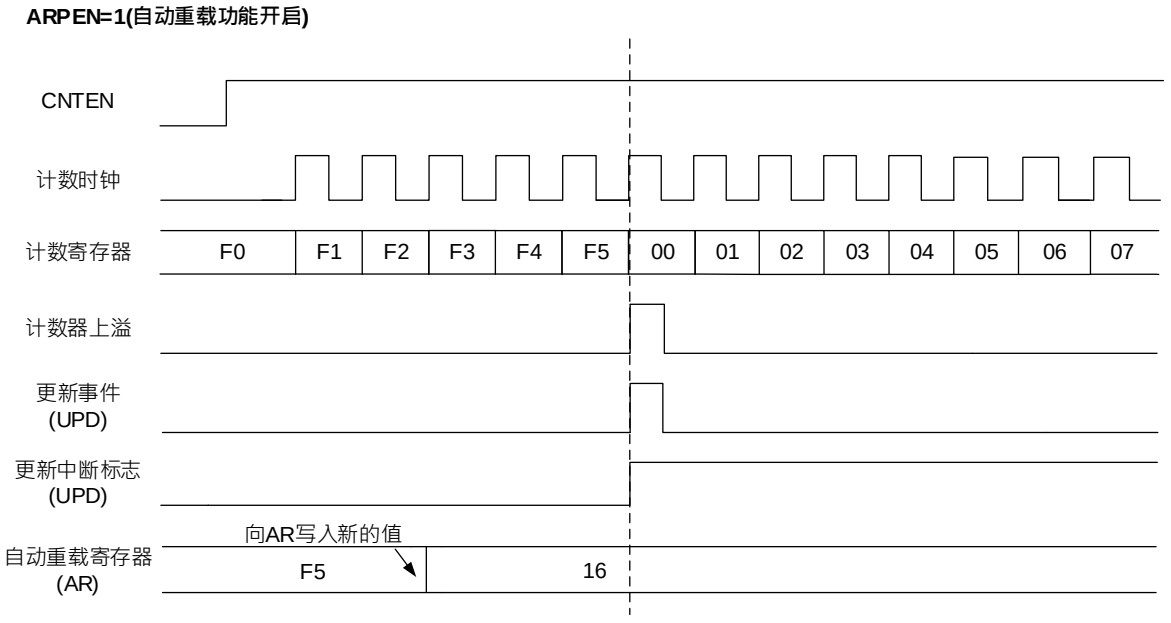


图 20-9 设置 ARPEN 位为 1 时计数器时序图

20. 4. 3. 2 递减计数模式

设置 **GP16C4Tn_CON1** 寄存器的 DIRSEL 位为 1 时，计数器从 **GP16C4Tn_AR** 寄存器数值开始递减至 0；然后从 **GP16C4Tn_AR** 寄存器数值重新递减并产生更新事件(UPD)。

设置 **GP16C4Tn_SGE** 寄存器的 SGUPD 位为 1(通过软件)或使用从模式控制器同样会产生更新事件。

通过软件设置 **GP16C4Tn_CON1** 寄存器中的 DISUE 位为 1 可关闭更新事件(UPD)产生。可以避免在写入预装载寄存器数值时产生更新事件(UPD)更新影子寄存器。在设置 DISUE 位为 0 之前都不会产生更新事件(UPD)，计数器会重新从当前自动重载值开始计数，而预分频器从 0 开始计数。

此外，**GP16C4Tn_CON1** 寄存器中的 UERSEL 位为 1 时，设置 SGUPD 位为 1 会产生更新事件(UPD)，但不会更新更新标志位(**GP16C4Tn_RIF** 寄存器的 UPD 位)，也不会产生中断或 DMA 请求。在这个配置下，发生捕获事件时将计数器清零，将不会同时产生更新中断和捕获中断。

发生更新事件(UPD)时，所有预装载寄存器会更新到影子寄存器。

下图为设置 **GP16C4Tn_AR** 寄存器为 27h，预分频设为 1 分频时的计数器时序。

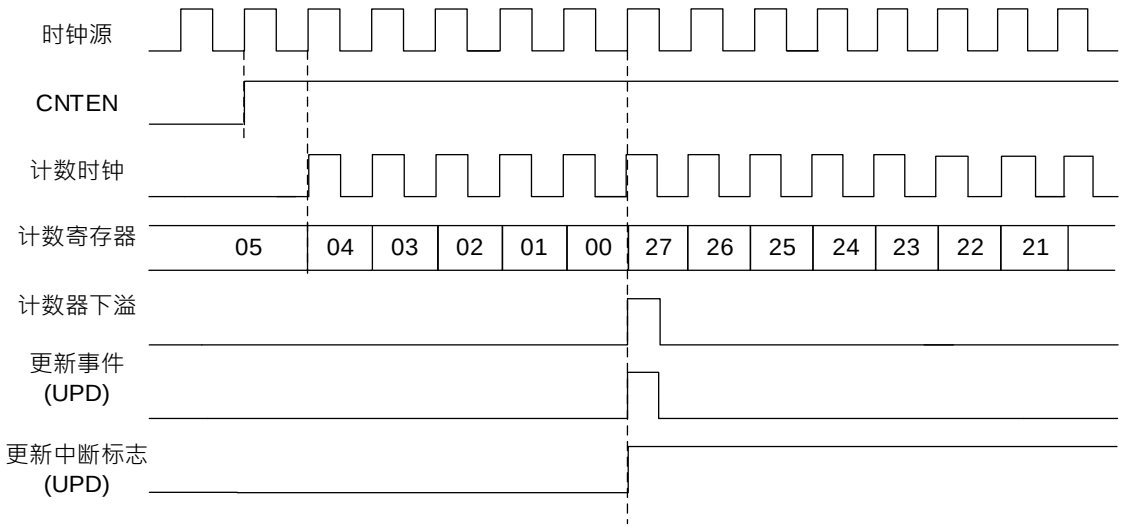


图 20-10 计数器递减计数时序图

20. 4. 3. 3 中心对齐模式

设置 **GP16C4Tn_CON1** 寄存器的 CMSEL 位数值不等于 00 时，定时器工作在中心对齐模式。定时器设置为中心对齐模式时，计数器先从 0 开始递增至 **GP16C4Tn_AR** 寄存器数值减 1，并产生更新事件(UPD)；接着计数器从 **GP16C4Tn_AR** 寄存器数值递减至 1，并产生更新事件，之后从 0 开始重新计数，因此方式循环计数。将信道配置为输出模式时，当计数器递减计数(中心对称模式 1，设置 CMSEL 位为 01)、计数器递增计数(中心对称模式 2，设置 CMSEL 位为 10)、计数器递增和递减计数(中心对称模式 3，设置 CMSEL 位为 11) 时，其将设置输出比较中断标志为 1。

在中心对齐模式下，**GP16C4Tn_CON1** 寄存器的 DIRSEL 位无法进行写操作，该位由硬件自动更新指示当前计数方向。

计数上溢、下溢或者设置 **GP16C4Tn_SGE** 寄存器的 SGUPD 位为 1 (通过软件)或使用从模式控制器都会产生更新事件。设置 **GP16C4Tn_CON1** 寄存器的 DIRSEL 位为 0 时，计数器由 0 开始递增。设置 **GP16C4Tn_CON1** 寄存器的 DIRSEL 位为 1 时计数器由 **GP16C4Tn_AR** 寄存器数值开始递减，而预分频器都是从 0 开始计数。

通过软件设置 **GP16C4Tn_CON1** 寄存器中的 DISUE 位为 1 可关闭更新事件(UPD)产生。可以避免在写入预装载寄存器数值时产生更新事件(UPD)更新影子寄存器。在设置 DISUE 位为 0 之前都不会产生更新事件(UPD)，在正常产生更新事件时，计数器和预分频器都会重新从 0 开始计数。

此外，设置 **GP16C4Tn_CON1** 寄存器中的 UERSEL 位为 1 时，设置 SGUPD 位为 1 会产生更新事件(UPD)，但不会更新更新标志位(**GP16C4Tn_RIF** 寄存器的 UPD 位)，也不会产生中断或 DMA 请求。在这个配置下，发生捕获事件时将计数器清零，将不会同时产生更新中断和捕获中断。

发生更新事件(UPD)时，所有预装载寄存器会更新到影子寄存器。

注：若更新源为计数器上溢，自动重载会在计数器重载前更新。因此下一周期即为预载值(计数器载入新值)。

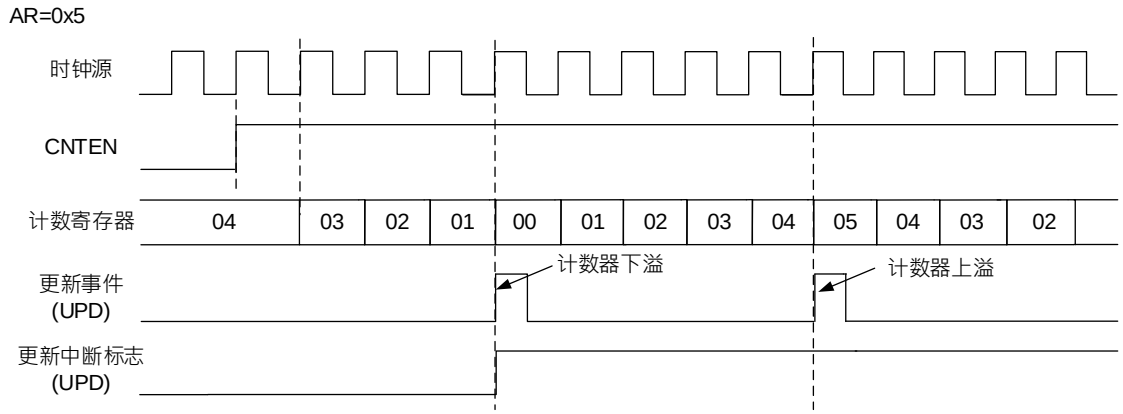


图 20-11 计数器递增减计数时序图

20. 4. 4 捕获或比较通道

输入电路对 In 输入端的信号进行采样，产生一个经过滤波的信号 InF。之后一个可极性选择的边沿检测器产生 In 边沿检测信号，该信号可作为从模式控制器的触发输入或作为捕获控制命令，且该信号经过分频后进入捕获寄存器。

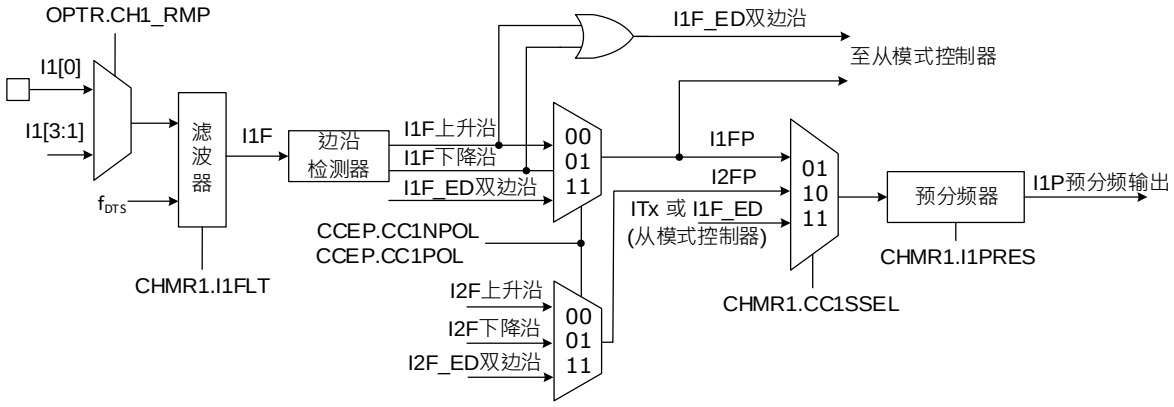


图 20-12 捕获或比较通道

输出部分根据 GP16C4Tn_CHMRn 寄存器中 CHnMOD 位的配置，产生一个输出比较参考讯号 CHnREF(高电平有效)，该信号最终输出的极性由 GP16C4Tn_CHMRn 寄存器中 CCnPOL/CCnNPOL 位决定。

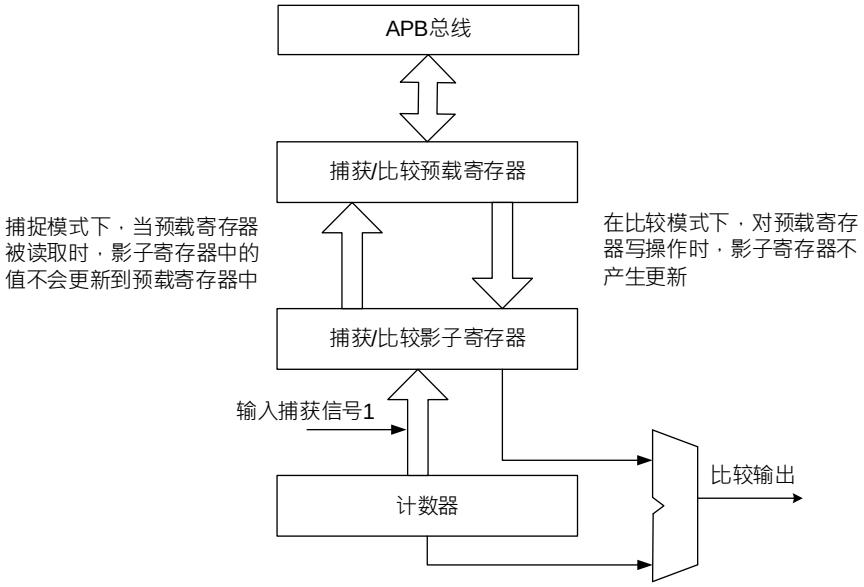


图 20-13 捕获或比较通道结构图

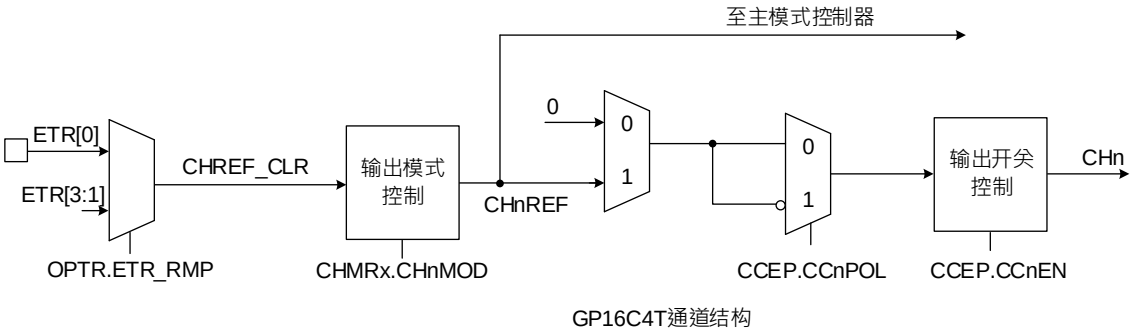


图 20-14 捕获或比较通道的输出部分

20. 4. 5 输入捕获模式

在输入捕获模式下，当 In 上检测到有效边沿变化时，计数器数值就会被锁存到捕获或比较寄存器(**GP16C4Tn_CCVALn**)中。当捕获发生时，**GP16C4Tn_RIF** 寄存器中相应的 CHn 标志位会被设置为 1，同时触发中断(如果有开启)。

当 **GP16C4Tn_RIF** 寄存器中相应的 CHn 标志位已经为 1，又发生捕获事件时，**GP16C4Tn_RIF** 寄存器中相应的过捕获 CHnOV 标志位也会被设定为 1，表示发生过捕获事件。

通过软件设置 **GP16C4Tn_ICR** 寄存器的 CHn 位与 CHnOV 位为 1，清除 **GP16C4Tn_RIF** 寄存器中 CHn 与 CHnOV 标志位。

以下为以 I1 输入上升沿作为捕获输入时的流程：

1. 设置 **GP16C4Tn_CHMR1** 寄存器的 CC1SSEL 位为 01b，选择 I1 为有效输入端。只要 CC1SSEL 不为 00b，通道就会被设置成输入，且 **GP16C4Tn_CCVAL1** 寄存器为只读。
2. 设置 **GP16C4Tn_CHMR1** 寄存器的 I1FLT 位为 0011b，选择输入滤波器的持续时间，当 I1 检测到新的电平，连续 8 次采样才确认电平变化有效。
3. 设置 **GP16C4Tn_CCEP** 寄存器的 CC1NPOL 位为 0、CC1POL 位为 0，选择 I1 通道上升沿有效。
4. 设置 **GP16C4Tn_CHMR1** 寄存器的 I1PRES 位为 00b，关闭捕获预分频器，让每次有效上升沿皆执行捕获操作。
5. 设置 **GP16C4Tn_CCEP** 寄存器的 CC1EN 位为 1，开启捕获计数器。
6. 如有需要，设置 **GP16C4Tn_IER** 寄存器的 CH1 位为 1，开启中断请求。设置 **GP16C4Tn_DMAEN** 寄存器的 CH1 位为 1，开启 DMA 请求。

当发生输入捕获时：

1. 有效边沿产生，**GP16C4Tn_CCVAL1** 寄存器获取计数器数值。
2. 硬件自动设置 CH1 标志位为 1(中断标志)。若至少 2 个连续的捕获发生，但标志位没有及时清除，则会设置 CH1OV 位为 1。
3. 中断的产生取决于 **GP16C4Tn_IER** 寄存器的 CH1 位。
4. DMA 请求的产生取决于 **GP16C4Tn_DMAEN** 寄存器的 CH1 位。

为了处理捕获溢出，建议在读取过捕获标志位前先读取捕获数据。避免丢失在读过捕获标志位到读捕获数据之间的重复捕获讯息。

注：捕获中断请求可由软件设置 GP16C4Tn_SGE 寄存器的 SGCHn 位产生。

20. 4. 6 PWM 输入模式

测量 I1 上 PWM 信号的周期和占空比的过程如下：

1. 设置 **GP16C4Tn_CHMR1** 寄存器的 CC1SSEL 位为 01b，通道 1 选择 I1 为有效输入端。
2. 设置 **GP16C4Tn_CHMR1** 寄存器的 I1FLT 位为 0011b，选择输入滤波器的持续时间，当 I1 检测到新的电平，连续 8 次采样才确认电平变化有效。
3. 设置 **GP16C4Tn_CCEP** 寄存器的 CC1NPOL 位为 0、CC1POL 位为 0，通道 1 选择 I1 上升沿有效，用于捕获数据到 **GP16C4Tn_CCVAL1** 寄存器和计数器清零。
4. 设置 **GP16C4Tn_CHMR1** 寄存器的 CC2SSEL 位为 10b，通道 2 选择 I1 为有效输入端。
5. 设置 **GP16C4Tn_CCEP** 寄存器的 CC2NPOL 位为 0、CC2POL 位为 1，通道 2 选择 I1 下降沿有效，用于捕获数据到 **GP16C4Tn_CCVAL2** 寄存器。
6. 设置 **GP16C4Tn_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00101b，选择 I1 滤波后信号为有效的触发输入。
7. 设置 **GP16C4Tn_SMCON** 寄存器的 SMODS 位为 100b，选择从模式控制器为复位模式。
8. 设置 **GP16C4Tn_CCEP** 寄存器的 CC1EN 位和 CC2EN 位为 1，开启捕获。

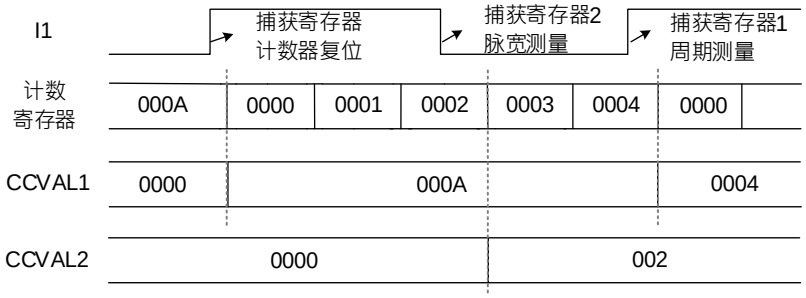


图 20-15 PWM 输入模式时序

- **GP16C4Tn_CCVAL1** 寄存器内的值为 PWM 周期(两次上升沿之间的时间)，此范例中 PWM 周期为 5 个计数单位。
- **GP16C4Tn_CCVAL2** 寄存器内的值为 PWM 脉冲宽度(上升沿到下降沿之间的时间)，此范例中 PWM 脉冲宽度为 3 个计数单位，可推算其占空比为 60%。

注:计数单位取决于时钟频率以及预分频设定值 = (GP16C4Tn_PRES + 1) * (GP16C4Tn_CCVALn + 1) / f_{INT_CLK}

20. 4. 7 PWM 输出模式

脉宽调制模式可以产生一个由 **GP16C4Tn_AR** 寄存器设置输出频率，由 **GP16C4Tn_CCVALn** 寄存器设置占空比的信号。

每个信道的 PWM 模式是相互独立的(每个 CHn 输出一个 PWM)，只需设置 **GP16C4Tn_CHMRn** 寄存器的 CHnMOD 位为 110(PWM 模式 1)或为 111(PWM 模式 2)。

可通过设置 **GP16C4Tn_CHMRn** 寄存器的 CHnPEN 位为 1 来开启相应的预装载寄存器，及设置 **GP16C4Tn_CON1** 寄存器的 ARPEN 位为 1 来开启自动重载功能。

开启预装载、自动重载功能后，只有当更新事件发生时，才会将预装载寄存器写入到影子寄存器中，因此在开启计数前，必须通过设置 **GP16C4Tn_SGE** 寄存器的 SGUPD 位为 1 来初始化所有的寄存器。

CHn 的极性可通过 **GP16C4Tn_CCEP** 寄存器的 CCnPOL 位设置，有效电平可设置为高电平或低电平。CHn 的输出由 **GP16C4Tn_CCEP** 寄存器的 CCnEN 位控制。

在 PWM 模式(1 或 2)中，**GP16C4Tn_COUNT** 会持续与 **GP16C4Tn_CCVALn** 寄存器数值比较，以确定 **GP16C4Tn_CCVALn < = GP16C4Tn_COUNT** 或 **GP16C4Tn_CCVALn >= GP16C4Tn_COUNT**(取决于计数器的计数方向)。

定时器产生 PWM 波形是边沿对齐或中心对齐，取决于 **GP16C4Tn_CON1** 寄存器的 CMSEL 位。

20. 4. 7. 1 PWM 边沿对齐模式

◆ 递增计数配置

设置 **GP16C4Tn_CON1** 寄存器的 DIRSEL 位为 0 时，计数器递增计数。

下图以 CH1 输出 PWM 模式 1 为例，相关配置流程如下:

1. 设置 **GP16C4Tn_CHMR1** 寄存器的 CH1MOD 位为 110b，选择 PWM 模式 1。
2. 设置 **GP16C4Tn_CCEP** 寄存器的 CC1POL 位为 0，选择 CH1 通道输出为高电平有效。
3. 设置 **GP16C4Tn_CCVAL1** 寄存器的 CCRV1 位为 04h，当计数器数到 4 时，PWM 输出低电平。
4. 设置 **GP16C4Tn_AR** 寄存器的 ARV 位为 08h，当计数器上数到 8 后重载。
5. 设置 **GP16C4Tn_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

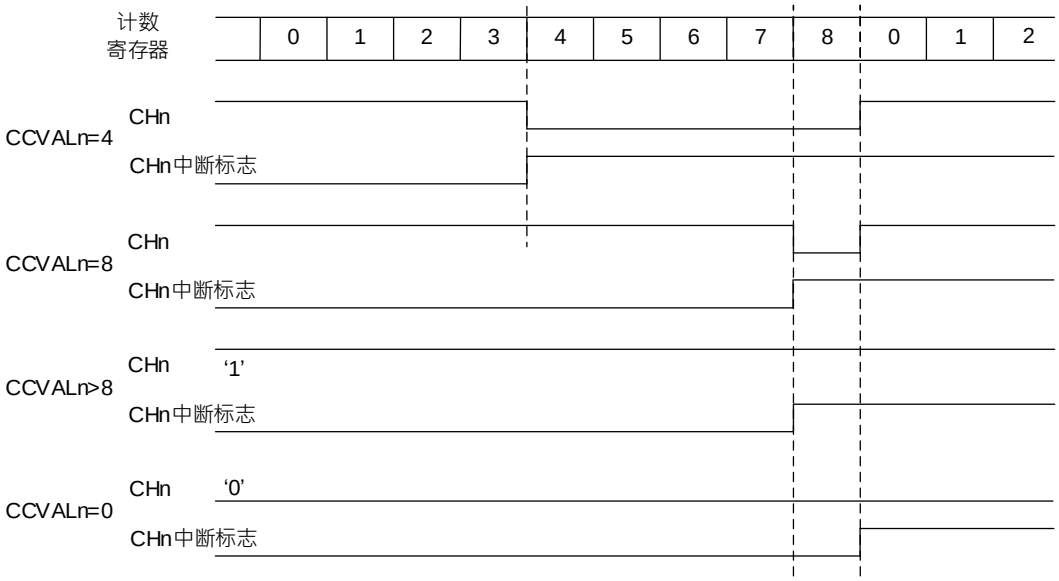


图 20-16 边沿对齐递增计数 PWM 波形(AR=8)

◆ **GP16C4Tn_COUNT < GP16C4Tn_CCVAL1** 时，CH1 为高电平。

◆ **GP16C4Tn_COUNT >= GP16C4Tn_CCVAL1** 时，CH1 为低电平。

其中比较特别的是，若设定 **GP16C4Tn_CCVAL1 > GP16C4Tn_AR** 时，CH1 会永远输出高电平；若 **GP16C4Tn_COUNT** = 0 时，CH1 会永远输出低电平。

◆ 递减计数配置

设置 **GP16C4Tn_CON1** 寄存器的 DIRSEL 位为 1 时，计数器递减计数。

下图以 CH1 输出 PWM 模式 1 为例，相关配置流程如下:

1. 设置 **GP16C4Tn_CON1** 寄存器的 DIRSEL 位为 1，计数器递减计数。
2. 设置 **GP16C4Tn_AR** 寄存器的 ARV 位为 08h，当计数器下数到 0 后重载。
3. 设置 **GP16C4Tn_SGE** 寄存器的 SGUPD 位为 1,，软件触发更新事件，将 ARV 重载到 **GP16C4Tn_COUNT** 寄存器中。
4. 设置 **GP16C4Tn_CHMR1** 寄存器的 CH1MOD 位为 110b，选择 PWM 模式 1。
5. 设置 **GP16C4Tn_CCEP** 寄存器的 CC1POL 位为 0，选择 CH1 通道输出为高电平有效。
6. 设置 **GP16C4Tn_CCVAL1** 寄存器的 CCRV1 位为 04h，当计数器数到 4 时，PWM 输出高电平。
7. 设置 **GP16C4Tn_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

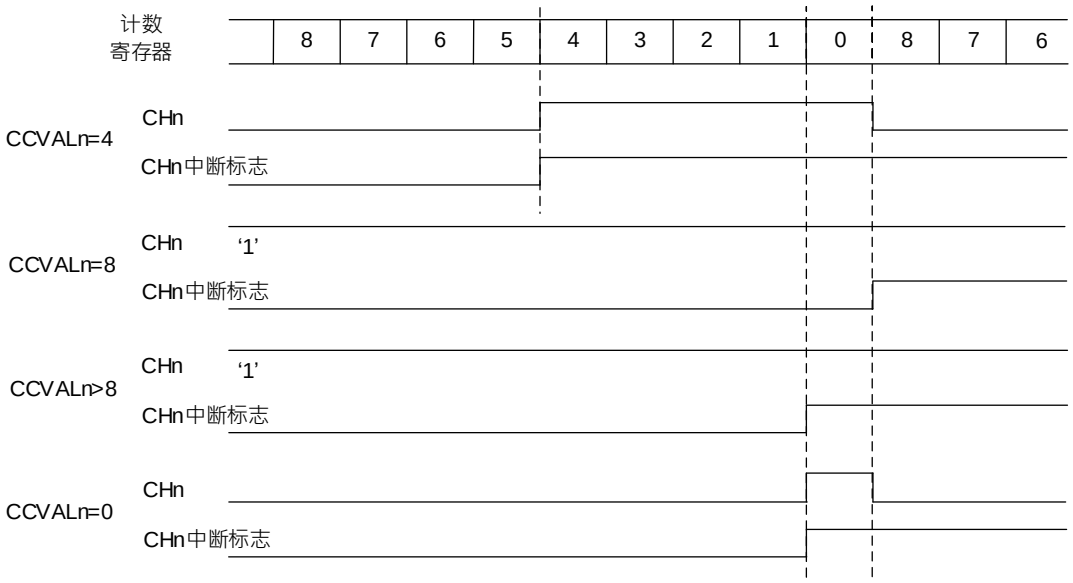


图 20-17 边沿对齐递减计数 PWM 波形(AR=8)

◆ **GP16C4Tn_COUNT ≤ GP16C4Tn_CCVAL1** 时，CH1 为高电平。

◆ **GP16C4Tn_COUNT > GP16C4Tn_CCVAL1** 时，CH1 为低电平。

其中比较特别的是，若设定 **GP16C4Tn_CCVAL1 >= GP16C4Tn_AR** 时，CH1 会永远输出高电平。此模式下不可能产生 0%的 PWM 波形。

20. 4. 7. 2 PWM 中心对齐模式

设置 **GP16C4Tn_CON1** 寄存器的 CMSEL 位不为 00 时，中心对齐模式有效。根据 CMSEL 位的设置，计数器可以在递增、递减计数分别设置 **GP16C4Tn_RIF** 寄存器的比较标志位为 1 或是在递增递减设置比较标志位为 1。**GP16C4Tn_CON1** 寄存器的 DIRSEL 位控制计数方向由硬件更新，软件无法修改。

下图为中心对齐模式 2 下，CH1 输出 PWM 模式为例，相关配置流程如下:

1. 设置 **GP16C4Tn_CON1** 寄存器的 CMSEL 位为 10b，选择中心对齐模式 2，计数器只有在递增计数时才会设置 **GP16C4Tn_RIF** 寄存器的比较匹配标志位为 1。
2. 设置 **GP16C4Tn_AR** 寄存器的 ARV 位为 3Fh，当计数器下数到 0 后重载。
3. 设置 **GP16C4Tn_SGE** 寄存器的 SGUPD 位为 1,，软件触发更新事件，将 ARV 重载到 **GP16C4Tn_COUNT** 寄存器中。
4. 设置 **GP16C4Tn_CHMR1** 寄存器的 CH1MOD 位为 110b，选择 PWM 模式 1。
5. 设置 **GP16C4Tn_CCEP** 寄存器的 CC1POL 位为 0，选择 CH1 通道输出为高电平有效。
6. 设置 **GP16C4Tn_CCVAL1** 寄存器的 CCRV1 位为 3Dh
7. 设置 **GP16C4Tn_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

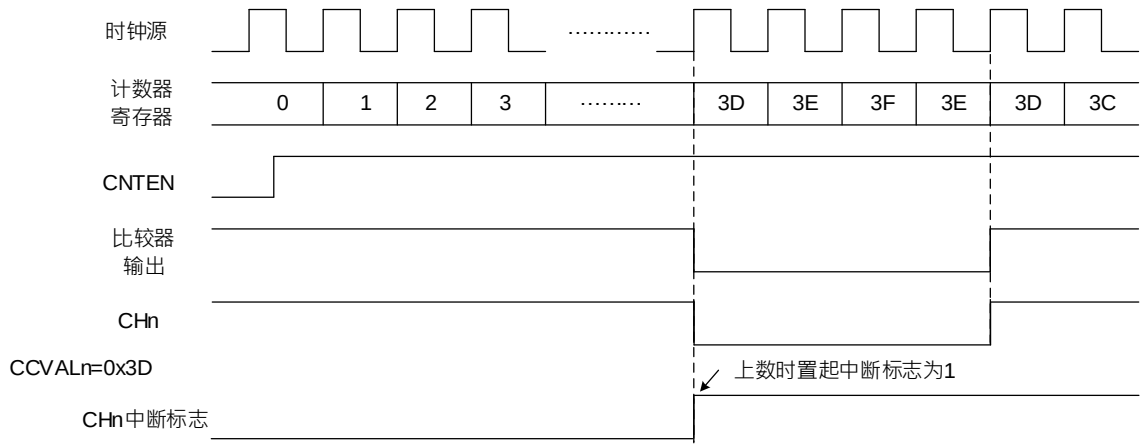


图 20-18 中心对齐 PWM 波形(AR 位为 3Fh，CCRV 位为 3Dh)

当计数器递增计数到 3Dh 时，PWM 输出低电平，同时设置 **GP16C4Tn_RIF** 寄存器的比较匹配标志位；递减计数到 3Dh 时，PWM 输出回到高电平。

中心对齐模式的使用技巧：

- 当进入中心对齐模式后，当前递增或递减设置生效。**GP16C4Tn_COUNT** 递增或递减计数取决于 **GP16C4Tn_CON1** 寄存器的 DIRSEL 位数值。此外，软件不得对 DIRSEL 和 CMSEL 位同时进行修改。
- 计数器在中心对齐模式下运行时，不建议对 **GP16C4Tn_COUNT** 执行写入操作。假设在递增计数的情况下，向计数器写入数值大于自动重载值(**GP16C4Tn_COUNT** > **GP16C4Tn_AR**)，计数方向不会更新，会持续计数下去。

- 使用中心对齐模式最安全的方式是计数器开始计数前通过软件产生更新事件(设置 **GP16C4Tn_SGE** 寄存器的 SGUPD 位为 1)且在计数器运行过程中不对 **GP16C4Tn_COUNT** 寄存器写值。

20. 4. 8 输出比较模式

该功能用于控制输出波形或指示周期时间的结束。

当捕获或比较寄存器和 **GP16C4Tn_COUNT** 寄存器数值匹配时，输出比较功能：

- 设置 **GP16C4Tn_CHMRn** 寄存器的 CHnMOD 位选择输出模式，输出极性由 **GP16C4Tn_CCEP** 寄存器的 CCnPOL 位控制：
  - ◇ 设置 CHnMOD 位为 000b: 当计数器匹配比较器时输出保持其电平。
  - ◇ 设置 CHnMOD 位为 001b: 当计数器匹配比较器时输出有效电平(假设 CCnPOL=0，有效电平为高电平)。
  - ◇ 设置 CHnMOD 位为 010b: 当计数器匹配比较器时输出无效电平(假设 CCnPOL=0，无效电平为低电平)。
  - ◇ 设置 CHnMOD 位为 011b: 当计数器匹配比较器时翻转电平。
- 设置中断状态寄存器的标志位为 1(**GP16C4Tn_RIF** 寄存器的 CHn 位)。
- 若设置相应的中断开启位为 1(**GP16C4Tn_IER** 寄存器的 CHn 位)，则产生中断。

设置 **GP16C4Tn_CHMRn** 寄存器的 CHnPEN 位数值可决定 **GP16C4Tn_CCVALn** 寄存器是否带有预装载寄存器。

在输出比较模式中，更新事件 UPD 对 CHn 的输出没有影响。输出比较模式同样可以用来输出单个脉冲(单脉冲模式)。

输出比较的设置过程：

1. 选定计数器时钟(内部、外部、预分频)。
2. 设置 G**P16C4Tn_AR** 与 **GP16C4Tn_CCVALn** 寄存器并写入所需数据。
3. 若需要产生中断请求，设置 **GP16C4Tn_IER** 寄存器的 CHn 位为 1。
4. 选择输出模式，例如：
   - 设置 CHnMOD 位为 011b，当 CNTV 与 CCRVn 匹配时，CHn 输出翻转。
   - 设置 CHnPEN 位为 0，关闭预装载寄存器。
   - 设置 CCnPOL 位为 0，选择有效电平为高电平。
   - 设置 CCnEN 位为 1，开启输出。
5. 设置 **GP16C4Tn_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

假设预装载寄存器开启(CHnPEN 位为 1)，设置 **GP16C4Tn_CCVALn** 寄存器数值在下次更新事件发生时更新至影子寄存器。预装载寄存器未开启(CHnPEN 位为 0)，通过设置 **GP16C4Tn_CCVALn** 寄存器数值可随时更新控制输出波形。

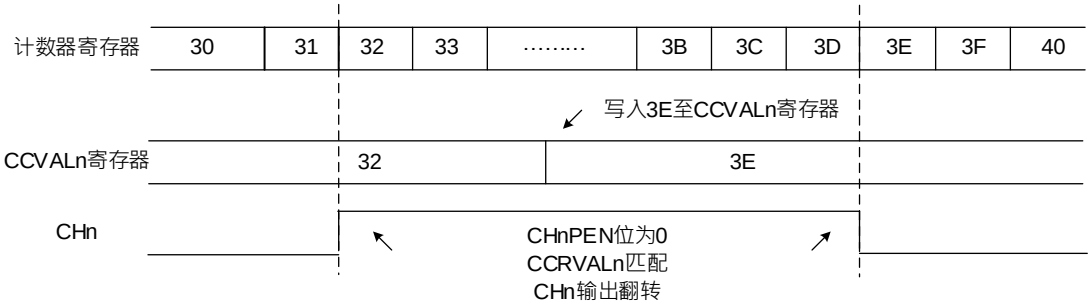


图 20-19 输出比较模式，触发 CHn

20.4.8.1 外部事件清除比较输出

设置相对应的 **GP16C4Tn_CHMRn** 寄存器的 CHnOCLREN 位为 1，在选定的 ETR 输入端为高准位时，可将相对应的输出信号暂时清除为 0，直到下一次更新事件(UPD)产生。该功能只能在输出比较模式和 PWM 模式下使用，在强制模式下不起作用。

选择 ETR 时，ETR 配置如下：

1. 设置 **GP16C4Tn_SMCON** 寄存器中的 ETPRES 位为 00b，关闭外部触发预分频器。
2. 设置 **GP16C4Tn_SMCON** 寄存器的 ECM2EN 位为 0，关闭外部时钟源 2。
3. 外部触发极性(ETPOL)和外部触发滤波器(ETFLT)可根据使用者需要设置

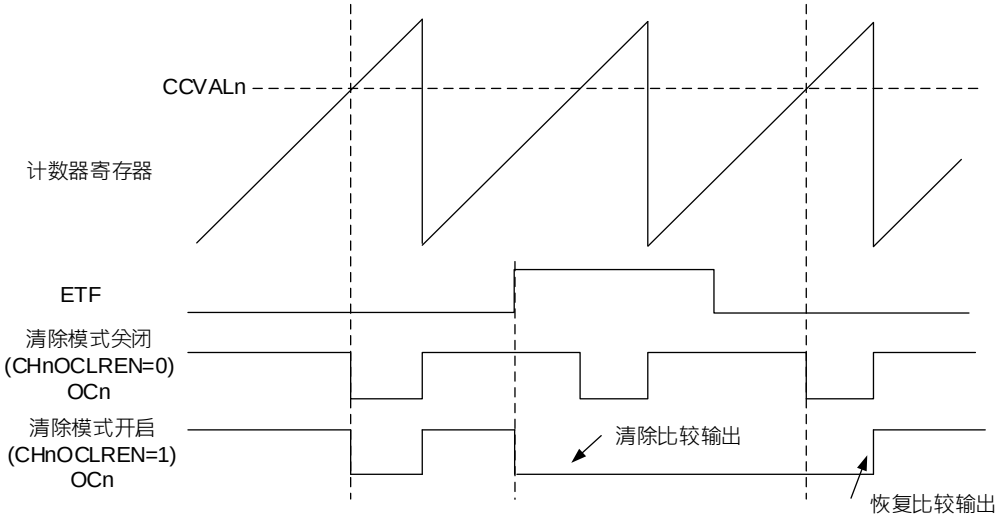


图 20-20 清除比较输出 CHn

20.4.8.2 强制输出模式

设置 **GP16C4Tn_CHMRn** 寄存器的 CCnSSEL 位为 00b 开启输出模式，在此模式下通过软件设置可以将输出比较信号强制设置为高电平或低电平，输出信号并不会参考 **GP16C4Tn_CCVALn** 寄存器和 **GP16C4Tn_COUNT** 寄存器之间的比较结果。

设置 **GP16C4Tn_CHMRn** 寄存器的 CHnMOD 位为 101b，输出比较参考讯号(CHnREF)为强制高电平，输出比较信号(CHn/CHnN)强制为有效电平(极性由 **GP16C4Tn_CCEP** 寄存器对应的 CCnPOL 位或 CCnNPOL 位决定)。反之，若设置 CHnMOD 位为 100b 则强制设置低电平。

例如：设置 CCnPOL 位为 0(CHn 高电平有效)，则 CHn 被强制为高电平。

在此模式下，**GP16C4Tn_CCVALn** 寄存器和 **GP16C4Tn_COUNT** 寄存器之间的比较仍然进行，仍可设置相应的标志位为 1。

20. 4. 9 单脉冲模式

单脉冲模式(SPMEN)是一个特殊模式。在此模式下，计数器可以通过外部触发下启动，并可以产生一个脉宽可配置的波形。

通过从模式控制器开启计数器。在输出比较模式或 PWM 模式下生成波形。设置 **GP16C4Tn_CON1** 寄存器的 SPMEN 位为 1 选择单脉冲模式，在下一次发生更新事件后，计数器将自动停止计数。

只有当 **GP16C4Tn_CCVALn** 寄存器和 **GP16C4Tn_COUNT** 寄存器数值不同时，才能正确的产生一个脉冲。计数器开始计数前(定时器等待触发)，必须如下设置：

- 递增计数：CNTV < CCVALn ≤ AR(注意:0 < CCVALn)
- 递减计数：CNTV > CCVALn

基于 PWM 模式设置单脉冲输出波形的步骤如下：

1. 设置 **GP16C4Tn_CHMRn** 寄存器的 CHnMOD 位，选择 PWM 模式 1 或 2。
2. 设置 **GP16C4Tn_CCEP** 寄存器的 CCnPOL 位，选择通道 CHn 的输出极性。
3. 设置 **GP16C4Tn_CON1** 寄存器的 DIRSEL，选择计数器为递增或递减计数。
4. 设置 **GP16C4Tn_CON1** 寄存器的 SPMEN 位为 1，开启单脉冲模式。
5. 设置 **GP16C4Tn_CHMR1** 寄存器的 CH1PEN 位为 1，**GP16C4Tn_CON1** 寄存器的 ARPEN 位为 1，开启比较寄存器和计数重载寄存器的缓冲功能(也可以根据实际情况关闭缓冲)。
6. 设置 **GP16C4Tn_CCVALn** 寄存器和 **GP16C4Tn_AR** 寄存器，设置单脉冲输出延时和脉宽时间。
7. 设置 **GP16C4Tn_SGE** 寄存器的 SGUPD 位为 1 来产生一个更新事件。
8. 设置 **GP16C4Tn_CON1** 寄存器的 CNTEN 位为 1 来开启计数器，也可以在触发模式下，通过外部触发输入信号来触发硬件自动设置 CNTEN 位为 1。

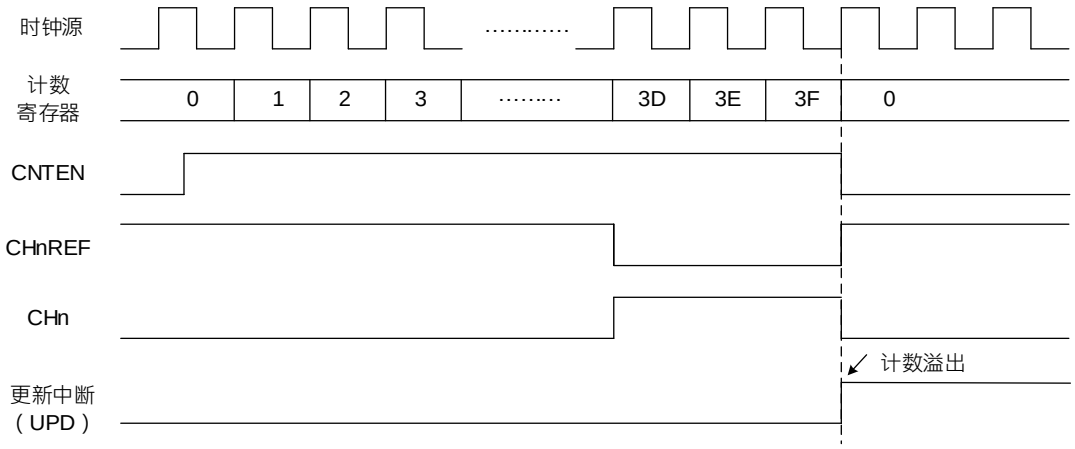


图 20-21 单脉冲模式

CHn 快速开启模式

在单脉冲模式下，In 输入的有效边沿会开启计数器(自动设置 CNTEN 位为 1)，在比较计数器数值后输出信号。然而在这个过程中需要数个时钟周期，将会延长 In 输入边沿与输出信号的延迟。

如果要使用最小延迟输出信号，可以设置 **GP16C4Tn_CHMR1** 寄存器的 CHnFEN 位为 1 开启快速开启模式。当侦测到 In 输入的有效边沿时，不再考虑比较值，强制让输出讯号等效于匹配成功后的电平。此配置只在 PWM1 或 PWM2 模式时才能使用。

20. 4. 10 编码器接口模式

编码器接口模式的三种设置:若设置 **GP16C4Tn_SMCON** 寄存器的 SMODS 位为 001b，则计数器只根据 I2 上的边沿计数；若设置 **GP16C4Tn_SMCON** 寄存器的 SMODS 位为 010b，则计数器只根据 I1 上的边沿计数；若设置 **GP16C4Tn_SMCON** 寄存器的 SMODS 位为 011b，则计数器同时根据 I1 和 I2 上的边沿计数。

设置 **GP16C4Tn_CCEP** 寄存器的 CC1POL 和 CC2POL 位数值可选择 I1 和 I2 的极性。如果需要，也可以设置输入滤波器。

CH1 和 CH2 输入作为增量编码器的接口。当计数器开启时(设置 **GP16C4Tn_CON1** 寄存器的 CNTEN 位为 1)，计数器时钟是由 I1 或 I2 上滤波后的有效电平转换提供。I1 和 I2 滤波后的有效信号转换序列会产生计数脉冲及方向信号。计数器是递增或递减计数由信号的转换序列决定，**GP16C4Tn_CON1** 寄存器的 DIRSEL 位计数方向位由硬件自动更新。

编码器接口模式的工作方式类似于一个带有方向选择的外部时钟。计数器在 0 到 **GP16C4Tn_AR** 寄存器的自动重载值之间连续计数。因此必须在开始计数前设置 **GP16C4Tn_AR** 寄存器。在此模式下捕获器、预分频器、触发输出的功能皆可正常工作。设定编码模式和选择外部时钟源 2 不兼容，不可以同时选择。

该模式下，计数器会根据增量式编码器的速度和方向自动修改，计数器数值反映的是编码器的

位置。计数方向对应着连接传感器的旋转方向。

下表列出了所有的可能组合，假设 I1 和 I2 不同时变换。

有效边沿	有效边沿相对信号的电平 (I1 滤波信号对应 I2,I2 滤波信号对应 I1)	I1 滤波信号		I2 滤波信号	
		上升	下降	上升	下降
仅在 I1 计数	高电平	递减	递增	不计数	不计数
	低电平	递增	递减	不计数	不计数
仅在 I2 计数	高电平	不计数	不计数	上升	下降
	低电平	不计数	不计数	递减	递增
在 I1 和 I2 上计数	高电平	递减	递增	递增	递减
	低电平	递增	递减	递减	递增

表 20-1 计数方向与编码器信号的关系

外部增量编码器可直接与 MCU 连接，无需外部接口逻辑。而比较器通常用于将编码器的差分输出转换为数字信号，这样大幅提高抗噪声能力。编码器的第三个输出端用于指示机械零点，可以连接到外部中断输入引脚以触发一次计数复位。

下图给出了计数信号的产生和方向控制的例子。同样给出了选择双边沿时，输入抖动如何被补偿。输入抖动可能发生在传感器靠近切换点处。

配置如下:

1. 设置 **GP16C4Tn_CHMR1** 寄存器的 CC1SSEL 位为 01b，选择通道为 I1 输入。
2. 设置 **GP16C4Tn_CHMR1** 寄存器的 CC2SSEL 位为 01b，选择通道为 I2 输入。
3. 设置 **GP16C4Tn_CCEP** 寄存器的 CC1POL 位为 0、CC1NPOL 为 0，选择非反相输入。
4. 设置 **GP16C4Tn_CCEP** 寄存器的 CC2POL 位为 0、CC2NPOL 为 0，选择非反相输入。
5. 设置 **GP16C4Tn_SMCON** 寄存器的 SMODS 位为 011b，选择计数器同时根据 I1 和 I2 上的边沿计数。
6. 设置 **GP16C4Tn_CON1** 寄存器 CNTEN 位为 1 开启计数器。

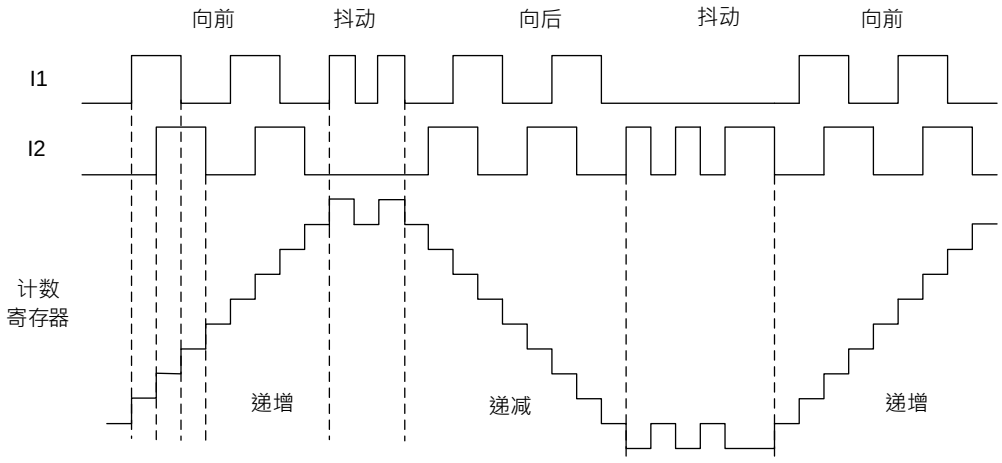


图 20-22 编码器接口模式下的计数操作

下图给出了计数器在 I1 滤波信号极性反相时的计数过程(除了设置 CC1POL 位为 1，其他设置与上面一致)

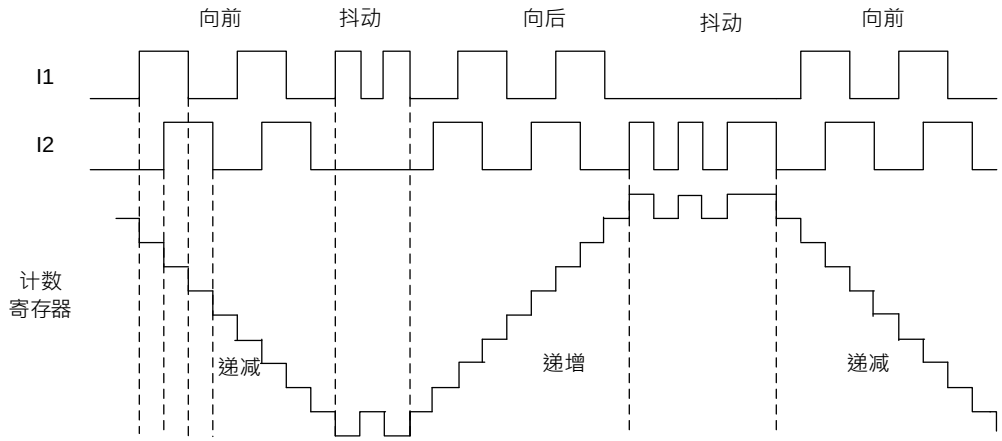


图 20-23 滤波后极性反相时编码器接口例子

当设置为编码器接口模式时，定时器可提供传感器的当前位置信息。设置另一个定时器为捕获模式，用于测量两个编码器事件的间隔，根据间隔时长获取动态信息(速度、加速度、减速度)。编码器用于指示机械零点的输出就是此用处。根据编码器两个事件间隔，可以周期性的读取计数器数值。应用上可以将计数器值锁存到第三个输入捕获寄存器(捕获信号必须是周期性的且可由另一个定时器产生)。另外可通过 DMA 请求存取计数器(**GP16C4Tn_COUNT**)数值。

20. 4. 11 输入 XOR 功能

通过 **GP16C4Tn_CON2** 寄存器的 I1SEL 位，可将通道 1 的输入滤波器连接到 XOR 门的输出端，XOR 门输入端包含 CH1、CH2 和 CH3 三个输入引脚。

XOR 输出用于定时器的所有输入功能，如触发或输入捕获。

20. 4. 12 外部触发的同步

GP16C4Tn 定时器可在多种模式下与外部触发同步：复位模式、门控模式及触发模式。

20. 4. 12. 1 复位模式

计数器及其预分频器可以在响应触发输入事件时重新初始化。此外，若 **GP16C4Tn_CON1** 寄存器的 UERSEL 位为 0 时会产生一次更新事件 UPD。所有预装载寄存器(**GP16C4Tn_AR**，**GP16C4Tn_CCVALn**)都会因更新事件 UPD 而被更新。

在下面例子中，I1 输入端的上升沿让递增计数被清零，配置过程如下：

1. 设置 **GP16C4Tn_CHMR1** 寄存器的 CC1SSEL 位为 01b，选择 I1 为有效输入端。
2. 设置 **GP16C4Tn_CHMR1** 寄存器的 I1FLT 位为 0000b，本例无需滤波器。
3. 设置 **GP16C4Tn_CCEP** 寄存器的 CC1NPOL 位为 0、CC1POL 位为 0，选择 I1 通道上升沿有效。
4. 设置 **GP16C4Tn_CHMR1** 寄存器的 I1PRES 位为 00b，捕获预分频器不用于触发操作，无需设置。

5. 设置 **GP16C4Tn_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00101b，选择 I1 滤波后信号作为输入源。
6. 设置 **GP16C4Tn_SMCON** 寄存器的 SMODS 位为 100b，选择复位模式。
7. 设置 **GP16C4Tn_CON1** 寄存器的 CNTEN 位为，开启计数器。

计数器依据内部时钟开始计数，计数器计数直到 I1 上出现上升沿。当 I1 上出现上升沿时，计数器会被清零且从 0 重新开始计数。同时设置标志位为 1 (**GP16C4Tn_RIF** 寄存器的 TRGI 位)，如果中断及 DMA 开启(取决于 **GP16C4Tn_IER** 寄存器的 TRGI 位和 **GP16C4Tn_DMAEN** 寄存器的 TRGI 位)，会发送中断及 DMA 请求。

下图给出了设置自动重载寄存器 **GP16C4Tn_AR** 为 36h 时的信号变化。由于 I1 输入的同步电路，I1 上的上升沿和计数器实际初始化之间会存在延时。

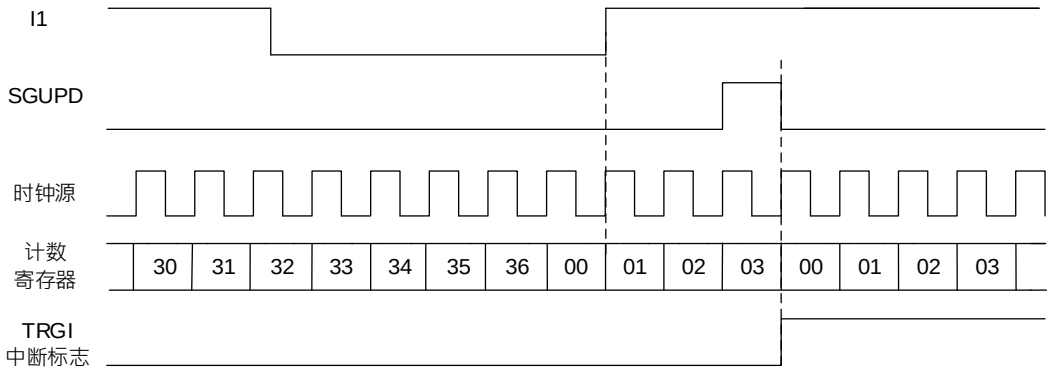


图 20-24 复位模式控制电路

20. 4. 12. 2 门控模式

计数器根据选中的输入电平被开启。

下面的例子中，计数器只在 I1 输入为低电平时才递增计数：

1. 设置 **GP16C4Tn_CHMR1** 寄存器的 CC1SSEL 位为 01b，选择 I1 为有效输入端。
2. 设置 **GP16C4Tn_CHMR1** 寄存器的 I1FLT 位为 0000b，本例无需滤波器。
3. 设置 **GP16C4Tn_CCEP** 寄存器的 CC1NPOL 位为 0、CC1POL 位为 1，I1 通道反相，有效极性为低电平。
4. 设置 **GP16C4Tn_CHMR1** 寄存器的 I1PRES 位为 00b，捕获预分频器不用于触发操作，无需设置。
5. 设置 **GP16C4Tn_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00101b，选择 I1 滤波后信号作为输入源。
6. 设置 **GP16C4Tn_SMCON** 寄存器的 SMODS 位为 101b，选择门控模式。
7. 设置 **GP16C4Tn_CON1** 寄存器的 CNTEN 位为 1，开启计数器(在门控模式中，如果 CNTEN 位为 0，无论触发输入为何电平，计数器都不会开启)。

只要 I1 为低电平，计数器依据内部时钟开始计数，一旦 I1 为高电平则停止计数。由于 I1 输入端的同步电路的原因，I1 上出现上升沿和计数器实际停止之间会有一定的延时。

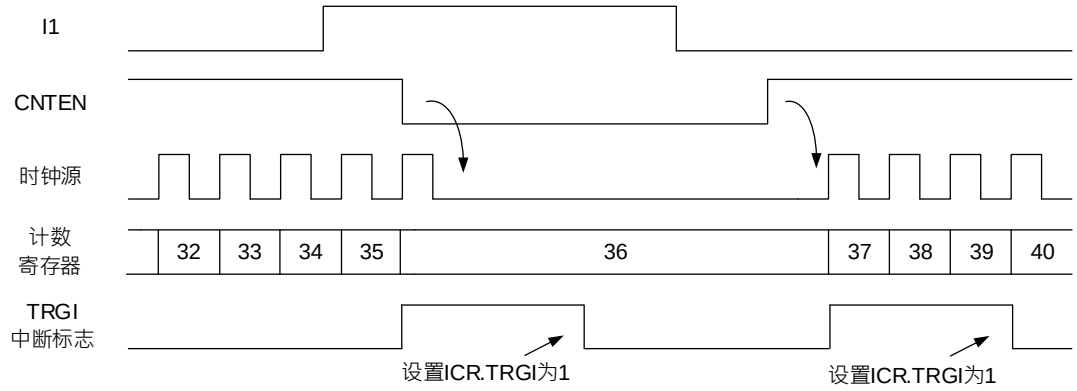


图 20-25 门控模式控制电路

20.4.12.3 触发模式

输入端选中的事件可以开启计数器。

下面的例子中，I2 输入端上的上升沿可以开启递增计数：

1. 设置 **GP16C4Tn_CHMR1** 寄存器的 CC2SSEL 位为 01b，选择 I2 为有效输入端。
2. 设置 **GP16C4Tn_CHMR1** 寄存器的 I2FLT 位为 0000b，本例无需滤波器。
3. 设置 **GP16C4Tn_CCEP** 寄存器的 CC2NPOL 位为 0、CC2POL 位为 0，选择 I2 通道上升沿有效。
4. 设置 **GP16C4Tn_CHMR1** 寄存器的 I2PRES 位为 00b，捕获预分频器不用于触发操作，无需设置。
5. 设置 **GP16C4Tn_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00110b，选择 I2 滤波后信号作为输入源。
6. 设置 **GP16C4Tn_SMCON** 寄存器的 SMODS 位为 110b，选择触发模式。
7. 设置 **GP16C4Tn_CON1** 寄存器的 CNTEN 位为，开启计数器。

I2 上出现上升沿时，计数器开始依据内部时钟计数并设置 TRGI 标志位为 1。

由于 I2 输入的同步电路原因，I2 上出现上升沿和计数器实际启动之间会有一定的延时。

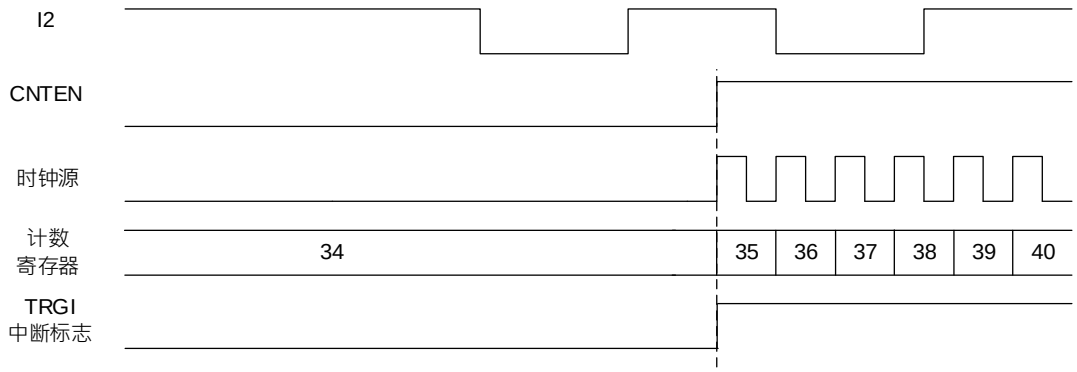


图 20-26 触发模式控制电路

20. 4. 12. 4 选择外部时钟源 2 的触发模式

外部时钟源 2 可和其他模式一起使用(外部时钟模式 1 和除编码模式除外)。ETR 信号可作为外部时钟输入，另一个输入可选择为触发输入(复位模式、门控模式或触发模式)。不推荐设置 **GP16C4Tn_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00111b 选择 ETR 作为 TRGI。

下面的例子中，当 I1 输入端出现上升沿时，开启计数器，并且在每个 ETR 信号的上升沿递增计数。

ETR 外部触发电路设定如下 ：

1. 设置 **GP16C4Tn_SMCON** 寄存器的 ETFLT 位为 000b，无需滤波器。
2. 设置 **GP16C4Tn_SMCON** 寄存器的 ETPRES 位为 00b，关闭预分频。
3. 设置 **GP16C4Tn_SMCON** 寄存器的 ETPOL 位为 0，ETR 的上升沿有效。
4. 设置 **GP16C4Tn_SMCON** 寄存器的 ECM2EN 位为 1，开启外部时钟模式 2。

通道 1 检测 I1 的上升沿，过程如下:

1. 设置 **GP16C4Tn_CHMR1** 寄存器的 CC1SSEL 位为 01b，选择 I1 为有效输入端。
2. 设置 **GP16C4Tn_CHMR1** 寄存器的 I1FLT 位为 0000b，本例无需滤波器。
3. 设置 **GP16C4Tn_CCEP** 寄存器的 CC1NPOL 位为 0、CC1POL 位为 0，选择 I1 通道上升沿有效。
4. 设置 **GP16C4Tn_CHMR1** 寄存器的 I1PRES 位为 00b，捕获预分频器不用于触发操作，无需设置。
5. 设置 **GP16C4Tn_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00101b，选择 I1 滤波后信号作为输入源。
6. 设置 **GP16C4Tn_SMCON** 寄存器的 SMODS 位为 110b，选择触发模式。
7. 设置 **GP16C4Tn_CON1** 寄存器的 CNTEN 位为，开启计数器。

I1 上出现上升沿时，计数器开启且设置 TRGI 标志位为 1，然后计数器根据 ETR 上的上升沿开始计数。

由于 ETF 输入同步电路的原因，ETR 信号的上升沿和实际计数器的复位会有延时。

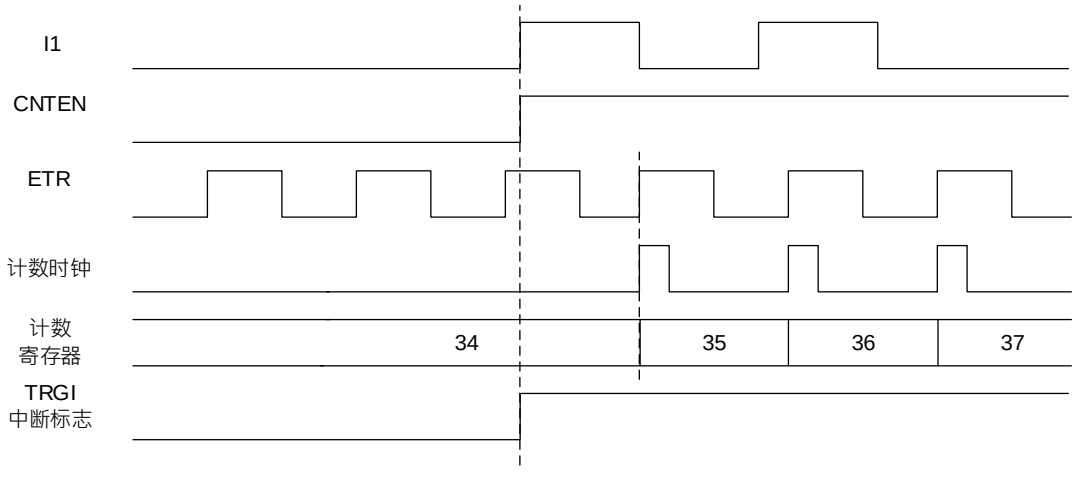


图 20-27 外部时钟源 2＋触发模式下的控制电路

20. 4. 13 定时器同步

所有定时器在内部相连，用于定时器同步或链接。当一个定时器处于主模式时，它可以对另一个处于从模式的定时器的计数器进行复位、开启、停止或提供时钟等操作。

下图显示了触发选择和主模选择模块的概况。

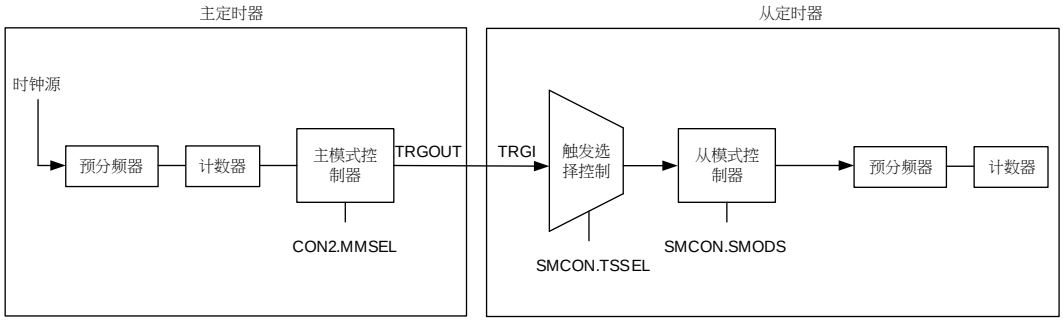


图 20-28 主/从定时器范例

20. 4. 13. 1 使用一个定时器去开启其他定时器

在这个例子中，定时器 2(GP16C4T1)的开启由定时器 1(AD16C4T1)的输出比较参考讯号(CH1REF)控制。只有当定时器 1 的 CH1REF 为高电平时，定时器 2 才会计数。

先设定从定时器(定时器 2)为门控模式，配置如下:

1. 设置 **GP16C4Tn_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00000b(AD16C4T1)，可参考内部触发连接表。
2. 设置 **GP16C4Tn_SMCON** 寄存器的 SMODS 位为 101b，选择门控模式。
3. 设置 **GP16C4Tn_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

再设定主定时器(定时器 1)为 PWM 输出，配置如下:

1. 设置 **AD16C4T1_PRES** 寄存器的 PSCV 为 01h，计数器时钟频率为 $f_{INT\_CLK/2}$。
2. 设置 **AD16C4T1_CHMR1** 寄存器的 CH1MOD 位为 111b，选择 PWM 模式 2。
3. 设置 **AD16C4T1_CCEP** 寄存器的 CC1POL 位为 0，选择 CH1 通道输出为高电平有效。
4. 设置 **AD16C4T1_CCVAL1** 寄存器的 CCRV1 位为 06h，当计数器数到 6 时，PWM 输出高电平。
5. 设置 **AD16C4T1_AR** 寄存器的 ARV 位为 08h，当计数器上数到 8 后重载。
6. 设置 **AD16C4T1_CON2** 寄存器的 MMSEL 位为 100b，选择输出比较参考信号(CH1REF)为触发输出(TRGOUT)。
7. 设置 **AD16C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

注：定时器 2 的时钟不与定时器 1 的时钟同步，这个模式只影响定时器 2 计数器的开启信号。

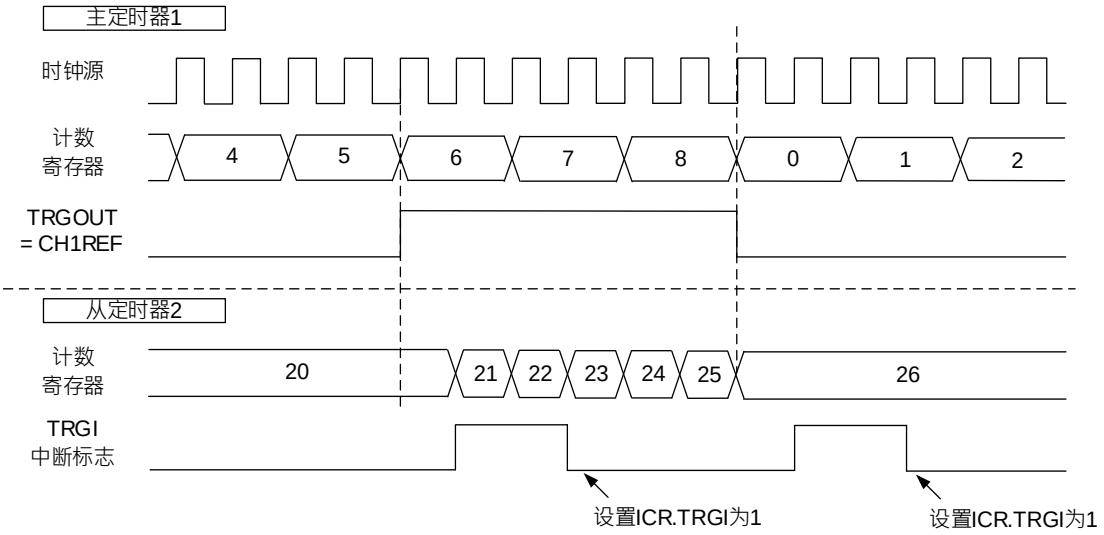


图 20-29 门控从定时器使用主定时器 CH1REF

在上图的例子中，在定时器 2 开启之前，它们的计数器和预分频器未被初始化，因此它们从当前的数值开始计数。可以在开启定时器 1 之前复位 2 个定时器，使它们从给定的数值开始，即在定时器计数器中写入需要的任意数值。设置 **GP16C4Tn_SGE** 与定时器 2 的 SGE 寄存器的

SGUPD 位为 1 即可复位定时器。

20. 4. 13. 2 将一个定时器做为其他定时器的预分频器

在这个例子中，使用定时器 1(AD16C4T1)的更新事件作为定时器 2(GP16C4T1)的时钟来源，没有设定预分频。一旦定时器 1 产生更新事件，定时器 2 即根据其上升沿计数。

先设定从定时器(定时器 2)为外部时钟源 1 模式，配置如下:

1. 设置 **GP16C4Tn_AR** 寄存器的 ARV 位为 02h，当计数器上数到 2 后重载。
2. 设置 **GP16C4Tn_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00000b(AD16C4T1)，可参考内部触发连接表。
3. 设置 **GP16C4Tn_SMCON** 寄存器的 SMODS 位为 111b，选择外部时钟模式 1。
4. 设置 **GP16C4Tn_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

再设定主定时器(定时器 1)配置如下:

1. 设置 **AD16C4T1_AR** 寄存器的 ARV 位为 03h，当计数器上数到 3 后重载，并产生更新事件。
2. 设置 **AD16C4T1_CON2** 寄存器的 MMSEL 位为 010b，选择更新事件(UPD)为触发输出(TRGOUT)。
3. 设置 **AD16C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

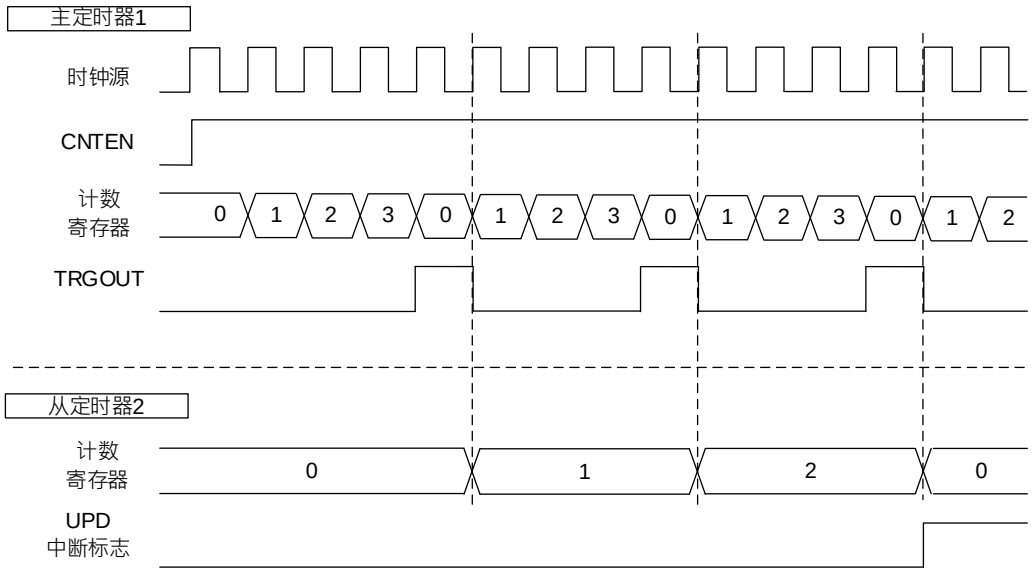


图 20-30 使用主定时器更新事件触发从定时器计数

20. 4. 13. 3 使用外部触发同步开始两个定时器

这个例子中当定时器 1(AD16C4T1)的 I1 输入上升沿时开启定时器 1，开启定时器 1 的同时开启定时器 2(GP16C4T1)，参见下图。为保证计数器的对齐，定时器 1 必须设置为主/从模式(对应 I1 为从，对应定时器 2 为主)：

先设定从定时器(定时器 2)为触发模式，配置如下:

1. 设置 **GP16C4Tn_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00000b(AD16C4T1)，可参考内部触发连接表。
2. 设置 **GP16C4Tn_SMCON** 寄存器的 SMODS 位为 110b，选择触发模式。

再设定主定时器(定时器 1)为触发模式，配置如下:

1. 设置定时器 1 为触发模式，相关配置可参考触发模式章节。
2. 设置 **AD16C4T1_CON2** 寄存器的 MMSEL 位为 001b，选择开启信号(CNTEN)为触发输出(TRGOUT)。
3. 设置 **AD16C4T1_SMCON** 寄存器的 MSCFG 位为 1，开启主/从模式。
4. 设置 **AD16C4T1_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

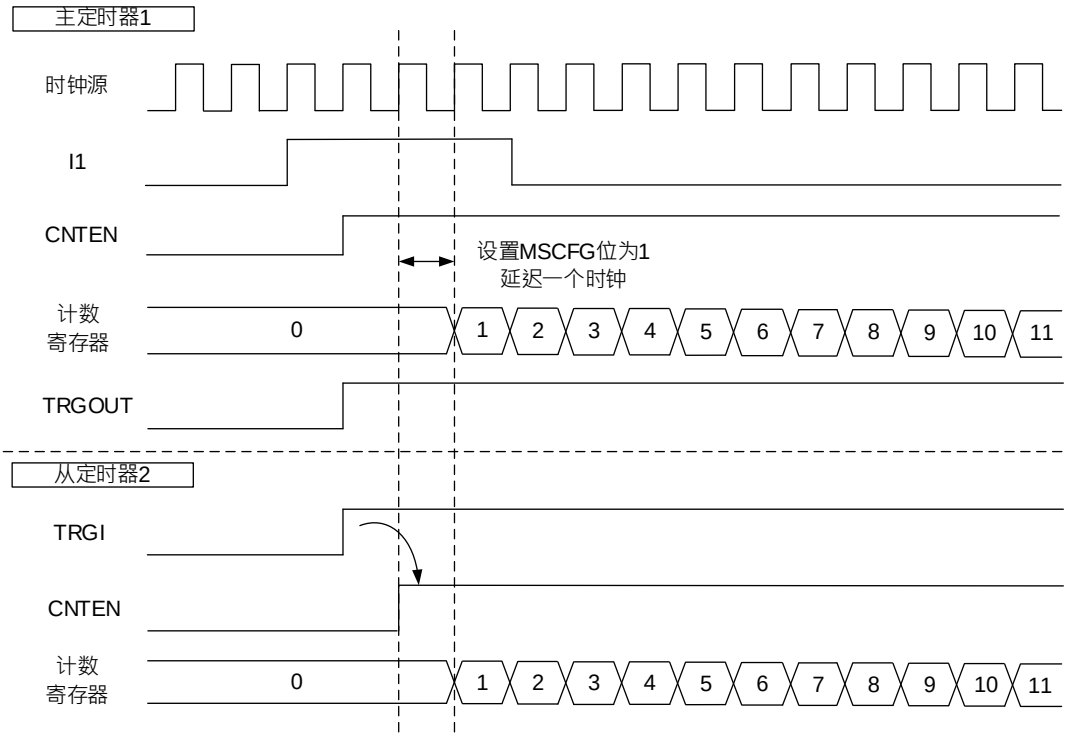


图 20-31 使用定时器 1 的 I1 输入触发定时器 1 和定时器 2

当定时器 1 的 I1 上出现一个上升沿时，两个定时器同步地按照内部时钟开始计数，两个 TRGI 标志也同时被设置。

20. 4. 14 ADC 触发生成

定时器可生成 ADC 触发讯号源如下 ：

- TRGOUT：由 **GP16C4Tn_CON2** 寄存器的 MMSEL 位决定触发事件的来源，根据配置生成脉冲或电平讯号。
- CCx：当通道比较匹配事件发生时，生成脉冲讯号到 ADC。

下图以 CH1 输出 PWM 模式 2 为例，说明 TRGOUT 与 CC1 讯号源，相关配置如下:

1. 设置 **GP16C4Tn_AR** 寄存器的 ARV 位为 07h，当计数器上数到 7 后重载。
2. 设置 **GP16C4Tn_CHMR1** 寄存器的 CH1MOD 位为 111b，选择 PWM 模式 2。
3. 设置 **GP16C4Tn_CCVAL1** 寄存器的 CCRV1 位为 04h，当计数器数到 4 时，PWM 输出高电平并生成 CC1 脉冲。
4. 设置 **GP16C4Tn_CON2** 寄存器的 MMSEL 位为 100b，选择输出比较参考信号(CH1REF)为触发输出(TRGOUT)。

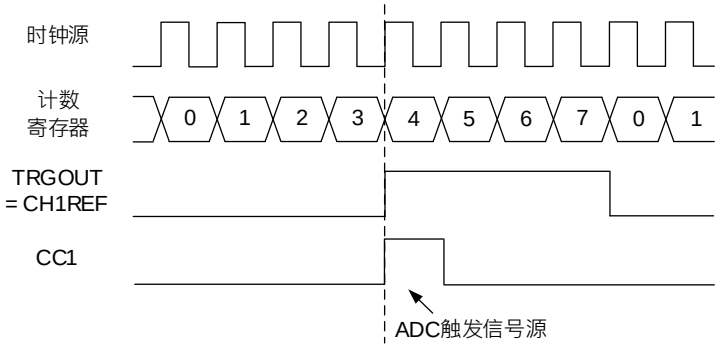


图 20-32 ADC 触发生成

20. 4. 15 调试模式

当微控制器进入调试模式(Cortex™-M0 核停止运行)，根据 SYSCFG 章节中 SYSCFG_CFG 寄存器配置，选择将计数器继续正常工作或停止计数。

为了安全起见，当进入调试模式时，设置 GP16C4Tn_CON1 寄存器的 DBGSEL 位，选择继续输出电平或是输出关闭(切换成输入)。当输出关闭时可以通过 GPIO 控制器选择输出电平，若未设定则为悬空输入。

20. 5 特殊功能寄存器

20. 5. 1 寄存器列表

GP16C4T 寄存器列表			
名称	偏移地址	类型	描述
GP16C4Tn_CON1	0000_H	R/W	控制寄存器 1
GP16C4Tn_CON2	0004_H	R/W	控制寄存器 2
GP16C4Tn_SMCON	0008_H	R/W	从模式控制寄存器
GP16C4Tn_IER	$000C_H$	W1	中断开启寄存器
GP16C4Tn_IDR	0010_H	W1	中断关闭寄存器
GP16C4Tn_IVS	0014_H	R	中断功能有效状态寄存器
GP16C4Tn_RIF	0018_H	R	原始中断状态寄存器
GP16C4Tn_IFM	$001C_H$	R	中断标志位状态寄存器
GP16C4Tn_ICR	0020_H	C_W1	中断清除寄存器
GP16C4Tn_SGE	0024_H	T_W1	软件生成事件寄存器
GP16C4Tn_CHMR1	0028_H	R/W	捕获或比较模式寄存器 1
GP16C4Tn_CHMR2	$002C_H$	R/W	捕获或比较模式寄存器 2
GP16C4Tn_CCEP	0030_H	R/W	捕获或比较开启极性寄存器
GP16C4Tn_COUNT	0034_H	R/W	计数寄存器
GP16C4Tn_PRES	0038_H	R/W	时钟预分频寄存器
GP16C4Tn_AR	$003C_H$	R/W	自动重装载寄存器
GP16C4Tn_CCVAL1	0044_H	R/W	通道捕获或比较寄存器 1
GP16C4Tn_CCVAL2	0048_H	R/W	通道捕获或比较寄存器 2
GP16C4Tn_CCVAL3	$004C_H$	R/W	通道捕获或比较寄存器 3
GP16C4Tn_CCVAL4	0050_H	R/W	通道捕获或比较寄存器 4
GP16C4Tn_DMAEN	0058_H	R/W	DMA 事件开启寄存器
GP16C4Tn_OPTR	$005C_H$	R/W	输入选择寄存器

20. 5. 2 寄存器描述

20. 5. 2. 1 控制寄存器 1(GP16C4Tn_CON1)

控制寄存器 1(GP16C4Tn_CON1)

偏移地址：0x00

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DBGSEL	—	—	—	—	—	DFCKSEL<1:0>		ARPEN	CMSEL<1:0>		DIRSEL	SPMEN	UERSEL	DISUE	CNTEN

—	Bits 31-16	—	—
DBGSEL	Bit 15	R/W	**调试模式下，通道状态选择** 在输出模式中，选择通道为输入或持续输出 0: 强制为输入 1: 保持当前配置 注: 此位仅在SYSCFG_CFG寄存器的DBGHEN位配置GP16C4Tn时有效
—	Bits 14-10	—	—
DFCKSEL	Bit 9-8	R/W	**时钟预分频器** 设置定时器的频率(INT_CLK)，死区产生器与数字滤波器(ETR，In)所采样时钟之间的分频比例。 00: $t_{DTS}=t_{INT\_CLK}$ 01: $t_{DTS}=2 \times t_{INT\_CLK}$ 10: $t_{DTS}=4 \times t_{INT\_CLK}$ 11: 保留
ARPEN	Bit 7	R/W	**自动重载缓冲功能开启** 发生更新事件时，将设定的值载入至影子寄存器中 0: GP16C4Tn_AR 寄存器未缓冲 1: GP16C4Tn_AR 寄存器具备缓冲
CMSEL	Bit 6-5	R/W	**中心对齐模式选择** 00: 边沿对齐模式，根据计数方向(DIRSEL)的配置，计数器为递增计数或递减计数。 01: 中心对齐模式 1，计数器为交替地递增计数和递减计数。在此模式时仅当计数器在递减计数时，才会产生配置为输出的通道

			(GP16C4Tn_CHMRn 寄存器中 CCnSSEL=00)的比较匹配中断请求。 10: 中心对齐模式 2，计数器为交替地递增计数和递减计数。在此模式时仅当计数器在递增计数时，才会产生配置为输出的通道(GP16C4Tn_CHMRn 寄存器中 CCnSSEL=00)的比较匹配中断请求。 11: 中心对齐模式 3，计数器为交替地递增计数和递减计数。在此模式时当计数器在递增计数或递减计数时，皆会产生配置为输出的通道(GP16C4Tn_CHMRn 寄存器中 CCnSSEL=00)的比较匹配中断请求。
DIRSEL	Bit 4	R/W	**计数方向选择** 当计数器配置为中心对齐模式时，此位只能读取计数器的计数方向 0: 计数器递增计数 1: 计数器递减计数 注: 当计数器配置为中心对齐模式时，此位只能读取计数器的计数方向。
SPMEN	Bit 3	R/W	**单脉冲模式** 0: 单脉冲模式关闭，计数器不停止 1: 单脉冲模式开启，计数器在发生下一次更新事件时，會自動清除 CNTEN 位，並停止計數器
UERSEL	Bit 2	R/W	**更新事件请求来源选择** 设置更新事件(UPD)的来源 0: 下列事件都会产生更新中断或 DMA 的请求 – 计数器上溢或下溢 – 设置 GP16C4Tn_SGE 寄存器的 SGUPD 位为 1 – 通过从模式控制器所生成的更新事件 1: 只有在计数器上溢或下溢时会生成更新中断或 DMA 的请求
DISUE	Bit 1	R/W	**更新事件关闭** 0: 更新事件(UPD)开启时，下列事件皆会产生更新事件请求并将影子寄存器载入预装载值 – 计数器上溢或下溢

			– 设置 GP16C4Tn_SGE 寄存器的 SGUPD 位为 1 – 通过从模式控制器所生成的更新事件缓冲寄存器载入预装载值 1: 更新事件(UPD)关闭时，不产生更新事件请求，GP16C4Tn_AR、GP16C4Tn_PRES 与 GP16C4Tn_CCVALn 寄存器的影子寄存器数值保持不变。但设置 GP16C4Tn_SGE 寄存器的 SGUPD 位为 1 或从模式控制器的复位请求，计数器和预分频器仍会被重新初始化
CNTEN	Bit 0	R/W	**计数器开启** **开启**计数器后，外部时钟模式、门控模式和编码模式才能运作。而触发模式则可以由硬件将 CNTEN 位置 1 0: 计数器关闭 1: 计数器开启

20. 5. 2. 2 控制寄存器 2(GP16C4Tn_CON2)

控制寄存器 2(GP16C4Tn_CON2)

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																								I1SEL	MMSEL<2:0>			CCDMASEL			

—	Bits 31-8	—	—
I1SEL	Bit 7	R/W	**I1 选择** 0: I1 输入连接到 GP16C4Tn_CH1 引脚 1: I1 输入连接到 GP16C4Tn_CH1、CH2 和 CH3 引脚的异或组合(XOR)输出
MMSEL	Bit 6-4	R/W	**主模式选择** 选择在主模式下发送到从定时器的同步信号(TRGOUT)与 ADC 输入 000: 复位 – 设置 GP16C4Tn_SGE 寄存器中的 UPD 位为触发输出(TRGOUT)。如果复位

			由触发输入生成(从模式控制器配置为复位模式)，则 TRGOUT 上的信号与实际复位信号之间会有延迟 001: 开启 - 设置 GP16C4Tn_CON1 寄存器中的 CNTEN 位为触发输出(TRGOUT)，可用于同步开启数个定时器。计数器开启信号可由 GP16C4Tn_CON1 寄存器中的 CNTEN 位或者门控模式下的触发输入产生。当计数器开启信号受控于触发输入时，TRGOUT 上的信号与实际触发信号之间会有延迟 010: 更新事件 - 更新事件被用于触发输出(TRGOUT)。一个主定时器的更新事件可当作从定时器的预分频器时钟 011: 比较脉冲 - 每次发生捕获或比较匹配时，当产生 CH1 中断请求同时，触发输出(TRGOUT)会送出一个正脉冲 100: 比较信号 - CH1REF 信号用于触发输出(TRGOUT) 101: 比较信号 - CH2REF 信号用于触发输出(TRGOUT) 110: 比较信号 - CH3REF 信号用于触发输出(TRGOUT) 111: 比较信号 - CH4REF 信号用于触发输出(TRGOUT)
CCDMASEL	Bit 3	R/W	**捕获或比较事件的 DMA 选择** 0: 当发生 CHn 事件时，设置 CHn DMA 请求 1: 当发生更新事件时，设置 CHn DMA 请求
—	Bit 2-0	R/W	—

20. 5. 2. 3 从模式控制寄存器(GP16C4Tn_SMCON)

从模式控制寄存器(GP16C4Tn_SMCON)																													
偏移地址：0x08																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	TSSEL2 <1:0>		—	—	—	—	ETPOL	ECM2EN	ETPRES <1:0>		ETFLT <3:0>				MSCFG	TSSEL1 <2:0>			—	SMODS <2:0>		

—	Bits 31-22	—	—
TSSEL2	Bits 21-20	R/W	**触发选择2** 参照TSSEL1描述
—	Bits 19-16	—	—
ETPOL	Bit 15	R/W	**外部触发极性** 设置外部触发使能电平 0: ETR不反向，高电平或上升沿时开启 1: ETR反向，低电平或下降沿时开启
ECM2EN	Bit 14	R/W	**外部时钟模式2开启** 设置外部时钟模式2 0: 外部时钟模式2关闭 1: 外部时钟模式2开启，计数器时钟根据ETP信号的任意有效边沿提供 注: 1. 设置ECM2EN位与选择外部时钟模式1并将TRGI连到ETP(SMODS=111和TSSEL=00111) 具有相同功效。 2. 从模式可以与外部时钟模式2同时使用:复位模式，门控模式和触发模式;但是这时TRGI不能连到ETP(TSSEL位不能是00111)。 3. 外部时钟模式1和外部时钟模式2同时被開啟时，外部时钟的输入是ETP。
ETPRES	Bits 13-12	R/W	**外部触发时钟分频器** 外部触发输入信号ETP频率不得超过1/4的PCLK，分频器可以达到降低ETP的频率，有效应用于快速的外部时钟源。 00: 分频器关闭

			01: ETP频率分频2 10: ETP频率分频4 11: ETP频率分频8
ETFLT	Bit 11-8	R/W	**外部触发滤波器** 设置ETP信号采样的频率和对ETP数字滤波的带宽。数字滤波器是一个事件计数器，它记录到N个事件后才视为一个有效输出边沿: 0000: 采样频率f_{DTS}，滤波器关闭 0001: 采样频率f_{INT_CLK}, N = 2 0010: 采样频率f_{INT_CLK}, N = 4 0011: 采样频率f_{INT_CLK}, N = 8 0100: 采样频率f_{DTS} / 2, N = 6 0101: 采样频率f_{DTS} / 2, N = 8 0110: 采样频率f_{DTS} / 4, N = 6 0111: 采样频率f_{DTS} / 4, N = 8 1000: 采样频率f_{DTS} / 8, N = 6 1001: 采样频率f_{DTS} / 8, N = 8 1010: 采样频率f_{DTS} / 16, N = 5 1011: 采样频率f_{DTS} / 16, N = 6 1100: 采样频率f_{DTS} / 16, N = 8 1101: 采样频率f_{DTS} / 32, N = 5 1110: 采样频率f_{DTS} / 32, N = 6 1111: 采样频率f_{DTS} / 32, N = 8
MSCFG	Bit 7	R/W	**主/从模式** 0: 写入0无效 1: 延迟触发输入(TRGI)上的事件来允许当前计时器和其从定时器之间的同步。该设置有效用于使用单个外部事件来同步多个定时器。
TSSEL1	Bit 6:4	R/W	**触发选择 1** 此位与 TSSEL2[1:0]组合成 TSSEL = {TSSEL2[1:0],TSSEL1[2:0]} 设置触发选择，用于同步寄数器 00000: 内部触发 0 (IT0) 00001: 内部触发 1 (IT1) 00010: 内部触发 2 (IT2) 00011: 内部触发 3 (IT3) 00100: I1 边沿检测(I1F_ED) 00101: I1 滤波后信号

			00110: I2 滤波后信号 00111: 外部触发输入 01000: 内部触发 4 (IT4) 01001: 内部触发 5 (IT5) 01010: 内部触发 6 (IT6) 01011: 内部触发 7 (IT7) 01100: 内部触发 8 (IT8) 其他: 内部触发 n (ITn) 注: 此位在需要在使用前设定(SMODS=000)，以避免产生错误的上升/下降沿至计数器
—	Bits 3	—	—
SMODS	Bits 2-0	R/W	**从模式选择** 000: 从模式关闭 – 当 ADC16C4T1_CON1 寄存器 CNTEN 位为 1 时，分频器时钟由内部时钟提供 001: 编码器模式 1 – 计数器根据 I1 边沿检测电平在 I2 边沿检测边沿递增或递减计数 010: 编码器模式 2 – 计数器根据 I2 边沿检测电平在 I1 边沿检测边沿递增或递减计数 011: 编码器模式 3 – 计数器在 I1 边沿检测和 I2 边沿检测的边沿计数，计数的方向取决于另一个输入的电平 100: 复位模式 – 选中的触发输入(TRGI)的上升沿重新初始化计数器，并且产生一次更新事件 101: 门控模式 – 当触发输入(TRGI)为高电平时，计数器的时钟开启。一旦触发输入变为低电平，则计数器停止(但不复位)。计数器的启动和停止都是被控制 110: 触发模式 – 计数器在触发输入 TRGI 的上升沿启动(但不复位)，只有计数器的启动是被控制 111: 外部时钟模式 1 – 选中的触发输入(TRGI) 的上升沿提供计数器时钟 注: 如果 I1 双边沿检测被选为触发输入(设置 TSSEL 为 00100)时，不能使用门控模式。I1F 每一次转换，I1 双边沿检测就会输出 1

			个脉冲，而门控模式则是检查触发信号的电平

从定时器	IT0(TSSEL=00000)	IT1(TSSEL=00001)	IT2(TSSEL=00010)	IT3(TSSEL=00011)	IT4(TSSEL=01000)	IT5(TSSEL=01001)	IT6(TSSEL=01010)	IT7(TSSEL=01011)	IT8(TSSEL=01100)
GP16C4T1	AD16C4T1	保留	GP16C4T2	GP16C4T3	GP32C4T1	GP16C2T1	GP16C2T2	GP16C2T3	GP16C2T4
GP16C4T2	AD16C4T1	GP16C4T1	保留	GP16C4T3	GP32C4T1	GP16C2T1	GP16C2T2	GP16C2T3	GP16C2T4
GP16C4T3	AD16C4T1	GP16C4T1	GP16C4T2	保留	GP32C4T1	GP16C2T1	GP16C2T2	GP16C2T3	GP16C2T4

表 20-2 GP16C4Tn 内部触发连接

20. 5. 2. 4 中断开启寄存器(GP16C4Tn_IER)

中断开启寄存器(GP16C4Tn_IER)

偏移地址：0x0C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CH4OV	CH3OV	CH2OV	CH1OV	—	—	TRGI	—	CH4	CH3	CH2	CH1	UPD

—	Bits 31-13	—	—
CH4OV	Bit 12	W1	**开启通道4捕获溢出中断功能** 此位设置时，开启中断功能，硬件侦测通道4捕获溢出事件时发生中断
CH3OV	Bit 11	W1	**开启通道 3 捕获溢出中断功能** 此位设置时，开启中断功能，硬件侦测通道 3 捕获溢出事件时发生中断
CH2OV	Bit 10	W1	**开启通道 2 捕获溢出中断功能** 此位设置时，开启中断功能，硬件侦测通道 2 捕获溢出事件时发生中断
CH1OV	Bit 9	W1	**开启通道 1 捕获溢出中断功能** 此位设置时，开启中断功能，硬件侦测通道 1 捕获溢出事件时发生中断
—	Bit 8-7	—	—
TRGI	Bit 6	W1	**开启触发中断功能** 此位设置时，开启中断功能，硬件侦测触发信号事件时发生中断
—	Bit 5	—	—
CH4	Bit 4	W1	**开启通道 4 捕获或比较匹配中断功能**

			此位设置时，开启中断功能，硬件侦测通道 4 捕获或比较匹配事件时发生中断
CH3	Bit 3	W1	**开启通道 3 捕获或比较匹配中断功能** 此位设置时，开启中断功能，硬件侦测通道 3 捕获或比较匹配事件时发生中断
CH2	Bit 2	W1	**开启通道 2 捕获或比较匹配中断功能** 此位设置时，开启中断功能，硬件侦测通道 2 捕获或比较匹配事件时发生中断
CH1	Bit 1	W1	**开启通道 1 捕获或比较匹配中断功能** 此位设置时，开启中断功能，硬件侦测通道 1 捕获或比较匹配事件时发生中断
UPD	Bit 0	W1	**开启更新中断功能** 此位设置时，开启中断功能，硬件侦测更新事件时发生中断

20. 5. 2. 5 中断关闭寄存器(GP16C4Tn_IDR)

中断关闭寄存器(GP16C4Tn_IDR)

偏移地址：0x10

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CH4OV	CH3OV	CH2OV	CH1OV	—	—	TRGI	—	CH4	CH3	CH2	CH1	UPD

—	Bits 31-13	—	—
CH4OV	Bit 12	W1	**关闭通道4捕获溢出中断功能** 此位设置时，关闭通道4捕获溢出中断功能
CH3OV	Bit 11	W1	**关闭通道 3 捕获溢出中断功能** 此位设置时，关闭通道 3 捕获溢出中断功能
CH2OV	Bit 10	W1	**关闭通道 2 捕获溢出中断功能** 此位设置时，关闭通道 2 捕获溢出中断功能
CH1OV	Bit 9	W1	**关闭通道 1 捕获溢出中断功能** 此位设置时，关闭通道 1 捕获溢出中断功能
—	Bit 8-7	—	—
TRGI	Bit 6	W1	**关闭触发中断功能** 此位设置时，关闭触发中断功能
—	Bit 5	—	—

CH4	Bit 4	W1	**关闭通道 4 捕获或比较匹配中断功能** 此位设置时，关闭通道 4 捕获或比较匹配中断功能
CH3	Bit 3	W1	**关闭通道 3 捕获或比较匹配中断功能** 此位设置时，关闭通道 3 捕获或比较匹配中断功能
CH2	Bit 2	W1	**关闭通道 2 捕获或比较匹配中断功能** 此位设置时，关闭通道 2 捕获或比较匹配中断功能
CH1	Bit 1	W1	**关闭通道 1 捕获或比较匹配中断功能** 此位设置时，关闭通道 1 捕获或比较匹配中断功能
UPD	Bit 0	W1	**关闭更新中断功能** 此位设置时，关闭更新中断功能

20. 5. 2. 6 中断功能有效状态寄存器(GP16C4Tn_IVS)

中断功能有效状态寄存器(GP16C4Tn_IVS)

偏移地址：0x14

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CH4OV	CH3OV	CH2OV	CH1OV	—	—	TRGI	—	CH4	CH3	CH2	CH1	UPD

—	Bits 31-13	—	—
CH4OV	Bit 12	R	**通道 4 捕获溢出中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH3OV	Bit 11	R	**通道 3 捕获溢出中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH2OV	Bit 10	R	**通道 2 捕获溢出中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH1OV	Bit 9	R	**通道 1 捕获溢出中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态

—	Bit 8-7	—	—
TRGI	Bit 6	R	**触发中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
—	Bit 5	—	—
CH4	Bit 4	R	**通道 4 捕获或比较匹配中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH3	Bit 3	R	**通道 3 捕获或比较匹配中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH2	Bit 2	R	**通道 2 捕获或比较匹配中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH1	Bit 1	R	**通道 1 捕获或比较匹配中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
UPD	Bit 0	R	**更新中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态

GP16C4Tn_IVS 寄存器，是实时反映系统配置 GP16C4Tn_IER 与 GP16C4Tn_IDR 的中断状态。 此寄存器状态是将 GP16C4Tn_IER 与 GP16C4Tn_IDR 进行硬件运算，公式如下：

GP16C4Tn_IVS = GP16C4Tn_IER & ~GP16C4Tn_IDR

20. 5. 2. 7 原始中断状态寄存器(GP16C4Tn_RIF)

原始中断状态寄存器(GP16C4Tn_RIF)																													
偏移地址：0x18																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CH4OV	CH3OV	CH2OV	CH1OV	—	—	TRGI	—	CH4	CH3	CH2	CH1	UPD

—	Bits 31-13	—	—
CH4OV	Bit 12	R	**通道4捕获溢出，原始中断状态** 0: 无发生中断 1: 已发生中断
CH3OV	Bit 11	R	**通道 3 捕获溢出，原始中断状态** 0: 无发生中断 1: 已发生中断
CH2OV	Bit 10	R	**通道 2 捕获溢出，原始中断状态** 0: 无发生中断 1: 已发生中断
CH1OV	Bit 9	R	**通道 1 捕获溢出，原始中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 8-7	—	—
TRGI	Bit 6	R	**触发，原始中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 5	—	—
CH4	Bit 4	R	**通道 4 捕获或比较匹配，原始中断状态** 0: 无发生中断 1: 已发生中断
CH3	Bit 3	R	**通道 3 捕获或比较匹配，原始中断状态** 0: 无发生中断 1: 已发生中断
CH2	Bit 2	R	**通道 2 捕获或比较匹配，原始中断状态** 0: 无发生中断 1: 已发生中断
CH1	Bit 1	R	**通道 1 捕获或比较匹配，原始中断状态** 0: 无发生中断 1: 已发生中断
UPD	Bit 0	R	**更新，原始中断状态** 0: 无发生中断

			1: 已发生中断

20. 5. 2. 8 中断标志位状态寄存器(GP16C4Tn_IFM)

中断标志位状态寄存器(GP16C4Tn_IFM)																												
偏移地址：0x1C																												
复位值：0x0000 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CH4OV	CH3OV	CH2OV	CH1OV	—	—	TRGI	—	CH4	CH3	CH2	CH1	UPD

—	Bits 31-13	—	—
CH4OV	Bit 12	R	**通道4捕获溢出，标志位中断状态** 0: 无发生中断 1: 已发生中断
CH3OV	Bit 11	R	**通道 3 捕获溢出，标志位中断状态** 0: 无发生中断 1: 已发生中断
CH2OV	Bit 10	R	**通道 2 捕获溢出，标志位中断状态** 0: 无发生中断 1: 已发生中断
CH1OV	Bit 9	R	**通道 1 捕获溢出，标志位中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 8-7	—	—
TRGI	Bit 6	R	**触发，标志位中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 5	—	—
CH4	Bit 4	R	**通道 4 捕获或比较匹配，标志位中断状态** 0: 无发生中断 1: 已发生中断
CH3	Bit 3	R	**通道 3 捕获或比较匹配，标志位中断状态** 0: 无发生中断 1: 已发生中断
CH2	Bit 2	R	**通道 2 捕获或比较匹配，标志位中断状态** 0: 无发生中断 1: 已发生中断
CH1	Bit 1	R	**通道 1 捕获或比较匹配，标志位中断状态** 0: 无发生中断 1: 已发生中断

UPD	Bit 0	R	**更新，标志位中断状态** 0: 无发生中断 1: 已发生中断

GP16C4Tn_IFM 寄存器，是滤除已关闭中断功能的中断事件，只关注开启中断功能的事件， 此寄存器状态是将 GP16C4Tn_RIF 与 GP16C4Tn_IVS 进行硬件运算，公式如下：
GP16C4Tn_IFM = GP16C4Tn_RIF & GP16C4Tn_IVS

20. 5. 2. 9 中断清除寄存器(GP16C4Tn_ICR)

中断清除寄存器(GP16C4Tn_ICR)

偏移地址：0x20

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CH4OV	CH3OV	CH2OV	CH1OV	—	—	TRGI	—	CH4	CH3	CH2	CH1	UPD

—	Bits 31-13	—	—
CH4OV	Bit 12	C_W1	**清除通道4捕获溢出中断状态** 此位设置时，清除中断状态(GP16C4Tn_RIF与GP16C4Tn_IFM)
CH3OV	Bit 11	C_W1	**清除通道 3 捕获溢出中断状态** 此位设置时，清除中断状态(GP16C4Tn_RIF与 GP16C4Tn_IFM)
CH2OV	Bit 10	C_W1	**清除通道 2 捕获溢出中断状态** 此位设置时，清除中断状态(GP16C4Tn_RIF与 GP16C4Tn_IFM)
CH1OV	Bit 9	C_W1	**清除通道 1 捕获溢出中断状态** 此位设置时，清除中断状态(GP16C4Tn_RIF与 GP16C4Tn_IFM)
—	Bit 8-7	—	—
TRGI	Bit 6	C_W1	**清除触发中断状态** 此位设置时，清除中断状态(GP16C4Tn_RIF与 GP16C4Tn_IFM)
—	Bit 5	—	—
CH4	Bit 4	C_W1	**清除通道 4 捕获或比较匹配中断状态** 此位设置时，清除中断状态(GP16C4Tn_RIF与 GP16C4Tn_IFM)

CH3	Bit 3	C_W1	**清除通道 3 捕获或比较匹配中断状态** 此位设置时，清除中断状态(GP16C4Tn_RIF 与 GP16C4Tn_IFM)
CH2	Bit 2	C_W1	**清除通道 2 捕获或比较匹配中断状态** 此位设置时，清除中断状态(GP16C4Tn_RIF 与 GP16C4Tn_IFM)
CH1	Bit 1	C_W1	**清除通道 1 捕获或比较匹配中断状态** 此位设置时，清除中断状态(GP16C4Tn_RIF 与 GP16C4Tn_IFM)
UPD	Bit 0	C_W1	**清除更新中断状态** 此位设置时，清除中断状态(GP16C4Tn_RIF 与 GP16C4Tn_IFM)

GP16C4Tn_ICR 寄存器设置时，将清除 GP16C4Tn_RIF 与 GP16C4Tn_IFM 中断标志状态；此设置不影响中断 GP16C4Tn_IER、GP16C4Tn_IDR 与 GP16C4Tn_IVS 寄存器，只清除标志状态 GP16C4Tn_RIF 与 GP16C4Tn_IFM。 此寄存器通过硬件清除中断，公式如下：
GP16C4Tn_RIF = GP16C4Tn_RIF & ~GP16C4Tn_ICR

20. 5. 2. 10 软件生成事件生寄存器(GP16C4Tn_SGE)

软件生成事件寄存器(GP16C4Tn_SGE)

偏移地址：0x24

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SGTRGI	—	SGCH4	SGCH3	SGCH2	SGCH1	SGUPD

—	Bits 31-7	—	—
SGTRGI	Bit 6	T_W1	**软件生成触发事件** 该位由软件设置来生成触发事件，可由硬件自动清零。 此位设置时，产生触发事件。产生相关中断或 DMA 传输
—	Bit 5	—	—
SGCH4	Bit 4	T_W1	**软件生成通道 4 捕获或比较事件** 参照 SGCH1 描述
SGCH3	Bit 3	T_W1	**软件生成通道 3 捕获或比较事件** 参照 SGCH1 描述

SGCH2	Bit 2	T_W1	**软件生成通道 2 捕获或比较事件** 参照 SGCH1 描述
SGCH1	Bit 1	T_W1	**软件生成通道 1 捕获或比较事件** 该位由软件设置来生成通道 1 捕获或比较，可由硬件自动清零。 **通道 CH1 设置为输出:** 此位设置时，产生比较事件，但不影响输出。若开启中断或 DMA，则产生中断与请求。 **通道 CH1 设置为输入:** 此位设置时，产生捕获事件。将计数器捕获至 CCVAL1 寄存器中，若开启中断或 DMA，则产生中断与请求。
SGUPD	Bit 0	T_W1	**软件触发更新事件** 该位由软件设置，可由硬件自动清零。 此位设置时，产生捕获事件。重新初始化计数器，更新寄存器。 注: 预分频器也会被清零(但预分频比不会受到影响)。如果使用中心对齐模式或者 DIRSEL=0(递增计数)，则计数器将清零；否则如果 DIRSEL=1(递减计数)，则将使用自动重载入值。

20. 5. 2. 11 捕获或比较模式寄存器 1(GP16C4Tn_CHMR1)

捕获或比较模式寄存器 1(GP16C4Tn_CHMR1)																													
偏移地址：0x28																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																CH2OCLREN	CH2MOD <2:0>			CH2PEN	CH2FEN	CC2SSEL <1:0>		CH1OCLREN	CH1MOD <2:0>			CH1PEN	CH1FEN	CC1SSEL <1:0>	
																I2FLT <3:0>				I2PRES <1:0>				I1FLT <3:0>				I1PRES <1:0>			

输出比较模式

—	Bits 31-16	—	—
CH2OCLREN	Bit 15	R/W	**输出比较通道 2 清除开启** 参照 CH1OCLREN 描述
CH2MOD	Bit 14-12	R/W	**输出比较通道 2 模式** 参照 CH1MOD 描述
CH2PEN	Bit 11	R/W	**输出比较通道 2 预装载开启** 参照 CH1PEN 描述
CH2FEN	Bit 10	R/W	**输出比较通道 2 快速开启** 参照 CH1FEN 描述
CC2SSEL	Bit 9-8	R/W	**捕获或比较通道 2 选择** 设置通道的输出方向与信号的选择，当 CCEP 寄存器的 CC2EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I2 10: 通道设置为输入，捕获源为 I1 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测
CH1OCLREN	Bit 7	R/W	**输出比较通道 1 清除开启** 0: CH1REF 维持输出 1: CH1REF 根据 CHREF_CLR 为高电平时清除(设置 GP16C4Tn_OPTR 寄存器的 ETR_RMP 位选择来源)
CH1MOD	Bit 6-4	R/W	**输出比较通道 1 模式**

			这些位定义提供 CH1 和 CH1N 的输出参考信号 CH1REF 的行为。CH1REF 为高电平有效， 而 CH1 和 CH1N 的有效电平则取决于 GP16C4Tn_CCEP 寄存器中的 CC1POL 位和 CC1NPOL 位。 000: 关闭 – 无作用 001: 匹配时设置高电平 – 当计数器(GP16C4Tn_COUNT)匹配 GP16C4Tn_CCVAL1 寄存器时，CH1REF 设置为 1 010: 匹配时设置低电平 – 当计数器(GP16C4Tn_COUNT)匹配 GP16C4Tn_CCVAL1 寄存器时，CH1REF 设置为 0 011: 匹配时设置翻转电平 – 当计数器(GP16C4Tn_COUNT)匹配 GP16C4Tn_CCVAL1 寄存器时，CH1REF 设置翻转电平(当前为高电平则翻转成低电平，反之当前为低电平则翻转成高电平) 100: 强制低电平 – CH1REF 强制设置低电平 101: 强制高电平 – CH1REF 强制设置高电平 110: PWM 模式 1 – 在递增计数时，当计数器(GP16C4Tn_COUNT)小于 GP16C4Tn_CCVAL1 寄存器时，输出高电平，其他则输出低电平。在递减计数时，当计数器(GP16C4Tn_COUNT)大于 GP16C4Tn_CCVAL1 寄存器时，输出低电平，其他则输出高电平 111: PWM 模式 2 – 在递增计数时，当计数器(GP16C4Tn_COUNT)小于 GP16C4Tn_CCVAL1 寄存器时，输出低电平，其他则输出高电平。在递减计数时，当计数器(GP16C4Tn_COUNT)大于 GP16C4Tn_CCVAL1 寄存器时，输出高电平，其他则输出低电平
CH1PEN	Bit 3	R/W	**输出比较通道 1 预装载使能** 设置后在更新事件时，将 GP16C4Tn_CCVAL1 寄存器预装载值载入到

			影子寄存器中。 0: CCVAL1 寄存器预装载关闭 1: CCVAL1 寄存器预装载开启
CH1FEN	Bit 2	R/W	**输出比较通道 1 快速开启** 用于加速触发输入事件对于 PWM 输出的影响，CH1FEN 只在通道被配置成 PWM1 或 PWM2 模式时起作用。 0: CH1 的输出依赖于计数器与 CCVAL1 的值正常工作。 1: 当触发输入(TRGI)有效时，CH1 被强制设置为比较电平(与比较结果无关)，触发输入(TRGI)的有效边沿相当于发生比较匹配。
CC1SSEL	Bit 1-0	R/W	**捕获或比较通道 1 选择** 设置通道的输出方向与信号的选择，当 GP16C4Tn_CCEP 寄存器的 CC1EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I1 10: 通道设置为输入，捕获源为 I2 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测

输入捕获模式

—	Bits 31-16	—	—
I2FLT	Bit 15-12	R/W	**输入捕获通道2滤波器** 参照I1FLT描述
I2PRES	Bit 11-10	R/W	**输入捕获通道 2 预分频器** 参照 IC1PRES 描述
CC2SSEL	Bit 9-8	R/W	**捕获或比较通道 2 选择** 设置通道的输出方向与信号的选择，当 GP16C4Tn_CCEP 寄存器的 CC2EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I2 10: 通道设置为输入，捕获源为 I1 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测
I1FLT	Bit 7-4	R/W	**输入捕获通道 1 滤波器**

			设置 I1 信号采样的频率和对 I1 数字滤波器的带宽。数字滤波器是一个事件计数器，它记录到 N 个事件后才视为一个有效输出边沿: 0000: 采样频率 f_{DTS}，滤波器关闭 0001: 采样频率 f_{INT_CLK}, N = 2 0010: 采样频率 f_{INT_CLK}, N = 4 0011: 采样频率 f_{INT_CLK}, N = 8 0100: 采样频率 f_{DTS} / 2, N = 6 0101: 采样频率 f_{DTS} / 2, N = 8 0110: 采样频率 f_{DTS} / 4, N = 6 0111: 采样频率 f_{DTS} / 4, N = 8 1000: 采样频率 f_{DTS} / 8, N = 6 1001: 采样频率 f_{DTS} / 8, N = 8 1010: 采样频率 f_{DTS} / 16, N = 5 1011: 采样频率 f_{DTS} / 16, N = 6 1100: 采样频率 f_{DTS} / 16, N = 8 1101: 采样频率 f_{DTS} / 32, N = 5 1110: 采样频率 f_{DTS} / 32, N = 6 1111: 采样频率 f_{DTS} / 32, N = 8
I1PRES	Bit 3-2	R/W	**输入捕获通道 1 预分频器** 设置 I1 的预分频计数器数值，当清除 GP16C4Tn_CCEP 寄存器的 CC1EN 位，预分频计数器同时被清除 00: 预分频关闭，于每次事件时捕获 01: 每 2 次事件捕获 10: 每 4 次事件捕获 11: 每 8 次事件捕获
CC1SSEL	Bit 1-0	R/W	**捕获或比较通道 1 选择** 设置通道的输出方向与信号的选择，当 GP16C4Tn_CCEP 寄存器的 CC1EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I1 10: 通道设置为输入，捕获源为 I2 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测

20. 5. 2. 12 捕获或比较模式寄存器 2(GP16C4Tn_CHMR2)

捕获或比较模式寄存器 2(GP16C4Tn_CHMR2)																													
偏移地址：0x2C																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																CH4OCLREN	CH4MOD <2:0>			CH4PEN	CH4FEN	CC4SSEL <1:0>		CH3OCLREN	CH3MOD <2:0>			CH3PEN	CH3FEN	CC3SSEL <1:0>	
																I4FLT <3:0>				I4PRES <1:0>				I3FLT <3:0>				I3PRES <1:0>			

输出比较模式

—	Bits 31-16	—	—
CH4OCLREN	Bit 15	R/W	**输出比较通道 4 清除使能** 参照 CH1OCLREN 描述
CH4MOD	Bit 14-12	R/W	**输出比较通道 4 模式** 参照 CH1MOD 描述
CH4PEN	Bit 11	R/W	**输出比较通道 4 预装载开启** 参照 CH1PEN 描述
CH4FEN	Bit 10	R/W	**输出比较通道 4 快速开启** 参照 CH1FEN 描述
CC4SSEL	Bit 9-8	R/W	**捕获或比较通道 4 选择** 设置通道的输出方向与信号的选择，当 GP16C4Tn_CCEP 寄存器的 CC4EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I4 10: 通道设置为输入，捕获源为 I3 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测
CH3OCLREN	Bit 7	R/W	**输出比较通道 3 清除开启** 参照 CH1OCLREN 描述
CH3MOD	Bit 6-4	R/W	**输出比较通道 3 模式** 参照 CH1OMOD 描述
CH3PEN	Bit 3	R/W	**输出比较通道 3 预装载开启**

			参照 CH1PEN 描述
CH3FEN	Bit 2	R/W	**输出比较通道 3 快速开启** 参照 CH1FEN 描述
CC3SSEL	Bit 1-0	R/W	**捕获或比较通道 3 选择** 设置通道的输出方向与信号的选择，当 GP16C4Tn_CCEP 寄存器的 CC3EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I3 10: 通道设置为输入，捕获源为 I4 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测

输入捕获模式

—	Bits 31-16	—	—
I4FLT	Bit 15-12	R/W	**输入捕获通道4滤波器** 参照I1FLT描述
I4PRES	Bit 11-10	R/W	**输入捕获通道 4 预分频器** 参照 IC1PRES 描述
CC4SSEL	Bit 9-8	R/W	**捕获或比较通道 4 选择** 设置通道的输出方向与信号的选择，当 GP16C4Tn_CCEP 寄存器的 CC4EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I4 10: 通道设置为输入，捕获源为 I3 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测
I3FLT	Bit 7-4	R/W	**输入捕获通道 3 滤波器** 参照 I1FLT 描述
I3PRES	Bit 3-2	R/W	**输入捕获通道 3 预分频器** 参照 IC1PRES 描述
CC3SSEL	Bit 1-0	R/W	**捕获或比较通道 3 选择** 设置通道的输出方向与信号的选择，当 GP16C4Tn_CCEP 寄存器的 CC3EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I3

			10: 通道设置为输入，捕获源为 I4 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测

20. 5. 2. 13 捕获或比较开启极性寄存器(GP16C4Tn_CCEP)

捕获或比较开启极性寄存器(GP16C4Tn_CCEP)

偏移地址：0x30

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CC4NPOL	—	CC4POL	CC4EN	CC3NPOL	—	CC3POL	CC3EN	CC2NPOL	—	CC2POL	CC2EN	CC1NPOL	—	CC1POL	CC1EN

—	Bits 31-16	—	—
CC4NPOL	Bit 15	R/W	**捕获或比较通道4互补输出极性** 参照CC1NPOL描述
—	Bit 14	—	—
CC4POL	Bit 13	R/W	**捕获或比较通道 4 输出极性** 参照 CC1POL 描述
CC4EN	Bit 12	R/W	**捕获或比较通道 4 输出开启** 参照 CC1EN 描述
CC3NPOL	Bit 11	R/W	**捕获或比较通道 3 互补输出极性** 参照 CC1NPOL 描述
—	Bit 10	—	—
CC3POL	Bit 9	R/W	**捕获或比较通道 3 输出极性** 参照 CC1POL 描述
CC3EN	Bit 8	R/W	**捕获或比较通道 3 输出开启** 参照 CC1EN 描述
CC2NPOL	Bit 7	R/W	**捕获或比较通道 2 互补输出极性** 参照 CC1NPOL 描述
—	Bit 6	—	—
CC2POL	Bit 5	R/W	**捕获或比较通道 2 输出极性** 参照 CC1POL 描述
CC2EN	Bit 4	R/W	**捕获或比较通道 2 输出开启** 参照 CC1EN 描述
CC1NPOL	Bit 3	R/W	**捕获或比较通道 1 互补输出极性** **通道 CH1 设置为输出:**

			0: CH1N 高电平有效 1: CH1N 低电平有效 **通道 CH1 设置为输入:** 该位需和 CC1POL 一起使用来定义输入边沿的极性。参照 CC1POL 描述。
—	Bit 2	—	—
CC1POL	Bit 1	R/W	**捕获或比较通道 1 输出极性** **通道 CH1 设置为输出:** 0: CH1 高电平有效 1: CH1 低电平有效 **通道 CC1 设置为输入:** CC1NPOL/CC1POL 位选择触发边沿或捕获模式下 I1 和 I2 的极性 00: 非反相/上升沿 01: 反相/下降沿 10: 保留 11: 非反相/上升沿+下降沿
CC1EN	Bit 0	R/W	**捕获或比较通道 1 输出开启** **通道 CH1 设置为输出:** 0: 关闭-CH1 无效。 1: 开启-CH1 为对应输出引脚上的输出信号。 **通道 CH1 设置为输入:** 0: 捕获关闭 1: 捕获开启

20. 5. 2. 14 计数寄存器(GP16C4Tn_COUNT)

计数寄存器(GP16C4Tn_COUNT)

偏移地址：0x34

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																CNTV<15:0>															

—	Bits 31-16	—	—
CNTV	Bits 15-0	R/W	**计数器数值**

20. 5. 2. 15 时钟预分频寄存器(GP16C4Tn_PRES)

时钟预分频寄存器(GP16C4Tn_PRES)																															
偏移地址：0x38																															
复位值 0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																PSCV<15:0>															

—	Bits 31-16	—	—
PSCV	Bits 15-0	R/W	**预分频数值** 当计数器时钟频率等于 f_{INT_CLK}/(PSCV<15:0> + 1)时计数器递增或递减。在更新事件产生时，将PSCV数值被载入预装载寄存器中

20. 5. 2. 16 自动重载寄存器(GP16C4Tn_AR)

自动重载寄存器(GP16C4Tn_AR)																															
偏移地址：0x3C																															
复位值：0x0000 FFFF																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																ARV<15:0>															

—	Bits 31-16	—	—
ARV	Bits 15-0	R/W	**自动重载数值** 设置计数器的递增计数的边界或递减计数的重载值，设置数值为 0 时计数器停止计数

20. 5. 2. 17 通道捕获或比较寄存器 1(GP16C4Tn_CCVAL1)

通道捕获或比较寄存器 1(GP16C4Tn_CCVAL1)																													
偏移地址：0x44																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																CCRV1<15:0>															

—	Bits 31-16	—	—
CCRV1	Bits 15-0	R/W	**捕获或比较数值 1** **通道 CH1 配置为输出:** CCRV1 是捕获或比较寄存器的预装载值。 如果在 GP16C4Tn_CHMR1 寄存器中的预载功能没有选中，CCRV1 中的值将被永久载入;否则每当发生更新事件，预载值将会复制到有效的捕获或比较寄存器中。有效捕获或比较寄存器的值将会与 GP16C4Tn_COUNT 中的值进行比较，并在 CH1 上输出。 **通道 CH1 配置为输入:** CCRV1为由上一个输入捕获事件(I1)发生时的计数器数值。

20. 5. 2. 18 通道捕获或比较寄存器 2(GP16C4Tn_CCVAL2)

通道捕获或比较寄存器 2(GP16C4Tn_CCVAL2)																													
偏移地址： 0x48																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																CCRV2<15:0>															

—	Bits 31-16	—	—
CCRV2	Bits 15-0	R/W	**捕获或比较数值2** **通道CH2配置为输出:** CCRV2是捕获或比较寄存器的预装载值。 如果在GP16C4Tn_CHMR1寄存器中的预载功能没有选中，CCRV2中的值将被永久载入;否则每当发生更新事件，预载值将会复制到有效的捕获或比较寄存器中。有效捕获或比较寄存器的值将会与GP16C4Tn_COUNT中的值进行比较，并在CH2上输出。 **通道CH2配置为输入:** CCRV2为由上一个输入捕获事件(I2)发生时的计数器数值。

20. 5. 2. 19 通道捕获或比较寄存器 3(GP16C4Tn_CCVAL3)

通道捕获或比较寄存器 3(GP16C4Tn_CCVAL3)																													
偏移地址：0x4C																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																CCRV3<15:0>															

—	Bits 31-16	—	—
CCRV3	Bits 15-0	R/W	**捕获或比较数值3** **通道CH3配置为输出:** CCRV3是捕获或比较寄存器的预装载值。 如果在GP16C4Tn_CHMR2寄存器中的预载功能没有选中，CCRV3中的值将被永久载入;否则每当发生更新事件，预载值将会复制到有效的捕获或比较寄存器中。有效捕获或比较寄存器的值将会与GP16C4Tn_COUNT中的值进行比较，并在CH3上输出。 **通道CH3配置为输入:** CCRV3为由上一个输入捕获事件(I3)发生时的计数器数值。

20. 5. 2. 20 通道捕获或比较寄存器 4(GP16C4Tn_CCVAL4)

通道捕获或比较寄存器 4(GP16C4Tn_CCVAL4)																													
偏移地址：0x50																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																CCRV4<15:0>															

—	Bits 31-16	—	—
CCRV4	Bits 15-0	R/W	**捕获或比较数值4** **通道CH4配置为输出:** CCRV4是捕获或比较寄存器的预装载值。 如果在GP16C4Tn_CHMR2寄存器中的预载功能没有选中，CCRV4中的值将被永久载入;否则每当发生更新事件，预载值将会复制到有效的捕获或比较寄存器中。有效捕获或比较寄存器的值将会与GP16C4Tn_COUNT中的值进行比较，并在CH4上输出。 **通道CH4配置为输入:** CCRV4为由上一个输入捕获事件(I)发生时的计数器数值。

20. 5. 2. 21 DMA 事件使能寄存器(GP16C4Tn_DMAEN)

DMA 事件使能寄存器(GP16C4Tn_DMAEN)																														
偏移地址：0x58																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TRGI	—	CH4	CH3	CH2	CH1	UPD

—	Bits 31-7	—	—
TRGI	Bit 6	R/W	**触发DMA请求使能** 0: 触发DMA请求关闭 1: 触发DMA请求开启
—	Bit 5	—	—
CH4	Bit 4	R/W	**通道 4 捕获或比较匹配的 DMA 请求开启** 0: 通道 4 捕获或比较匹配的 DMA 请求关闭 1: 通道 4 捕获或比较匹配的 DMA 请求开启
CH3	Bit 3	R/W	**通道3捕获或比较匹配的DMA请求开启** 0: 通道3捕获或比较匹配的DMA请求关闭 1: 通道3捕获或比较匹配的DMA请求开启
CH2	Bit 2	R/W	**通道 2 捕获或比较匹配的 DMA 请求开启** 0: 通道 2 捕获或比较匹配的 DMA 请求关闭 1: 通道 2 捕获或比较匹配的 DMA 请求开启
CH1	Bit 1	R/W	**通道 1 捕获或比较匹配的 DMA 请求开启** 0: 通道 1 捕获或比较匹配的 DMA 请求关闭 1: 通道 1 捕获或比较匹配的 DMA 请求开启
UPD	Bit 0	R/W	**更新事件的 DMA 请求开启** 0: 更新事件的 DMA 请求关闭 1: 更新事件的 DMA 请求开启

20. 5. 2. 22 输入选择寄存器(GP16C4Tn_OPTR)

输入选择寄存器(GP16C4Tn_OPTR)																											
偏移地址：0x5C																											
复位值：0x0000 0000																											
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																						ETR_RMP<1:0>		CH4_RMP<1:0>		CH3_RMP<1:0>		CH2_RMP<1:0>		CH1_RMP<1:0>	

—	Bits 31-10	—	—
ETR_RMP	Bit 9-8	R/W	**ETR输入映射选择** 00: GP16C4Tn_ETR输入 01: CMP1_OUT 10: CMP2_OUT 其他: 保留
CH4_RMP	Bit 7-6	R/W	**CH4输入映射选择** 00: GP16C4Tn_CH4输入 其他: 保留
CH3_RMP	Bit 5-4	R/W	**CH3输入映射选择** 00: GP16C4Tn_CH3输入 其他: 保留
CH2_RMP	Bit 3-2	R/W	**CH2输入映射选择** 00: GP16C4Tn_CH2输入 01: CMP2_OUT 其他: 保留
CH1_RMP	Bit 1-0	R/W	**CH1 输入映射选择** 00: GP16C4Tn_CH1 输入 01: CMP1_OUT 其他: 保留

第21章 通用定时器 16 位 2 通道 (GP16C2Tn)

21. 1 概述

通用定时器 16 位 2 通道(GP16C2Tn)是一个设置灵活的定时器模块，它包含一个 16 位计数器，具有定时、计数、脉冲输入信号测量(输入捕获)、产生特定 PWM 波形(输出比较)与可设置死区时间的互补输出等功能。

21. 2 特性

- 一种 16 位自动重载计数器模式
  - 递增
- 16 位可配置预分频器，可在定时器运行时对计数器工作时钟进行 1 到 65536 之间的任意分频
- 带有两个独立通道，每个通道支持以下功能
  - 输入捕获
  - 输出比较
  - PWM 输出
  - 单脉冲输出
- 通道 1 支持互补输出，可设置死区时间
- 同步电路用于外部信号控制定时器及内部互联多个定时器
- 重复计数器，用于在给定数目的计数周期后更新定时器寄存器
- 支持刹车功能，并可设置煞车后定时器输出状态
- 下列事件支持产生中断与 DMA 请求：
  - 更新事件：计数器上溢，计数器初始化(通过软件或内部与外部触发)
  - 触发事件：计数器开启、停止、初始化或通过内部与外部触发计数
  - 换向事件(COM)
  - 输入捕获
  - 输出比较
  - 刹车输入

21. 3 结构图

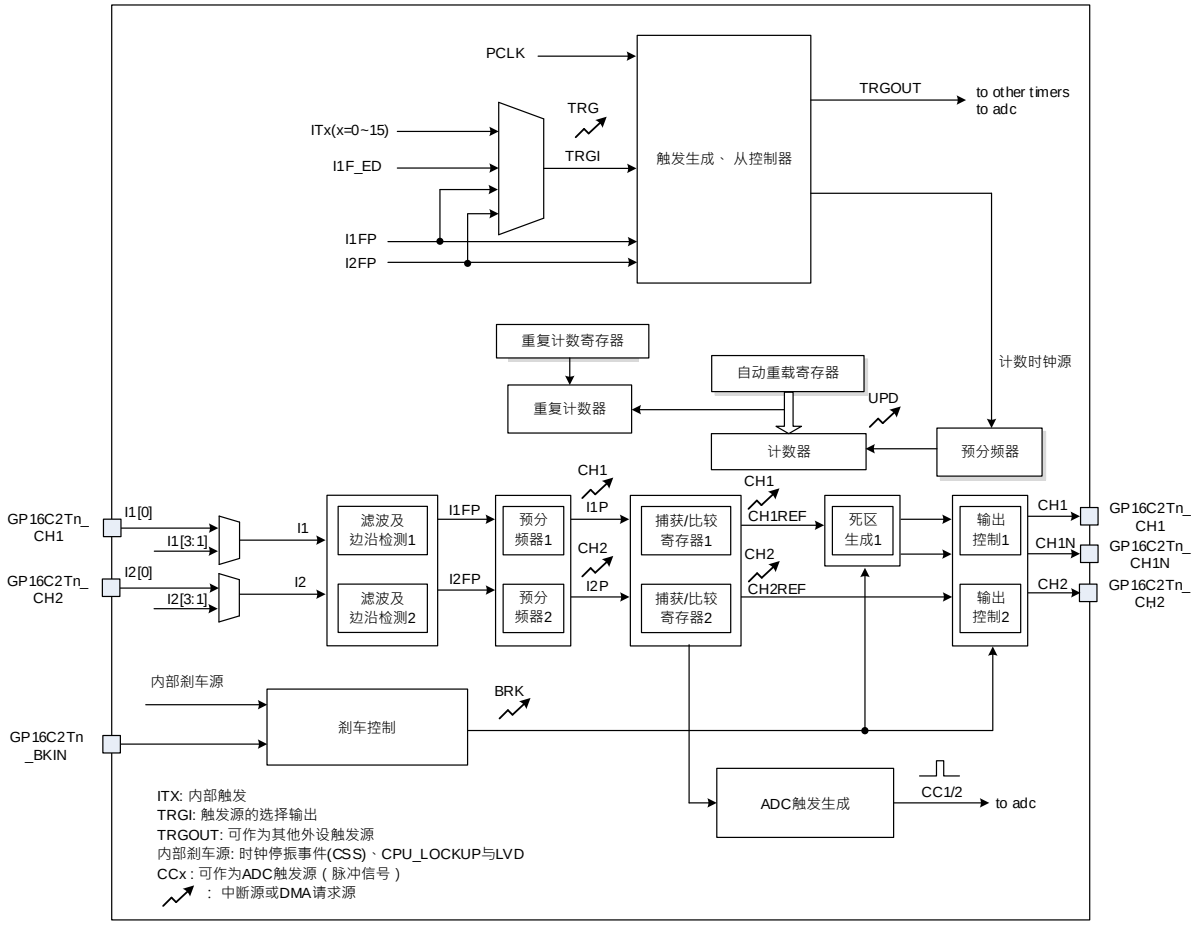


图 21-1 GP16C2Tn 定时器结构框图

21. 4 功能描述

21. 4. 1 定时单位

定时器包含一个 16 位的计数器(**GP16C2Tn_COUNT**)，计数时钟由预分频寄存器(**GP16C2Tn_PRES**)进行分频。计数周期由自动重载计数器(**GP16C2Tn_AR**)设定。重复计数寄存器则可指定计数周期数目(**GP16C2Tn_REPAR**)。

自动重载寄存器(**GP16C2Tn_AR**)是一个可缓冲的寄存器。设置 **GP16C2Tn_CON1** 寄存器的 ARPEN 位为 0 时，关闭 **GP16C2Tn_AR** 寄存器缓冲功能，写入 **GP16C2Tn_AR** 的重载值会被立即反应到影子寄存器中；而设置 ARPEN 位为 1 时，**GP16C2Tn_AR** 寄存器具有缓冲功能，当产生更新事件(UPD)时，**GP16C2Tn_AR** 寄存器的重载值才会被更新到影子寄存器中。

设置 **GP16C2Tn_CON1** 寄存器的 DISUE 位为 0 时，计数器递增计数达到上溢值时会产生更新事件(UPD)。另外可以通过 **GP16C2Tn_SGE** 寄存器的 SGUPD 位为 1 产生软件更新事件。设置 **GP16C2Tn_CON1** 寄存器的 CNTEN 为 1 时，计数器开始计数。

注：计数器在设置 CNTEN 位为 1 后，在 1 个 APB 时钟周期后开始计数。

预分频器可对定时器工作时钟进行 **GP16C2Tn_PRES** 寄存器数值+1 次分频。由于 **GP16C2Tn_PRES** 是一个可缓冲寄存器，因此定时器运行时可以对该寄存器进行修改，修改值在下次更新事件(UPD)后有效。

下图给出了定时器运行过程中改变预分频值时计数器的计数情况。

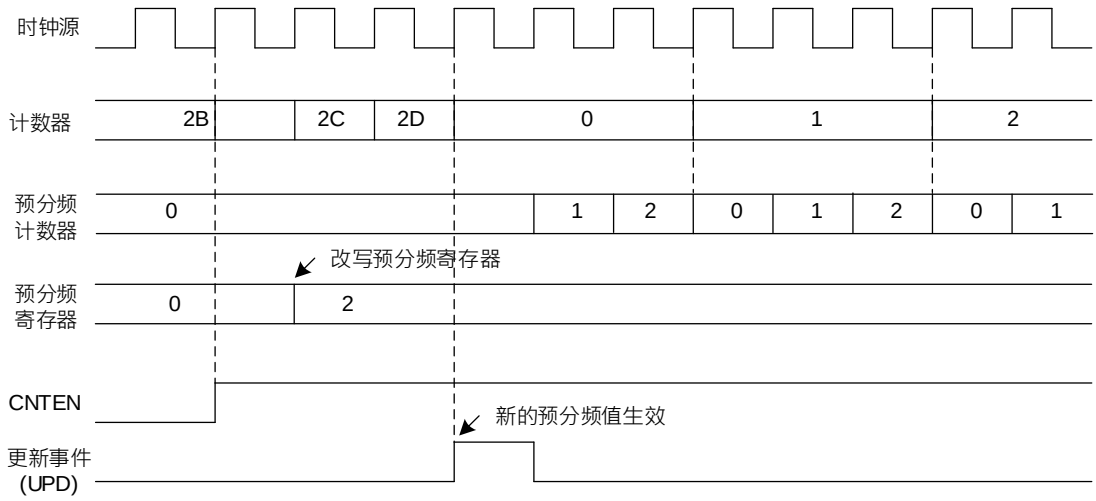


图 21-2 预分频值计数时序图

21. 4. 2 重复计数器

重复计数器用于控制发生多少次上溢后产生更新事件。

重复计数器在下列情况下递减：

◆ 递增模式时计数器的每次上溢

GP16C2Tn_REPAR 寄存器是一个可缓冲寄存器。当由软件(设置 **GP16C2Tn_SGE** 寄存器的 SGUPD 位为 1)或硬件(从机模式控制方式)产生更新事件时，无论重复计数器为何值，缓冲寄存器数值会立即更新到重复计数器的影子寄存器。

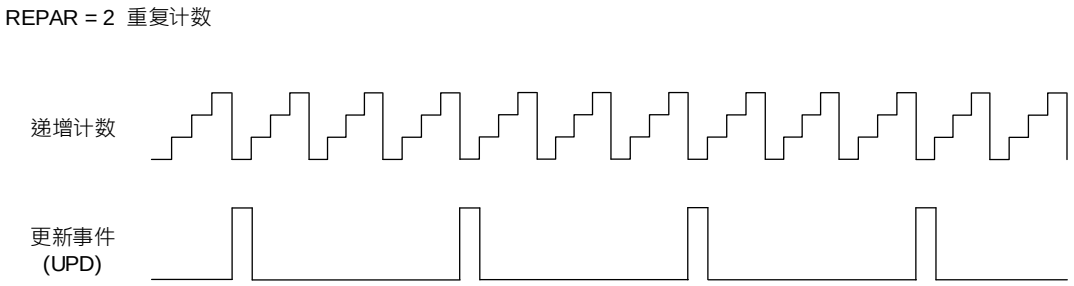


图 21-3 重复计数器工作模式

注意：置位 GP16C2Tn_SGE 寄存器中的 SGUPD 位为 1，也可以产生更新事件。

21. 4. 3 时钟源

计数器工作时钟可以选择内部时钟(INT_CLK)、外部时钟源 1 (I1、I2) 与内部触发输入(IT0~IT15)。

21. 4. 3. 1 内部时钟源(INT_CLK)

若从模式控制器被关闭(**GP16C2Tn_SMCON** 寄存器的 SMODS 位为 000b)，则 **GP16C2Tn_CON1** 寄存器的 CNTEN 位与 **GP16C2Tn_SGE** 寄存器的 SGUPD 位为控制位，这些位只能软件修改(SGUPD 位除外，仍由硬件自动清除)。一旦设置 CNTEN 位为 1，预分频器就由内部 INT_CLK 提供时钟。

下图给出了正常模式下没有分频控制电路和递增计数的情况。

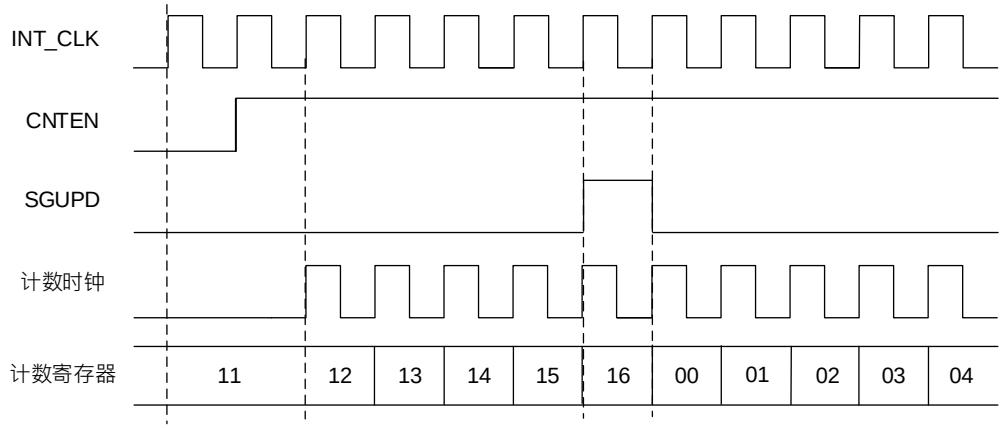


图 21-4 采用内部时钟计数

21. 4. 3. 2 外部时钟源 1

GP16C2Tn_SMCON 寄存器的 SMODS 位为 111b 时，可选择外部时钟源 1。计数器可根据选定的上升沿或下降沿计数。

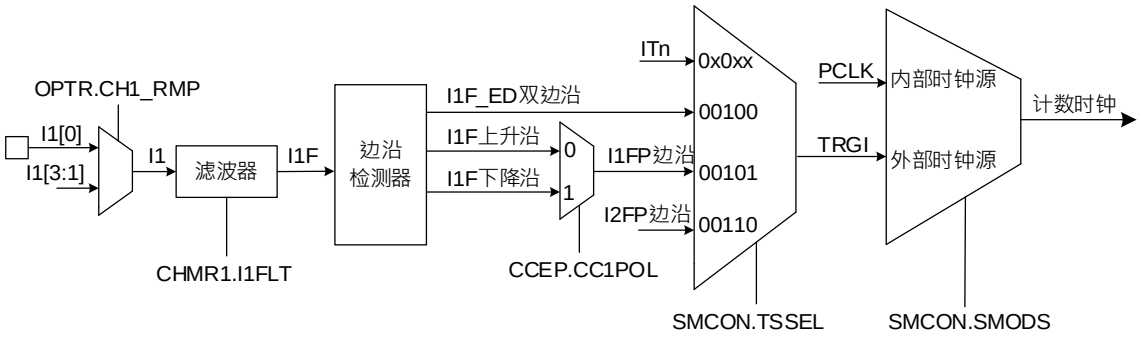


图 21-5 外部时钟连接

设置计数器外部时钟源为 I1 输入，并在 I1 上升沿时计数，步骤如下：

1. 设置 **GP16C2Tn_OPTR** 寄存器的 CH1_RMP 位为 00b，选择 I1 由 IO 输入(默认值皆为 IO 输入，后续不再特别描述)。
2. 设置 **GP16C2Tn_CHMR1** 寄存器 CC1SSEL 位为 01b，让通道 1 为 I1 输入
3. 设置 **GP16C2Tn_CHMR1** 寄存器的 I1FLT 位，输入滤波器时间(若没有滤波器需求，维持 I1FLT 位为 0000)。
4. 设置 **GP16C2Tn_CCEP** 寄存器的 CC1NPOL 位为 0、CC1POL 位为 0，选择极性为上升沿。
5. 设置 **GP16C2Tn_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00101b，选择外部时钟源为 I1。
6. 设置 **GP16C2Tn_SMCON** 寄存器的 SMODS 位为 111b，选择定时器外部时钟模式 1。
7. 设置 **GP16C2Tn_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

当 I1 上出现一次上升沿时，计数器计数一次且设置 TRGI 标志位为 1。I1 上升沿与实际时钟间的延时，取决于 I1 输入的同步电路。

21. 4. 3. 3 内部触发输入(ITn)

设置 **GP16C2Tn_SMCON** 寄存器的 SMODS 位为 111b，外部时钟模式 1。计数器根据选定的内部输入端(ITn)的上升沿计数。

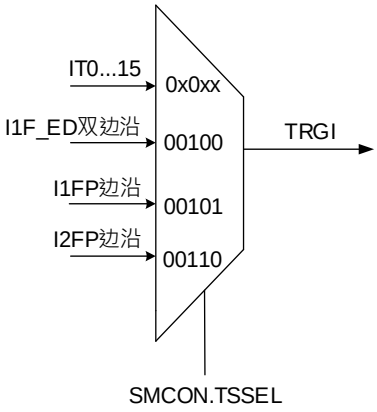


图 21-6 ITn 内部时钟连接

设置计数器外部时钟源为 ITn 输入，并在 ITn 上升沿时计数，步骤如下：

1. 设置 **GP16C2Tn_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位，选定 ITn 作为外部时钟源。
2. 设置 **GP16C2Tn_SMCON** 寄存器的 SMODS 位为 111b，设置外部时钟模式 1。
3. 设置 **GP16C2Tn_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

ITn 产生上升沿时，计数器计数一次。

21. 4. 4 计数模式

21. 4. 4. 1 递增计数模式

计数器从 0 开始递增，直至 **GP16C2Tn_AR** 寄存器数值；然后从 0 重新开始计数并产生一个更新事件(UPD)。设置 **GP16C2Tn_REPAR** 寄存器不为 0 时，则在 **GP16C2Tn_REPAR**+1 次计数后产生更新事件。

设置 **GP16C2Tn_SGE** 寄存器的 SGUPD 位为 1(通过软件)或使用从模式控制器同样会产生更新事件。

通过软件设置 **GP16C2Tn_CON1** 寄存器中的 DISUE 位为 1 可关闭更新事件(UPD)产生。可以避免在写入预装载寄存器数值时产生更新事件(UPD)更新影子寄存器。在设置 DISUE 位为 0 之前都不会产生更新事件(UPD)，计数器和预分频器都会重新从 0 开始计数。

此外，**GP16C2Tn_CON1** 寄存器中的 UERSEL 位为 1 时，设置 SGUPD 位为 1 会产生更新事件(UPD)，但不会更新更新标志位(**GP16C2Tn_RIF** 寄存器的 UPD 位)，也不会产生中断或 DMA 请求。在这个配置下，发生捕获事件时将计数器清零，将不会同时产生更新中断和捕获中断。

发生更新事件(UPD)时，所有预装载寄存器会更新到影子寄存器：

- 更新 **GP16C2Tn_REPAR** 寄存器数值到影子寄存器
- 更新 **GP16C2Tn_AR** 寄存器数值到影子寄存器
- 更新 **GP16C2Tn_PRES** 寄存器数值到影子寄存器

下图为设置 **GP16C2Tn_AR** 寄存器为 16h，预分频设为 2 分频时的计数器时序。

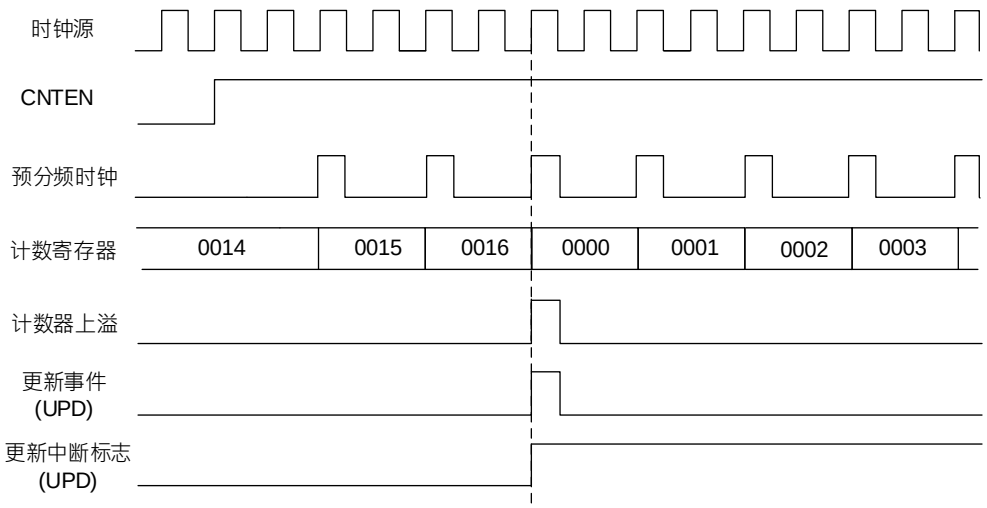


图 21-7 计数器递增计数时序图

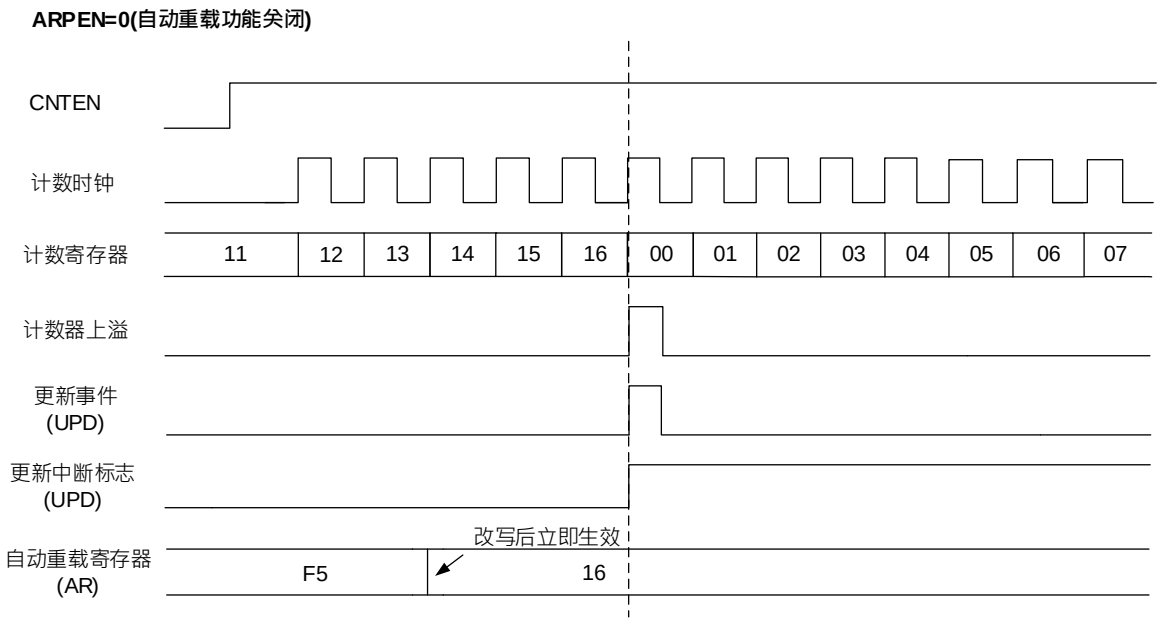


图 21-8 设置 ARPEN 位为 0 时计数器时序图

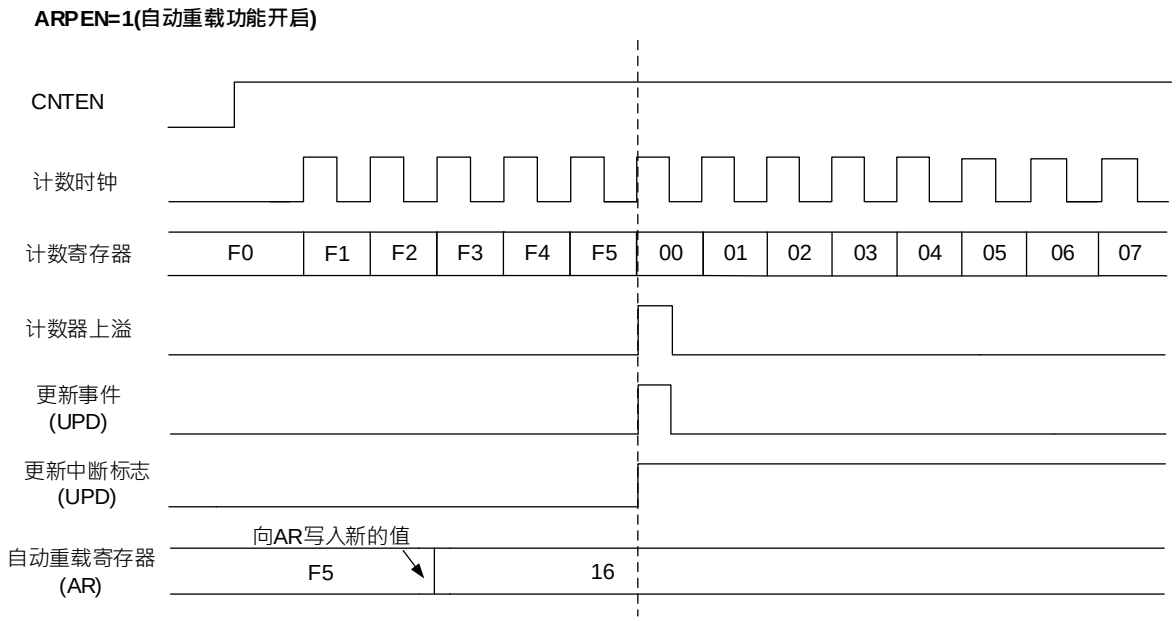


图 21-9 设置 ARPEN 位为 1 时计数器时序图

21. 4. 5 捕获或比较通道

输入电路对 In 输入端的信号进行采样，产生一个经过滤波的信号 InF。之后一个可极性选择的边沿检测器产生 In 边沿检测信号，该信号可作为从模式控制器的触发输入或作为捕获控制命令，且该信号经过分频后进入捕获寄存器。

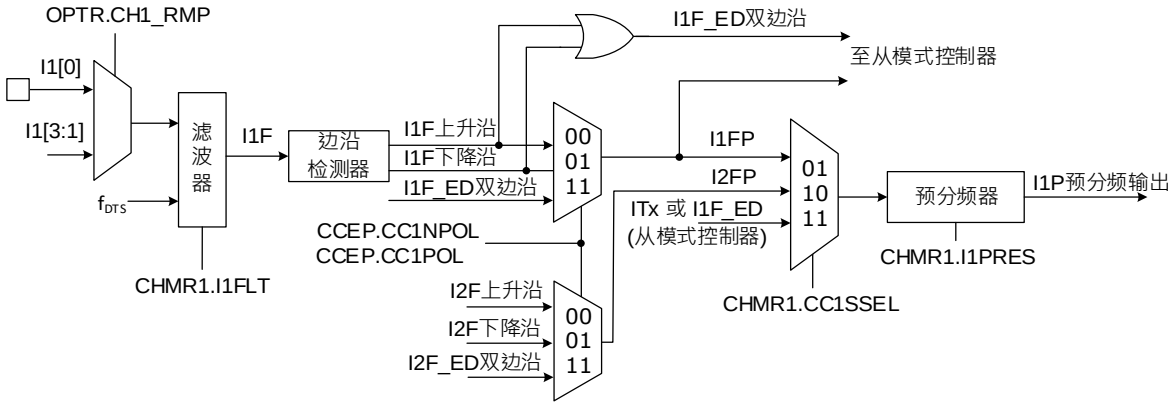


图 21-10 捕获或比较通道

输出部分根据 **GP16C2Tn_CHMRn** 寄存器中 CHnMOD 位的配置，产生一个输出比较参考讯号 CHnREF(高电平有效)，该信号最终输出的极性由 **GP16C2Tn_CHMRn** 寄存器中 CCnPOL/CCnNPOL 位决定。

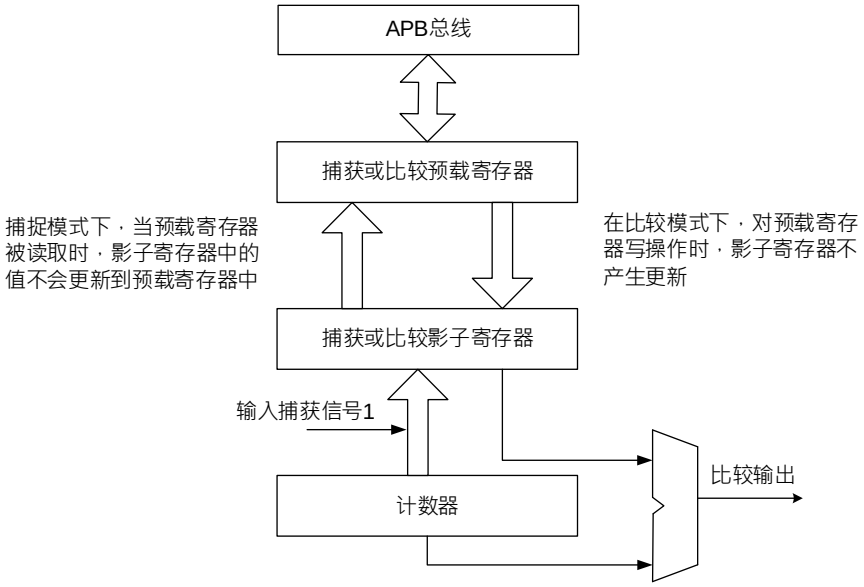


图 21-11 捕获或比较通道结构图

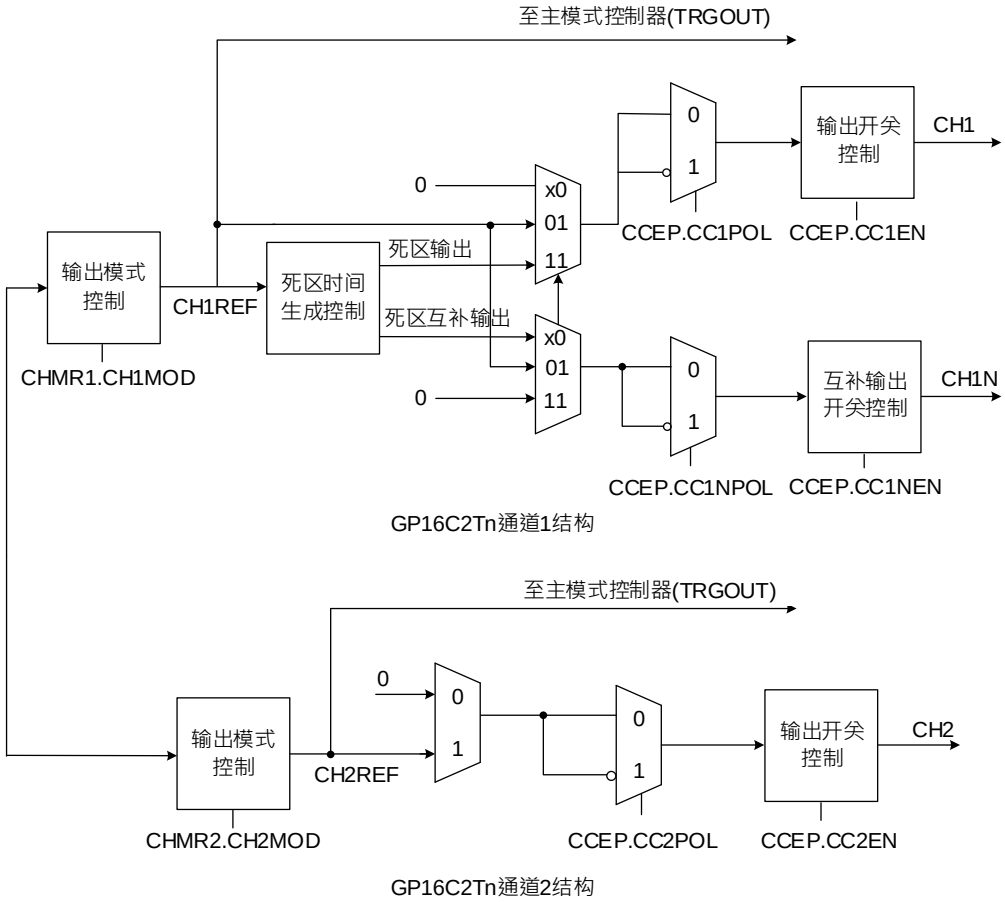


图 21-12 捕获或比较通道的输出部分

21. 4. 6 输入捕获模式

在输入捕获模式下，当 In 上检测到有效边沿变化时，计数器数值就会被锁存到捕获或比较寄存器(**GP16C2Tn_CCVALn**)中。当捕获发生时，**GP16C2Tn_RIF** 寄存器中相应的 CHn 标志位会被设置为 1，同时触发中断或 DMA 请求(如果有开启)。

当 **GP16C2Tn_RIF** 寄存器中相应的 CHn 标志位已经为 1，又发生捕获事件时，**GP16C2Tn_RIF** 寄存器中相应的过捕获 CHnOV 标志位也会被设定为 1，表示发生过捕获事件。

通过软件设置 **GP16C2Tn_ICR** 寄存器的 CHn 位与 CHnOV 位为 1，清除 **GP16C2Tn_RIF** 寄存器中 CHn 与 CHnOV 标志位。

以下为以 I1 输入上升沿作为捕获输入时的流程：

1. 设置 **GP16C2Tn_CHMR1** 寄存器的 CC1SSEL 位为 01b，选择 I1 为有效输入端。只要 CC1SSEL 不为 00b，通道就会被设置成输入，且 **GP16C2Tn_CCVAL1** 寄存器为只读。
2. 设置 **GP16C2Tn_CHMR1** 寄存器的 I1FLT 位为 0011b，选择输入滤波器的持续时间，当 I1 检测到新的电平，连续 8 次采样才确认电平变化有效。
3. 设置 **GP16C2Tn_CCEP** 寄存器的 CC1NPOL 位为 0、CC1POL 位为 0，选择 I1 通道上升沿有效。
4. 设置 **GP16C2Tn_CHMR1** 寄存器的 I1PRES 位为 00b，关闭捕获预分频器，让每次有效上升沿皆执行捕获操作。
5. 设置 **GP16C2Tn_CCEP** 寄存器的 CC1EN 位为 1，开启捕获计数器。
6. 如有需要，设置 **GP16C2Tn_IER** 寄存器的 CH1 位为 1，开启中断请求。设置 **GP16C2Tn_DMAEN** 寄存器的 CH1 位为 1，开启 DMA 请求。

当发生输入捕获时：

1. 有效边沿产生，**GP16C2Tn_CCVAL1** 寄存器获取计数器数值。
2. 硬件自动设置 CH1 标志位为 1(中断标志)。若至少 2 个连续的捕获发生，但标志位没有及时清除，则会设置 CH1OV 位为 1。
3. 中断的产生取决于 **GP16C2Tn_IER** 寄存器的 CH1 位。
4. DMA 请求的产生取决于 **GP16C2Tn_DMAEN** 寄存器的 CH1 位。

为了处理捕获溢出，建议在读取过捕获标志位前先读取捕获数据。避免丢失在读过捕获标志位到读捕获数据之间的重复捕获讯息。

注：捕获中断请求可由软件设置 GP16C2Tn_SGE 寄存器的 SGCHn 位产生。

21. 4. 7 PWM 输入模式

测量 I1 上 PWM 信号的周期和占空比的过程如下：

1. 设置 **GP16C2Tn_CHMR1** 寄存器的 CC1SSEL 位为 01b，通道 1 选择 I1 为有效输入端。
2. 设置 **GP16C2Tn_CHMR1** 寄存器的 I1FLT 位为 0011b，选择输入滤波器的持续时间，当 I1 检测到新的电平，连续 8 次采样才确认电平变化有效。
3. 设置 **GP16C2Tn_CCEP** 寄存器的 CC1NPOL 位为 0、CC1POL 位为 0，通道 1 选择 I1 上升沿有效，用于捕获数据到 **GP16C2Tn_CCVAL1** 寄存器和计数器清零。
4. 设置 **GP16C2Tn_CHMR1** 寄存器的 CC2SSEL 位为 10b，通道 2 选择 I1 为有效输入端。
5. 设置 **GP16C2Tn_CCEP** 寄存器的 CC2NPOL 位为 0、CC2POL 位为 1，通道 2 选择 I1 下降沿有效，用于捕获数据到 GP16C2Tn_CCVAL2 寄存器。
6. 设置 **GP16C2Tn_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00101b，选择 I1 滤波后信号为有效的触发输入。
7. 设置 **GP16C2Tn_SMCON** 寄存器的 SMODS 位为 100b，选择从模式控制器为复位模式。
8. 设置 **GP16C2Tn_CCEP** 寄存器的 CC1EN 位和 CC2EN 位为 1，开启捕获。

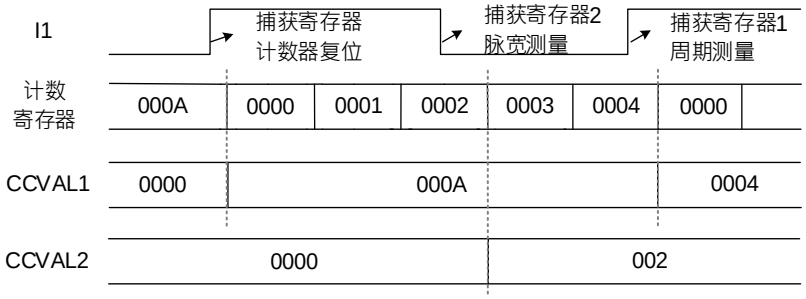


图 21-13 PWM 输入模式时序

- **GP16C2Tn_CCVAL1** 寄存器内的值为 PWM 周期(两次上升沿之间的时间)，此范例中 PWM 周期为 5 个计数单位。
- **GP16C2Tn_CCVAL2** 寄存器内的值为 PWM 脉冲宽度(上升沿到下降沿之间的时间)，此范例中 PWM 脉冲宽度为 3 个计数单位，可推算其占空比为 60%。

注: 计数单位取决于时钟频率以及预分频设定值=(GP16C2Tn_PRES + 1)*(GP16C2Tn_CCVALn + 1) / f_{INT_CLK}

21. 4. 8 PWM 输出模式

脉宽调制模式可以产生一个由 **GP16C2Tn_AR** 寄存器设置输出频率，由 **GP16C2Tn_CCVALn** 寄存器设置占空比的信号。

每个信道的 PWM 模式是相互独立的(每个 CHn 输出一个 PWM)，只需设置 **GP16C2Tn_CHMRn** 寄存器的 CHnMOD 位为 110(PWM 模式 1)或为 111(PWM 模式 2)。

可通过设置 **GP16C2Tn_CHMRn** 寄存器的 CHnPEN 位为 1 来开启相应的预装载寄存器，及设置 **GP16C2Tn_CON1** 寄存器的 ARPEN 位为 1 来开启自动重载功能。

开启预装载、自动重载功能后，只有当更新事件发生时，才会将预装载寄存器写入到影子寄存器中，因此在开启计数前，必须通过设置 **GP16C2Tn_SGE** 寄存器的 SGUPD 位为 1 来初始化所有的寄存器。

CHn 的极性可通过 **GP16C2Tn_CCEP** 寄存器的 CCnPOL 位设置，有效电平可设置为高电平或低电平。CHn 的输出由 CCnEN、CCnNEN、GOEN、OFFSSI 和 OFFSSR 位(**GP16C2Tn_CCEP** 和 **GP16C2Tn_BDCFG** 寄存器)组合控制。

在 PWM 模式(1 或 2)中，**GP16C2Tn_COUNT** 会持续与 **GP16C2Tn_CCVALn** 寄存器数值比较，以确定 **GP16C2Tn_COUNT** 是否 < **GP16C2Tn_CCVALn**。

21. 4. 8. 1 PWM 边沿对齐模式

◆ 递增计数配置

下图以 CH1 输出 PWM 模式 1 为例，相关配置流程如下：

1. 设置 **GP16C2Tn_CHMR1** 寄存器的 CH1MOD 位为 110b，选择 PWM 模式 1。
2. 设置 **GP16C2Tn_CCEP** 寄存器的 CC1POL 位为 0，选择 CH1 通道输出为高电平有效。
3. 设置 **GP16C2Tn_CCVAL1** 寄存器的 CCRV1 位为 04h，当计数器数到 4 时，PWM 输出低电平。
4. 设置 **GP16C2Tn_AR** 寄存器的 ARV 位为 08h，当计数器上数到 8 后重载。
5. 设置 **GP16C2Tn_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

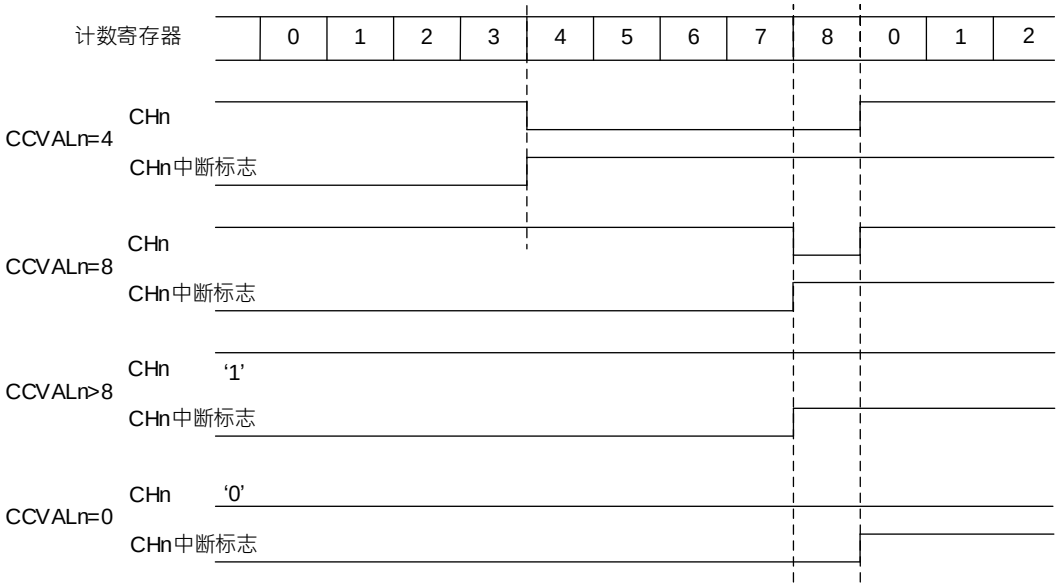


图 21-14 边沿对齐递增计数 PWM 波形(AR=8)

◆ **GP16C2Tn_COUNT < GP16C2Tn_CCVAL1** 时，CH1 为高电平。

◆ **GP16C2Tn_COUNT >= GP16C2Tn_CCVAL1** 时，CH1 为低电平。

其中比较特别的是，若设定 **GP16C2Tn_CCVAL1 > GP16C2Tn_AR** 时，CH1 会永远输出高电平；若 **GP16C2Tn_COUNT** = 0 时，CH1 会永远输出低电平。

21. 4. 9 输出比较模式

该功能用于控制输出波形或指示周期时间的结束。

当捕获或比较寄存器和 **GP16C2Tn_COUNT** 寄存器数值匹配时，输出比较功能：

◆ 设置 **GP16C2Tn_CHMRn** 寄存器的 CHnMOD 位选择输出模式，输出极性由 **GP16C2Tn_CCEP** 寄存器的 CCnPOL 位控制：

◇ 设置 CHnMOD 位为 000b：当计数器匹配比较器时输出保持其电平。

◇ 设置 CHnMOD 位为 001b：当计数器匹配比较器时输出有效电平(假设 CCnPOL=0，有效电平为高电平)。

◇ 设置 CHnMOD 位为 010b：当计数器匹配比较器时输出无效电平(假设 CCnPOL=0，无效电平为低电平)。

◇ 设置 CHnMOD 位为 011b：当计数器匹配比较器时翻转电平。

- 设置中断状态寄存器的标志位为 1(**GP16C2Tn_RIF** 寄存器的 CHn 位)。
- 若设置相应的中断开启位为 1(**GP16C2Tn_IER** 寄存器的 CHn 位)，则产生中断。
- 若设置相应的开启位为 1(**GP16C2Tn_DMAEN** 寄存器的 CHn 位，**GP16C2Tn_CON2** 寄存器的 CCDMASEL 位用于 DMA 请求的选择)，则发送 DMA 请求。

设置 **GP16C2Tn_CHMRn** 寄存器的 CHnPEN 位数值可决定 **GP16C2Tn_CCVALn** 寄存器是否带有预装载寄存器。

在输出比较模式中，更新事件 UPD 对 CHn 的输出没有影响。输出比较模式同样可以用来输出单个脉冲(单脉冲模式)。

输出比较的设置过程：

1. 选定计数器时钟(内部、外部、预分频)。
2. 设置 **GP16C2Tn_AR** 与 **GP16C2Tn_CCVALn** 寄存器并写入所需数据。
3. 若需要产生中断请求，设置 **GP16C2Tn_IER** 寄存器的 CHn 位为 1。
4. 选择输出模式，例如：
   - 设置 CHnMOD 位为 011b，当 CNTV 与 CCRVn 匹配时，CHn 输出翻转。
   - 设置 CHnPEN 位为 0，关闭预装载寄存器。
   - 设置 CCnPOL 位为 0，选择有效电平为高电平。
   - 设置 CCnEN 位为 1，开启输出。
5. 设置 **GP16C2Tn_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

假设预装载寄存器开启(CHnPEN 位为 1)，设置 **GP16C2Tn_CCVALn** 寄存器数值在下次更新事件发生时更新至影子寄存器。预装载寄存器未开启(CHnPEN 位为 0)，通过设置 **GP16C2Tn_CCVALn** 寄存器数值可随时更新控制输出波形。

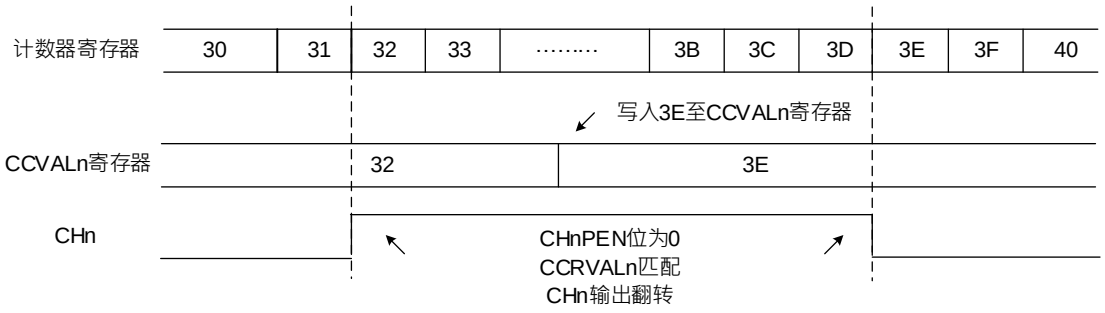


图 21-15 输出比较模式，触发 CHn

21. 4. 9. 1 强制输出模式

设置 **GP16C2Tn_CHMRn** 寄存器的 CCnSSEL 位为 00b 开启输出模式，在此模式下通过软件设置可以将输出比较信号强制设置为高电平或低电平，输出信号并不会参考 **GP16C2Tn_CCVALn** 寄存器和 **GP16C2Tn_COUNT** 寄存器之间的比较结果。

设置 **GP16C2Tn_CHMRn** 寄存器的 CHnMOD 位为 101b，输出比较参考讯号(CHnREF)为强制高电平，输出比较信号(CHn/CHnN)强制为有效电平(极性由 **GP16C2Tn_CCEP** 寄存器对应的 CCnPOL 位或 CCnNPOL 位决定)。反之，若设置 CHnMOD 位为 100b 则强制设置低电平。

例如:设置 CCnPOL 位为 0(CHn 高电平有效)，则 CHn 被强制为高电平。

在此模式下，**GP16C2Tn_CCVALn** 寄存器和 **GP16C2Tn_COUNT** 寄存器之间的比较仍然进行，仍可设置相应的标志位为 1。

21. 4. 10 单脉冲模式

单脉冲模式(SPMEN)是一个特殊模式。在此模式下，计数器可以通过外部触发下启动，并可以产生一个脉宽可配置的波形。

通过从模式控制器开启计数器。在输出比较模式或 PWM 模式下生成波形。设置 **GP16C2Tn_CON1** 寄存器的 SPMEN 位为 1 选择单脉冲模式，在下一次发生更新事件后，计数器将自动停止计数。

只有当 **GP16C2Tn_CCVALn** 寄存器和 **GP16C2Tn_COUNT** 寄存器数值不同时，才能正确的产生一个脉冲。计数器开始计数前(定时器等待触发)，必须如下设置:

- 递增计数：CNTV < CCVALn ≤ AR(注意: 0 < CCVALn)

基于 PWM 模式设置单脉冲输出波形的步骤如下：

1. 设置 **GP16C2Tn_CHMRn** 寄存器的 CHnMOD 位，选择 PWM 模式 1 或 2。
2. 设置 **GP16C2Tn_CCEP** 寄存器的 CCnPOL 位，选择通道 CHn 的输出极性。
3. 设置 **GP16C2Tn_CON1** 寄存器的 SPMEN 位为 1，开启单脉冲模式。
4. 设置 **GP16C2Tn_CHMR1** 寄存器的 CH1PEN 位为 1，**GP16C2Tn_CON1** 寄存器的 ARPEN 位为 1，开启比较寄存器和计数重载寄存器的缓冲功能(也可以根据实际情况关闭缓冲)。
5. 设置 **GP16C2Tn_CCVALn** 寄存器和 **GP16C2Tn_AR** 寄存器，设置单脉冲输出延时和脉宽时间。
6. 设置 **GP16C2Tn_SGE** 寄存器的 SGUPD 位为 1 来产生一个更新事件。
7. 设置 **GP16C2Tn_CON1** 寄存器的 CNTEN 位为 1 来开启计数器，也可以在触发模式下，通过外部触发输入信号来触发硬件自动设置 CNTEN 位为 1。

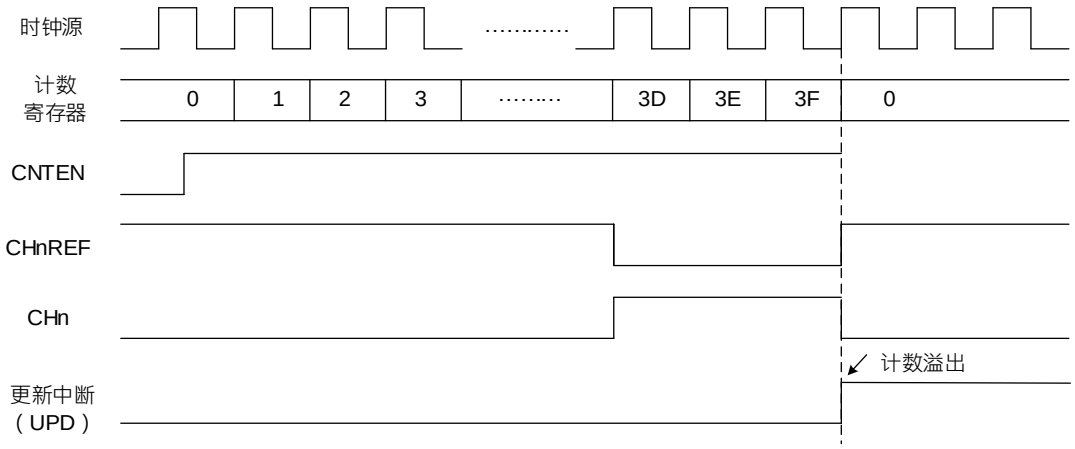


图 21-16 单脉冲模式

CHn 快速开启模式

在单脉冲模式下，In 输入的有效边沿会开启计数器(自动设置 CNTEN 位为 1)，在比较计数器数值后输出信号。然而在这个过程中需要数个时钟周期，将会延长 In 输入边沿与输出信号的延迟。

如果要使用最小延迟输出信号，可以设置 **GP16C2Tn_CHMR1** 寄存器的 CHnFEN 位为 1 开启快速开启模式。当侦测到 In 输入的有效边沿时，不再考虑比较值，强制让输出讯号等效于匹配成功后的电平。此配置只在 PWM1 或 PWM2 模式时才能使用。

21. 4. 11 互补输出与死区时间

两个互补的通道输出信号，可以用来控制输出的瞬时开关。这个瞬时的延迟即为死区时间。

每个输出可独立选择输出极性(主输出 CHn 或互补输出 CHnN)，该操作可通过写 **GP16C2Tn_CCEP** 寄存器的 CCnPOL 和 CCnNPOL 位完成。

互补信号 CHn 和 CHnN 由几个控制位共同控制，分别是 **GP16C2Tn_CCEP** 寄存器的 CCnEN 和 CCnNEN 位，**GP16C2Tn_BDCFG** 和 **GP16C2Tn_CON2** 寄存器的 GOEN、OISSn、OISSnN、OFFSSI 及 OFFSSR 位。特别是切换为空闲状态(GOEN 变为 0)后，死区时间依然有效。

设置 CCnEN 和 CCnNEN 位为 1，开启死区时间插入，若有刹车电路，同样需要设置 GOEN 位为 1。**GP16C2Tn_BDCFG** 寄存器的 DT[7:0]可以控制所有通道的死区时间的产生。根据比较输出波形，产生 CHn 和 CHnN 两路输出。若 CHn 和 CHnN 有效电平为高：

- CHn 的输出信号与参考讯号(CHnREF)一致。相较于参考信号的上升沿，CHn 上升沿输出会有延迟。
- CHnN 的输出信号与参考信号相反。相较于参考信号的下降沿，CHnN 上升沿输出会有延迟。

若延迟时间大于有效输出的宽度(CHn 或 CHnN)，则相应的脉冲不会产生。

下图给出了死区时间输出信号和比较输出波形之间的关系。(假设 CCnPOL 位为 0，CCnNP 位

为 0，GOEN 位为 1，CCnEN 位为 1，和 CCnNEN 位为 1)。

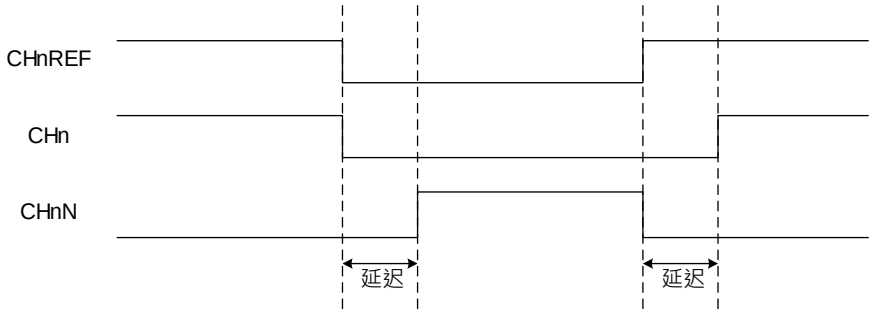


图 21-17　互补输出含死区时间插入

任何情况下，CHn 与 CHnN 的输出信号都不能同时为有效电平。

21. 4. 12 刹车功能

刹车功能模式由以下几个位控制输出开启信号和无效电平:

- **GP16C2Tn_BDCFG** 寄存器的 GOEN、OFFSSI 和 OFFSSR 位。
- **GP16C2Tn_CON2** 寄存器的 OISSn 和 OISSnN 位。

刹车源可以是刹车输入引脚(BKIN)、时钟停振事件、CPU_LOCKUP 与 LVD 以及软件控制 GP16C2Tn_SGE 寄存器的 SGBRK 位。时钟停振事件由时钟控制器(RCU)中的时钟安全系统(CSS)产生。时钟安全系统(CSS)详细信息可参考时钟安全系统章节。

系统复位后，刹车电路被关闭且 GOEN 位被复位。设置 **GP16C2Tn_BDCFG** 寄存器的 BRKEN 位为 1 可开启刹车功能，BRKP 位可选择刹车输入信号的极性。

由于 GOEN 的下降沿是异步信号，在 BKIN 输入和 **GP16C2Tn_BDCFG** 寄存器之间插入了一个同步电路。这也导致了异步和同步信号之间会产生一些延迟。

当发生刹车请求时(刹车输入端侦测到有效电平)：

1. GOEN 位被清除。
2. CHn/CHnN 输出端根据 **GP16C2Tn_BDCFG** 寄存器中 OFFSSI 位，处于禁止输出、无效状态或空闲状态。
   OFFSSI = 0 : CHn/CHnN 禁止输出，关闭输出开启信号，此时输出不由计数器控制。
   OFFSSI = 1 : CHn/CHnN 输出空闲电平，由 **GP16C2Tn_CON2** 寄存器的 OISSn 位与 OISSnN 位决定。当使用互补输出且定时器时钟仍然存在时，CHn 与 CHnN 会在死区时间后输出相应的电平。在这种情况下，CHn 与 CHnN 的输出信号一样不能同时为有效电平。
3. 设置刹车状态标志位(**GP16C2Tn_RIF** 寄存器的 BRK 位)为 1 时，若设置 **GP16C2Tn_IER** 寄存器的 BRK 位为 1，则产生中断。
4. 若设置 **GP16C2Tn_BDCFG** 寄存器的 AOEN 位为 1，在下次更新事件(UPD)发生时，会自动设置 GOEN 位为 1。否则，GOEN 位会保持为 0，直到对其写为 1 操作，该特性可

用于安全方面的应用，可以将刹车输入端接到一个电源驱动的报警端、热敏传感器或其他安全器件上。

注：当刹车输入有效电平时，不能设置 GOEN 位为 1(自动地或者通过软件)。同时状态标志 BRK 不能被清除。

除刹车输入和输出管理，为保证应用程序的安全，内部刹车电路具有写保护功能。用户可冻结几个设置参数(死区时间，CHn/CHnN 极性和关闭时状态，CHnMOD 设置，刹车开启和极性)。通过 **GP16C2Tn_BDCFG** 寄存器的 LOCKLVL 位，可从三个保护等级中选择一种保护等级。MCU 复位后，只能对 LOCKLVL 位写入一次。

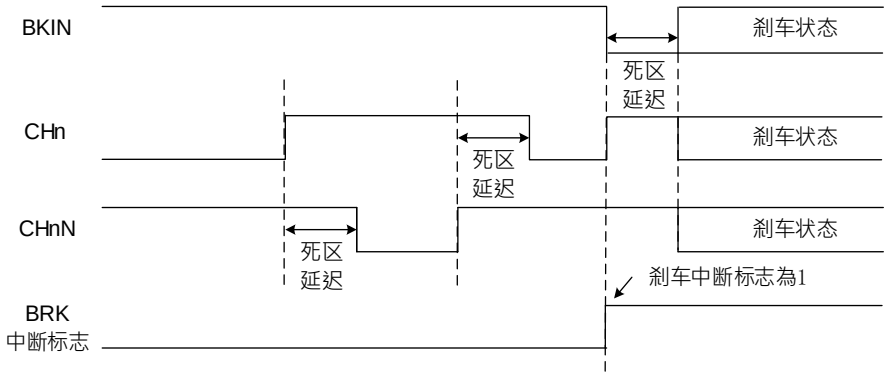


图 21-18 刹车输出行为

21. 4. 13 生成 6 步 PWM

当信道使用互补功能时，设置 CHnMOD、CCnEN、CCnNEN 位为 1 提供预装载位，由设置 **GP16C2Tn_CON2** 寄存器的 CCUSEL 为 1 位开启预装载功能，当发生 COM 事件时将预装载寄存器的数值载入至影子寄存器。因此用户可以预先将配置写入寄存器，通过预装载寄存器可以在发生 COM 事件同时更改全部的信道配置。COM 事件可以通过设置 **GP16C2Tn_SGE** 寄存器的 SGCOM 位为 1 产生，也可以通过 TRGI 的上升沿产生。

当发生 COM 事件时，硬件自动设置 **GP16C2Tn_RIF** 寄存器的 COM 位为 1。如果设置 **GP16C2Tn_IER** 寄存器的 COM 位为 1 则产生中断，设置 **GP16C2Tn_DMAEN** 寄存器的 COM 位为 1 则产生 DMA 请求。

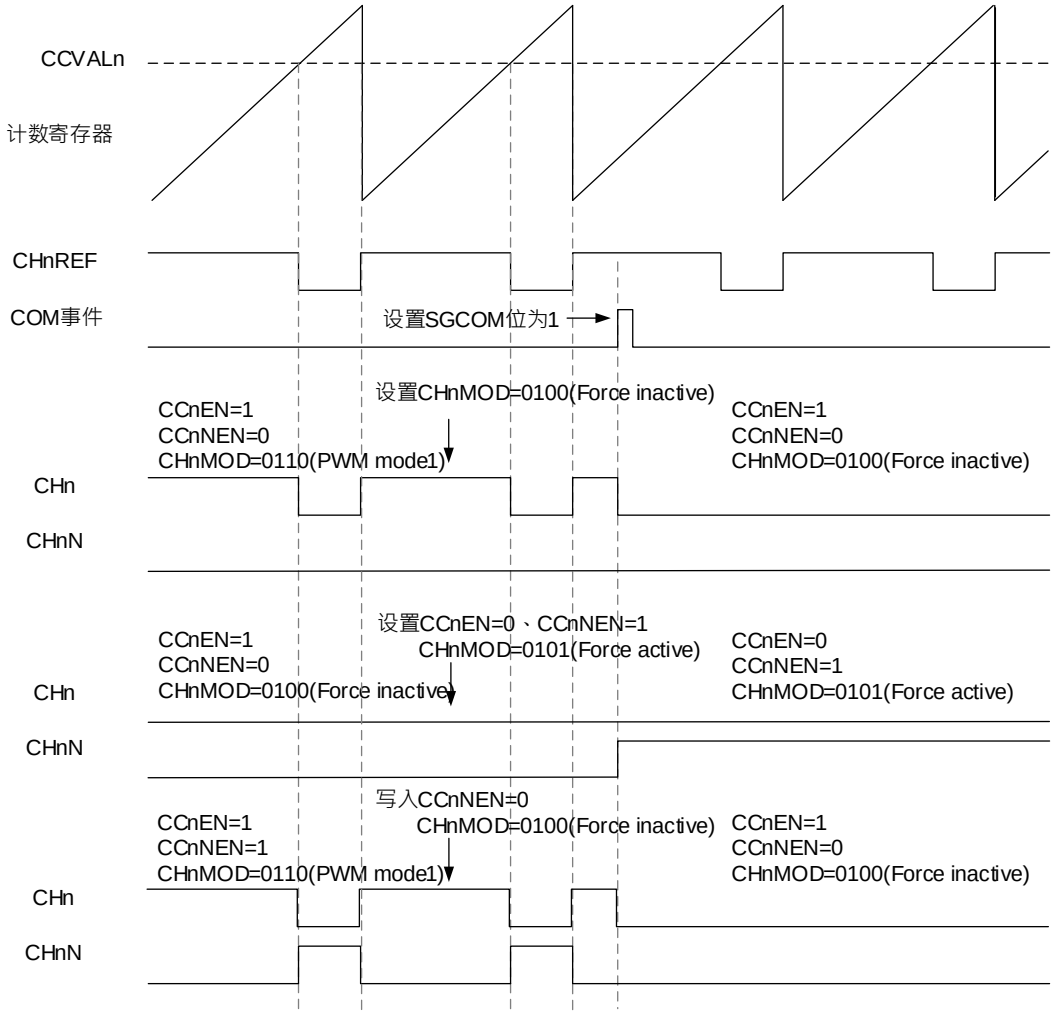


图 21-19 COM 事件生成 6 步 PWM

21. 4. 14 外部触发的同步

GP16C2Tn 定时器可在多种模式下与外部触发同步：复位模式、门控模式及触发模式。

21. 4. 14. 1 复位模式

计数器及其预分频器可以在回应触发输入事件时重新初始化。此外，若 **GP16C2Tn_CON1** 寄存器的 UERSEL 位为 0 时会产生一次更新事件 UPD。所有预装载寄存器(**GP16C2Tn_AR**，**GP16C2Tn_CCVALn**)都会因更新事件 UPD 而被更新。

在下面例子中，I1 输入端的上升沿让递增计数被清零，配置过程如下：

1. 设置 **GP16C2Tn_CHMR1** 寄存器的 CC1SSEL 位为 01b，选择 I1 为有效输入端。
2. 设置 **GP16C2Tn_CHMR1** 寄存器的 I1FLT 位为 0000b，本例无需滤波器。
3. 设置 **GP16C2Tn_CCEP** 寄存器的 CC1NPOL 位为 0、CC1POL 位为 0，选择 I1 通道上升沿有效。
4. 设置 **GP16C2Tn_CHMR1** 寄存器的 I1PRES 位为 00b，捕获预分频器不用于触发操作，无需设置。
5. 设置 **GP16C2Tn_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00101b，选择 I1 滤波后信号作为输入源。
6. 设置 **GP16C2Tn_SMCON** 寄存器的 SMODS 位为 100b，选择复位模式。
7. 设置 **GP16C2Tn_CON1** 寄存器的 CNTEN 位为，开启计数器。

计数器依据内部时钟开始计数，计数器计数直到 I1 上出现上升沿。当 I1 上出现上升沿时，计数器会被清零且从 0 重新开始计数。同时设置标志位为 1(**GP16C2Tn_RIF** 寄存器的 TRGI 位)，如果中断及 DMA 开启(取决于 **GP16C2Tn_IER** 寄存器的 TRGI 位和 **GP16C2Tn_DMAEN** 寄存器的 TRGI 位)，会发送中断及 DMA 请求。

下图给出了设置自动重载寄存器 **GP16C2Tn_AR** 为 0x36 时的信号变化。由于 I1 输入的同步电路，I1 上的上升沿和计数器实际初始化之间会存在延时。

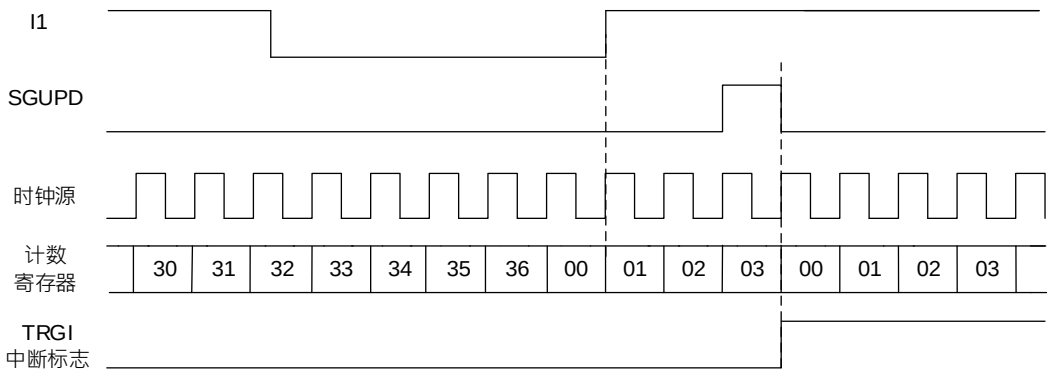


图 21-20 复位模式控制电路

21. 4. 14. 2 门控模式

计数器根据选中的输入电平被开启。

下面的例子中，计数器只在 I1 输入为低电平时才递增计数：

1. 设置 **GP16C2Tn_CHMR1** 寄存器的 CC1SSEL 位为 01b，选择 I1 为有效输入端。
2. 设置 **GP16C2Tn_CHMR1** 寄存器的 I1FLT 位为 0000b，本例无需滤波器。
3. 设置 **GP16C2Tn_CCEP** 寄存器的 CC1NPOL 位为 0、CC1POL 位为 1，I1 通道反相，有效极性为低电平。
4. 设置 **GP16C2Tn_CHMR1** 寄存器的 I1PRES 位为 00b，捕获预分频器不用于触发操作，无需设置。
5. 设置 **GP16C2Tn_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00101b，选择 I1 滤波后信号作为输入源。
6. 设置 **GP16C2Tn_SMCON** 寄存器的 SMODS 位为 101b，选择门控模式。
7. 设置 **GP16C2Tn_CON1** 寄存器的 CNTEN 位为 1，开启计数器(在门控模式中，如果 CNTEN 位为 0，无论触发输入为何电平，计数器都不会开启)。

只要 I1 为低电平，计数器依据内部时钟开始计数，一旦 I1 为高电平则停止计数。由于 I1 输入端的同步电路的原因，I1 上出现上升沿和计数器实际停止之间会有一定的延时。

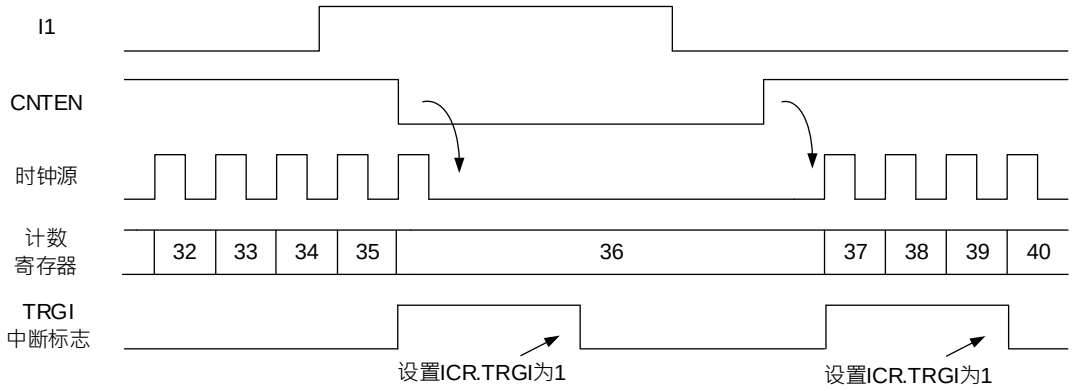


图 21-21 门控模式控制电路

21. 4. 14. 3 触发模式

输入端选中的事件可以开启计数器。

下面的例子中，I2 输入端上的上升沿可以开启递增计数：

1. 设置 **GP16C2Tn_CHMR1** 寄存器的 CC2SSEL 位为 01b，选择 I2 为有效输入端。
2. 设置 **GP16C2Tn_CHMR1** 寄存器的 I2FLT 位为 0000b，本例无需滤波器。
3. 设置 **GP16C2Tn_CCEP** 寄存器的 CC2NPOL 位为 0、CC2POL 位为 0，选择 I2 通道上升沿有效。
4. 设置 **GP16C2Tn_CHMR1** 寄存器的 I2PRES 位为 00b，捕获预分频器不用于触发操作，无需设置。
5. 设置 **GP16C2Tn_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为 00110b，选择 I2 滤波后信号作为输入源。
6. 设置 **GP16C2Tn_SMCON** 寄存器的 SMODS 位为 110b，选择触发模式。
7. 设置 **GP16C2Tn_CON1** 寄存器的 CNTEN 位为，开启计数器。

I2 上出现上升沿时，计数器开始依据内部时钟计数并设置 TRGI 标志位为 1。

由于 I2 输入的同步电路原因，I2 上出现上升沿和计数器实际启动之间会有一定的延时。

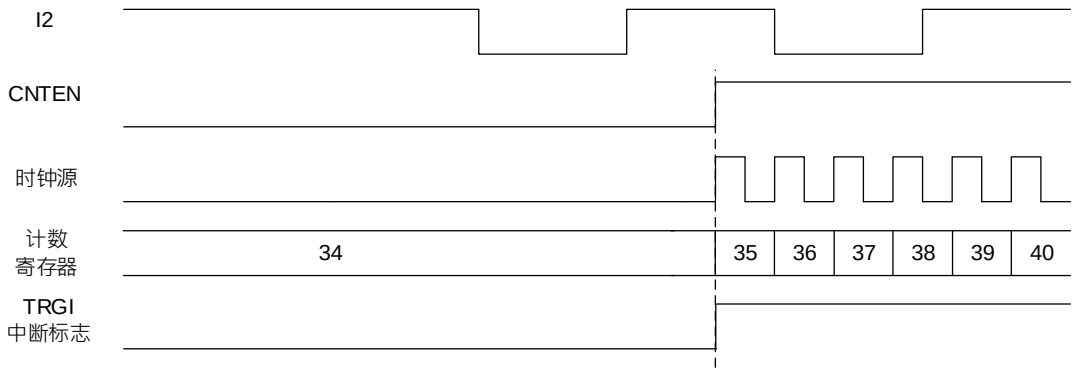


图 21-22 触发模式控制电路

21. 4. 15 定时器同步

所有定时器在内部相连，用于定时器同步或链接。当一个定时器处于主模式时，它可以对另一个处于从模式的定时器的计数器进行复位、开启、停止或提供时钟等操作。

下图显示了触发选择和主模选择模块的概况。

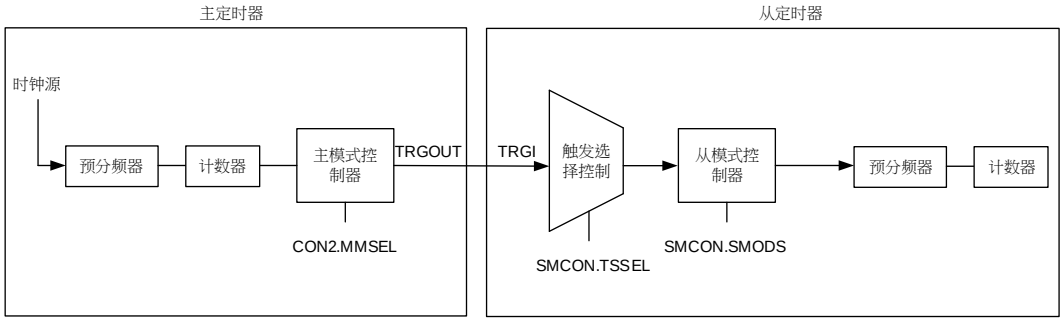


图 21-23 主/从定时器范例

21. 4. 15. 1 使用一个定时器去使能其他定时器

在这个例子中，定时器 2 的开启由定时器 1 的输出比较参考讯号(CH1REF)控制。只有当定时器 1 的 CH1REF 为高电平时，定时器 2 才会计数。

先设定从定时器(定时器 2)为门控模式，配置如下:

1. 设置 **GP16C2Tn_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为定时器 1，实际值需参考内部触发连接表。
2. 设置 **GP16C2Tn_SMCON** 寄存器的 SMODS 位为 101b，选择门控模式。
3. 设置 **GP16C2Tn_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

再设定主定时器(定时器 1)为 PWM 输出，配置如下:

1. 设置 **GP16C2Tn_PRES** 寄存器的 PSCV 为 01h，计数器时钟频率为 fINT_CLK/2 。
2. 设置 **GP16C2Tn_CHMR1** 寄存器的 CH1MOD 位为 111b，选择 PWM 模式 2。
3. 设置 **GP16C2Tn_CCEP** 寄存器的 CC1POL 位为 0，选择 CH1 通道输出为高电平有效。
4. 设置 **GP16C2Tn_CCVAL1** 寄存器的 CCRV1 位为 06h，当计数器数到 6 时，PWM 输出高电平。
5. 设置 **GP16C2Tn_AR** 寄存器的 ARV 位为 08h，当计数器上数到 8 后重载。
6. 设置 **GP16C2Tn_CON2** 寄存器的 MMSEL 位为 100b，选择输出比较参考信号(CH1REF)为触发输出(TRGOUT)。
7. 设置 **GP16C2Tn_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

注：定时器 2 的时钟不与定时器 1 的时钟同步，这个模式只影响定时器 2 计数器的开启信号。

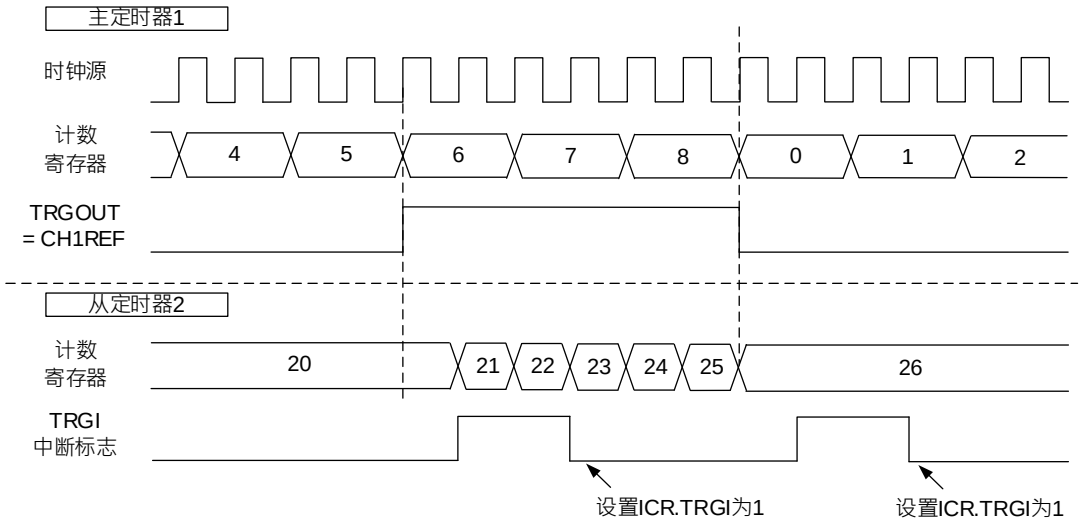


图 21-24 门控从定时器使用主定时器 CH1REF

在上图的例子中，在定时器 2 开启之前，它们的计数器和预分频器未被初始化，因此它们从当前的数值开始计数。可以在开启定时器 1 之前复位 2 个定时器，使它们从给定的数值开始，即在定时器计数器中写入需要的任意数值。设置 **GP16C2Tn_SGE** 与定时器 2 的 SGE 寄存器的 SGUPD 位为 1 即可复位定时器。

21. 4. 15. 2 将一个定时器做为其他定时器的预分频器

在这个例子中，使用定时器 1 的更新事件作为定时器 2 的时钟来源，没有设定预分频。一旦定时器 1 产生更新事件，定时器 2 即根据其上升沿计数。

先设定从定时器(定时器 2)为外部时钟源 1 模式，配置如下:

1. 设置 **GP16C2Tn_AR** 寄存器的 ARV 位为 02h，当计数器上数到 2 后重载。
2. 设置 **GP16C2Tn_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为定时器 1，实际值需参考内部触发连接表。
3. 设置 **GP16C2Tn_SMCON** 寄存器的 SMODS 位为 111b，选择外部时钟模式 1。
4. 设置 **GP16C2Tn_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

再设定主定时器(定时器 1)配置如下:

1. 设置 **GP16C2Tn_AR** 寄存器的 ARV 位为 03h，当计数器上数到 3 后重载，并产生更新事件。
2. 设置 **GP16C2Tn_CON2** 寄存器的 MMSEL 位为 010b，选择更新事件(UPD)为触发输出(TRGOUT)。
3. 设置 **GP16C2Tn_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

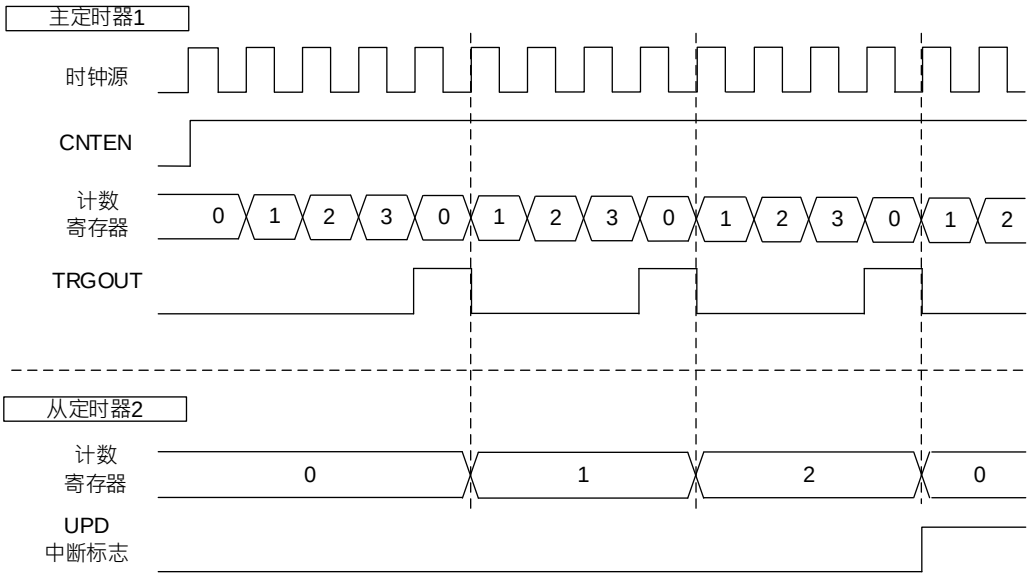


图 21-25 使用主定时器更新事件触发从定时器计数

21. 4. 15. 3 使用外部触发同步开始两个定时器

这个例子中当定时器 1 的 I1 输入上升沿时开启定时器 1，开启定时器 1 的同时开启定时器 2，参见下图。为保证计数器的对齐，定时器 1 必须设置为主/从模式(对应 I1 为从，对应定时器 2 为主)：

先设定从定时器(定时器 2)为触发模式，配置如下:

1. 设置 **GP16C2Tn_SMCON** 寄存器的 TSSEL1 位与 TSSEL2 位为定时器 1，实际值需参考内部触发连接表。
2. 设置 **GP16C2Tn_SMCON** 寄存器的 SMODS 位为 110b，选择触发模式。

再设定主定时器(定时器 1)为触发模式，配置如下:

1. 设置定时器 1 为触发模式，相关配置可参考触发模式章节。
2. 设置 **GP16C2Tn_CON2** 寄存器的 MMSEL 位为 001b，选择开启信号(CNTEN)为触发输出(TRGOUT)。
3. 设置 **GP16C2Tn_SMCON** 寄存器的 MSCFG 位为 1，开启主/从模式。
4. 设置 **GP16C2Tn_CON1** 寄存器的 CNTEN 位为 1，开启计数器。

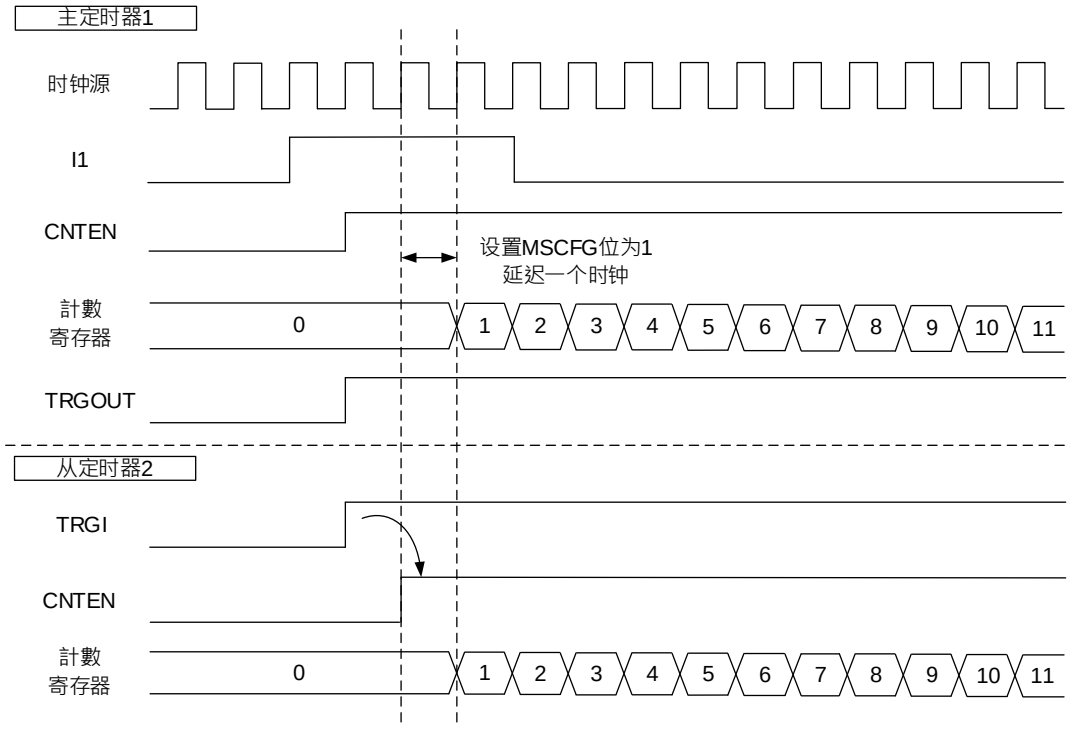


图 21-26 使用定时器 1 的 I1 输入触发定时器 1 和定时器 2

当定时器 1 的 I1 上出现一个上升沿时，两个定时器同步地按照内部时钟开始计数，两个 TRGI 标志也同时被设置。

21. 4. 16 ADC 触发生成

定时器可生成 ADC 触发讯号源如下 ：

- TRGOUT：由 **GP16C2Tn_CON2** 寄存器的 MMSEL 位决定触发事件的来源，根据配置生成脉冲或电平讯号。
- CCx：当通道比较匹配事件发生时，生成脉冲讯号到 ADC。

下图以 CH1 输出 PWM 模式 2 为例，说明 TRGOUT 与 CC1 讯号源，相关配置如下:

1. 设置 **GP16C2Tn_AR** 寄存器的 ARV 位为 07h，当计数器上数到 7 后重载。
2. 设置 **GP16C2Tn_CHMR1** 寄存器的 CH1MOD 位为 111b，选择 PWM 模式 2。
3. 设置 **GP16C2Tn_CCVAL1** 寄存器的 CCRV1 位为 04h，当计数器数到 4 时，PWM 输出高电平并生成 CC1 脉冲。
4. 设置 **GP16C2Tn_CON2** 寄存器的 MMSEL 位为 100b，选择输出比较参考信号(CH1REF)为触发输出(TRGOUT)。

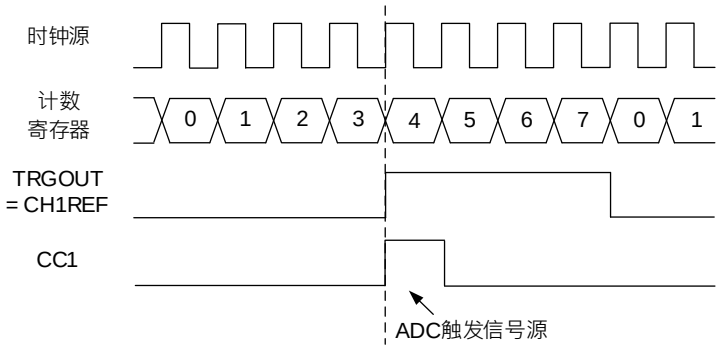


图 21-27　ADC 触发生成

21. 4. 17 调试模式

当微控制器进入调试模式(Cortex™-M0 核停止运行)，根据 SYSCFG 章节中 SYSCFG_CFG 寄存器配置，选择将计数器继续正常工作或停止计数。

为了安全起见，当进入调试模式时，设置 **GP16C2Tn_CON1** 寄存器的 DBGSEL 位，选择继续输出电平或是输出关闭(切换成输入)。当输出关闭时可以通过 GPIO 控制器选择输出电平，若未设定则为悬空输入。

21. 5 特殊功能寄存器

21. 5. 1 寄存器列表

GP16C2Tn 寄存器列表			
名称	偏移地址	类型	描述
GP16C2Tn_CON1	0000_H	R/W	控制寄存器 1
GP16C2Tn_CON2	0004_H	R/W	控制寄存器 2
GP16C2Tn_SMCON	0008_H	R/W	从模式控制寄存器
GP16C2Tn_IER	$000C_H$	W1	中断开启寄存器
GP16C2Tn_IDR	0010_H	W1	中断关闭寄存器
GP16C2Tn_IVS	0014_H	R	中断功能有效状态寄存器
GP16C2Tn_RIF	0018_H	R	原始中断状态寄存器
GP16C2Tn_IFM	$001C_H$	R	中断标志位状态寄存器
GP16C2Tn_ICR	0020_H	C_W1	中断清除寄存器
GP16C2Tn_SGE	0024_H	T_W1	软件生成事件寄存器
GP16C2Tn_CHMR1	0028_H	R/W	捕获或比较模式寄存器 1
GP16C2Tn_CCEP	0030_H	R/W	捕获或比较开启极性寄存器
GP16C2Tn_COUNT	0034_H	R/W	计数器寄存器
GP16C2Tn_PRES	0038_H	R/W	预分频寄存器
GP16C2Tn_AR	$003C_H$	R/W	自动重载寄存器
GP16C2Tn_REPAR	0040_H	R/W	重复计数寄存器
GP16C2Tn_CCVAL1	0044_H	R/W	通道捕获或比较寄存器 1
GP16C2Tn_CCVAL2	0048_H	R/W	通道捕获或比较寄存器 2
GP16C2Tn_BDCFG	0054_H	R/W	刹车和死区配置寄存器
GP16C2Tn_DMAEN	0058_H	R/W	DMA 事件开启寄存器
GP16C2Tn_OPTR	$005C_H$	R/W	输入选择寄存器

21. 5. 2 寄存器描述

21. 5. 2. 1 控制寄存器 1(GP16C2Tn_CON1)

控制寄存器 1(GP16C2Tn_CON1)																													
偏移地址：0x00																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DBGSEL	—	—	—	—	—	DFCKSEL<1:0>		ARPEN	—	—	—	SPMEN	UERSEL	DISUE	CNTEN

—	Bit 31-16	—	—
DBGSEL	Bit 15	R/W	**调试模式下，通道状态选择** 在输出模式中，选择通道为输入或持续输出 0: 强制为输入 1: 保持当前配置 注:此位仅在SYSCFG_CFG寄存器的DBGHEN位配置GP16C2Tn时有效
—	Bit 14-10	—	—
DFCKSEL	Bit 9-8	R/W	**时钟预分频器** 设置定时器的频率(INT_CLK)，死区产生器与数字滤波器(In)所采样时钟之间的分频比例。 00: $t_{DTS}=t_{INT\_CLK}$ 01: $t_{DTS}=2 \times t_{INT\_CLK}$ 10: $t_{DTS}=4 \times t_{INT\_CLK}$ 11: 保留
ARPEN	Bit 7	R/W	**自动重载缓冲功能开启** 发生更新事件时，将设定的值载入至影子寄存器中 0: GP16C2Tn_AR 寄存器未缓冲 1: GP16C2Tn_AR 寄存器具备缓冲
—	Bit 6-4	—	—
SPMEN	Bit 3	R/W	**单脉冲模式** 0: 单脉冲模式关闭，计数器不停止 1: 单脉冲模式开启,计数器在发生下一次更新事件时，会自动清除 CNTEN 位，并停止计数器
UERSEL	Bit 2	R/W	**更新事件请求来源选择**

			设置更新事件(UPD)的来源 0: 下列事件都会产生更新中断或DMA的请求 – 计数器上溢 – 设置 GP16C2Tn_SGE 寄存器的 SGUPD 位为 1 – 通过从模式控制器所生成的更新事件 1: 只有在计数器上溢时会生成更新中断或 DMA 的请求
DISUE	Bit 1	R/W	**更新事件关闭** 0: 更新事件(UPD)开启时，下列事件皆会产生更新事件请求并将影子寄存器载入预装载值 – 计数器上溢 – 设置 GP16C2Tn_SGE 寄存器的 SGUPD 位为 1 – 通过从模式控制器所生成的更新事件 1: 更新事件(UPD)关闭时，不产生更新事件请求，GP16C2Tn_AR、GP16C2Tn_PRES 与 GP16C2Tn_CCVALn 寄存器的影子寄存器数值保持不变。但设置 GP16C2Tn_SGE 寄存器的 SGUPD 位为 1 或从模式控制器的复位请求，计数器和预分频器仍会被重新初始化
CNTEN	Bit 0	R/W	**计数器开启** 开启计数器后，在外部时钟模式、门控模式和编码模式才能运作。而触发模式则可以由硬件将 CNTEN 位置 1 0: 计数器关闭 1: 计数器开启

21. 5. 2. 2 控制寄存器 2(GP16C2Tn_CON2)

控制寄存器 2(GP16C2Tn_CON2)																												
偏移地址：0x04																												
复位值：0x0000 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																					OISS2	OISS1N	OISS1		MMSEL<2:0>			CCDMASEL	CCUSEL	—	CCPCEN

—	Bits 31-11	—	—
OISS2	Bit 10	R/W	**通道 2 输出的空闲状态选择位** 参照 OISS1 描述
OISS1N	Bit 9	R/W	**通道 1 互补输出的空闲状态选择位** 0: 当 GOEN=0，经过死区时间后，CH1N=0 1: 当 GOEN=0，经过死区时间后，CH1N=1 注: 当设置 GP16C2Tn_BDCFG 寄存器中的 LOCKLVL 位为锁定级别 1、2 或 3 后，此位无法更改。
OISS1	Bit 8	R/W	**通道 1 输出的空闲状态选择位** 0: 当 GOEN=0 时，如果 CH1N 已实现，则经过死区时间后，CH1=0 1: 当 GOEN=0 时，如果 CH1N 已实现，则经过死区时间后，CH1=1 注: 当设置 GP16C2Tn_BDCFG 寄存器中的 LOCKLVL 位为锁定级别 1、2 或 3 后，此位无法更改。
—	Bit 7	—	—
MMSEL	Bit 6-4	R/W	**主模式选择** 选择在主模式下发送到从定时器的同步信号(TRGOUT)与 ADC 输入 000: 复位 - 设置 GP16C2Tn_SGE 寄存器中的 UPD 位为触发输出(TRGOUT)。如果复位由触发输入生成(从模式控制器配置为复位模式)，则 TRGOUT 上的信号与实际复位信号之间会有延迟 001: 开启 - 设置 GP16C2Tn_CON1 寄存器中的 CNTEN 位为触发输出(TRGOUT)，可

			用于同步开启数个定时器。计数器开启信号可由 GP16C2Tn_CON1 寄存器中的 CNTEN 位或者门控模式下的触发输入产生。当计数器开启信号受控于触发输入时，TRGOUT 上的信号与实际触发信号之间会有延迟 010: 更新事件 - 更新事件被用于触发输出(TRGOUT)。一个主定时器的更新事件可当作从定时器的预分频器时钟 011: 比较脉冲 - 每次发生捕获或比较匹配时，当产生 CH1 中断请求同时，触发输出(TRGOUT)会送出一个正脉冲 100: 比较信号 - CH1REF 信号用于触发输出(TRGOUT) 101: 比较信号 - CH2REF 信号用于触发输出(TRGOUT) 110: 保留 111: 保留
CCDMASEL	Bit 3	R/W	**捕获或比较事件的 DMA 选择** 0: 当发生 CHn 事件时，设置 CHn DMA 请求 1: 当发生更新事件时，设置 CHn DMA 请求
CCUSEL	Bit 2	R/W	**捕获或比较更新控制选择** 此功能只在有互补输出通道作用 0: 在捕获或比较预装载时(CCPCEN =1)，只能通过 GP16C2Tn_SGE 寄存器的 SGCOM 位为 1 时更新 1: 在捕获或比较预装载时(CCPCEN =1)，可通过 GP16C2Tn_SGE 寄存器的 SGCOM 位为 1 与 TRGI 的上升沿时被更新
—	Bit 1	—	—
CCPCEN	Bit 0	R/W	**捕获或比较预装载控制** 设置后只在换向事件(COM)，即对 GP16C2Tn_SGE 寄存器的 SGCOM 位置 1 或 TRGI 的上升沿时更新 0: GP16C2Tn_CCEP 寄存器中的 CCnEN、CCnNEN 和 GP16C2Tn_CHMRn 寄存器中的 CHnMOD 位预装载关闭 1: GP16C2Tn_CCEP 寄存器中的 CCnEN、CCnNEN 和 GP16C2Tn_CHMRn 寄存器中的

			CHnMOD 位预装载开启

21. 5. 2. 3 从模式控制寄存器(GP16C2Tn_SMCON)

从模式控制寄存器(GP16C2Tn_SMCON)

偏移地址：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	TSSEL2 <1:0>		—	—	—	—	—	—	—	—	—	—	—	—	MSCFG	TSSEL1 <2:0>			—	SMODS <2:0>		

—	Bits 31-22	—	—
TSSEL2	Bit 21-20	R/W	**触发选择2** 参照TSSEL1描述
—	Bit 19-8	—	—
MSCFG	Bit 7	R/W	**主/从模式** 0: 写入0无效 1: 延迟触发输入(TRGI)上的事件来允许当前计时器和其从定时器之间的同步。该设置有效用于使用单个外部事件来同步多个定时器。
TSSEL1	Bit 6-4	R/W	**触发选择 1** 此位与 TSSEL2[1:0]组合成 TSSEL = {TSSEL2[1:0],TSSEL1[2:0]} 设置触发选择，用于同步寄数器 00000: 内部触发 0 (IT0) 00001: 内部触发 1 (IT1) 00010: 内部触发 2 (IT2) 00011: 内部触发 3 (IT3) 00100: I1 边沿检测(I1F_ED) 00101: I1 滤波后信号 00110: I2 滤波后信号 00111: 保留 01000: 内部触发 4 (IT4) 01001: 内部触发 5 (IT5) 01010: 内部触发 6 (IT6) 01011: 内部触发 7 (IT7) 01100: 内部触发 8 (IT8)

			其他: 内部触发 n (ITn) 注: 此位在需要在使用前设定(SMODS=000)，以避免产生错误的上升/下降边沿至计数器
—	Bit 3	—	—
SMODS	Bit 2-0	R/W	**从模式选择** 000: 从模式关闭 – 当 GP16C2Tn_CON1 寄存器 CNTEN 位为 1 时，分频器时钟由内部时钟提供 001: 保留 010: 保留 011: 保留 100: 复位模式 – 选中的触发输入(TRGI)的上升沿重新初始化计数器，并且产生一次更新事件 101: 门控模式 – 当触发输入(TRGI)为高电平时，计数器的时钟开启。一旦触发输入变为低电平，则计数器停止(但不复位)。计数器的启动和停止都是被控制 110: 触发模式 – 计数器在触发输入 TRGI 的上升沿启动(但不复位)，只有计数器的启动是被控制 111: 外部时钟模式 1 – 选中的触发输入(TRGI) 的上升沿提供计数器时钟 注: 如果 I1 双边沿检测被选为触发输入(设置 TSSEL 为 00100)时，不能使用门控模式。I1F 每一次转换，I1 双边沿检测就会输出 1 个脉冲，而门控模式则是检查触发信号的电平

从定时器	IT0(TSSEL =00000)	IT1(TSSEL =00001)	IT2(TSSEL =00010)	IT3(TSSEL =00011)	IT4(TSSEL =01000)	IT5(TSSEL =01001)	IT6(TSSEL =01010)	IT7(TSSEL =01011)	IT8(TSSEL =01100)
GP16C2T1	AD16C4T1	GP16C4T1	GP16C4T2	GP16C4T3	GP32C4T1	保留	GP16C2T2	GP16C2T3	GP16C2T4
GP16C2T2	AD16C4T1	GP16C4T1	GP16C4T2	GP16C4T3	GP32C4T1	GP16C2T1	保留	GP16C2T3	GP16C2T4
GP16C2T3	AD16C4T1	GP16C4T1	GP16C4T2	GP16C4T3	GP32C4T1	GP16C2T1	GP16C2T2	保留	GP16C2T4
GP16C2T4	AD16C4T1	GP16C4T1	GP16C4T2	GP16C4T3	GP32C4T1	GP16C2T1	GP16C2T2	GP16C2T3	保留

表 21-1 GP16C2Tn 内部触发连接

21. 5. 2. 4 中断开启寄存器(GP16C2Tn_IER)

中断开启寄存器(GP16C2Tn_IER)																														
偏移地址：0x0C																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CH2OV	CH1OV	—	BRK	TRGI	COM	—	—	CH2	CH1	UPD

—	Bits 31-11	—	—
CH2OV	Bit 10	W1	**开启通道 2 捕获溢出中断功能** 此位设置时，开启中断功能，硬件侦测通道 2 捕获溢出事件时发生中断
CH1OV	Bit 9	W1	**开启通道 1 捕获溢出中断功能** 此位设置时，开启中断功能，硬件侦测通道 1 捕获溢出事件时发生中断
—	Bit 8	—	—
BRK	Bit 7	W1	**开启刹车中断功能** 此位设置时，开启中断功能，硬件侦测刹车信号时发生中断
TRGI	Bit 6	W1	**开启触发中断功能** 此位设置时，开启中断功能，硬件侦测触发信号事件时发生中断
COM	Bit 5	W1	**开启 COM 中断功能** 此位设置时，开启中断功能，硬件侦测 COM 信号事件时发生中断
—	Bit 4-3	—	—
CH2	Bit 2	W1	**开启通道 2 捕获或比较匹配中断功能** 此位设置时，开启中断功能，硬件侦测通道 2 捕获或比较匹配事件时发生中断
CH1	Bit 1	W1	**开启通道 1 捕获或比较匹配中断功能** 此位设置时，开启中断功能，硬件侦测通道 1 捕获或比较匹配事件时发生中断
UPD	Bit 0	W1	**开启更新中断功能** 此位设置时，开启中断功能，硬件侦测更新事件时发生中断

21. 5. 2. 5 中断关闭寄存器(GP16C2Tn_IDR)

中断关闭寄存器(GP16C2Tn_IDR)																													
偏移地址： 0x10																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																					CH2OV	CH1OV		BRK	TRGI	COM			CH2	CH1	UPD

—	Bits 31-11	—	—
CH2OV	Bit 10	W1	**关闭通道 2 捕获溢出中断功能** 此位设置时，关闭通道 2 捕获溢出中断功能
CH1OV	Bit 9	W1	**关闭通道 1 捕获溢出中断功能** 此位设置时，关闭通道 1 捕获溢出中断功能
—	Bit 8	—	—
BRK	Bit 7	W1	**关闭刹车中断功能** 此位设置时，关闭刹车中断功能
TRGI	Bit 6	W1	**关闭触发中断功能** 此位设置时，关闭触发中断功能
COM	Bit 5	W1	**关闭 COM 中断功能** 此位设置时，关闭 COM 中断功能
—	Bit 4-3	—	—
CH2	Bit 2	W1	**关闭通道 2 捕获或比较匹配中断功能** 此位设置时，关闭通道 2 捕获或比较匹配中断功能
CH1	Bit 1	W1	**关闭通道 1 捕获或比较匹配中断功能** 此位设置时，关闭通道 1 捕获或比较匹配中断功能
UPD	Bit 0	W1	**关闭更新中断功能** 此位设置时，关闭更新中断功能

21. 5. 2. 6 中断功能有效状态寄存器(GP16C2Tn_IVS)

中断功能有效状态寄存器(GP16C2Tn_IVS)																													
偏移地址：0x14																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CH2OV	CH1OV	—	BRK	TRGI	COM	—	—	CH2	CH1	UPD

—	Bits 31-11	—	—
CH2OV	Bit 10	R	**通道 2 捕获溢出中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH1OV	Bit 9	R	**通道 1 捕获溢出中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
—	Bit 8	—	—
BRK	Bit 7	R	**刹车中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
TRGI	Bit 6	R	**触发中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
COM	Bit 5	R	**COM 中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
—	Bit 4-3	—	—
CH2	Bit 2	R	**通道 2 捕获或比较匹配中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
CH1	Bit 1	R	**通道 1 捕获或比较匹配中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
UPD	Bit 0	R	**更新中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态

GP16C2Tn_IVS 寄存器，是实时反映系统配置 GP16C2Tn_IER 与 GP16C2Tn_IDR 的中断状态。 此寄存器状态是将 GP16C2Tn_IER 与 GP16C2Tn_IDR 进行硬件运算，公式如下：GP16C2Tn_IVS = GP16C2Tn_IER & ~GP16C2Tn_IDR

21. 5. 2. 7 原始中断状态寄存器(GP16C2Tn_RIF)

原始中断状态寄存器(GP16C2Tn_RIF)

偏移地址：0x18

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CH2OV	CH1OV	—	BRK	TRGI	COM	—	—	CH2	CH1	UPD

—	Bits 31-11	—	—
CH2OV	Bit 10	R	**通道 2 捕获溢出，原始中断状态** 0: 无发生中断 1: 已发生中断
CH1OV	Bit 9	R	**通道 1 捕获溢出，原始中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 8	—	—
BRK	Bit 7	R	**刹车，原始中断状态** 0: 无发生中断 1: 已发生中断
TRGI	Bit 6	R	**触发，原始中断状态** 0: 无发生中断 1: 已发生中断
COM	Bit 5	R	**COM，原始中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 4-3	—	—
CH2	Bit 2	R	**通道 2 捕获或比较匹配，原始中断状态** 0: 无发生中断 1: 已发生中断
CH1	Bit 1	R	**通道 1 捕获或比较匹配，原始中断状态** 0: 无发生中断 1: 已发生中断

UPD	Bit 0	R	**更新，中断功能开启/关闭状态** 0: 无发生中断 1: 已发生中断

21. 5. 2. 8 中断标志位状态寄存器(GP16C2Tn_IFM)

中断标志位状态寄存器(GP16C2Tn_IFM)

偏移地址：0x1C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CH2OV	CH1OV	—	BRK	TRGI	COM	—	—	CH2	CH1	UPD

—	Bits 31-11	—	—
CH2OV	Bit 10	R	**通道 2 捕获溢出，标志位中断状态** 0: 无发生中断 1: 已发生中断
CH1OV	Bit 9	R	**通道 1 捕获溢出，标志位中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 8	—	—
BRK	Bit 7	R	**刹车，标志位中断状态** 0: 无发生中断 1: 已发生中断
TRGI	Bit 6	R	**触发，标志位中断状态** 0: 无发生中断 1: 已发生中断
COM	Bit 5	R	**COM，标志位中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 4-3	—	—
CH2	Bit 2	R	**通道 2 捕获或比较匹配，标志位中断状态** 0: 无发生中断 1: 已发生中断
CH1	Bit 1	R	**通道 1 捕获或比较匹配，标志位中断状态** 0: 无发生中断 1: 已发生中断

UPD	Bit 0	R	**更新，标志位中断状态** 0: 无发生中断 1: 已发生中断

GP16C2Tn_IFM 寄存器，是滤除已关闭中断功能的中断事件，只关注开启中断功能的事件· 此寄存器状态是将 GP16C2Tn_RIF 与 GP16C2Tn_IVS 进行硬件运算，公式如下：

GP16C2Tn_IFM = GP16C2Tn_RIF & GP16C2Tn_IVS

21. 5. 2. 9 中断清除寄存器(GP16C2Tn_ICR)

中断清除寄存器(GP16C2Tn_ICR)

偏移地址：0x20

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CH2OV	CH1OV	—	BRK	TRGI	COM	—	—	CH2	CH1	UPD

—	Bits 31-11	—	—
CH2OV	Bit 10	C_W1	**清除通道 2 捕获溢出中断状态** 此位设置时，清除中断状态(GP16C2Tn_RIF 与 GP16C2Tn_IFM)
CH1OV	Bit 9	C_W1	**清除通道 1 捕获溢出中断状态** 此位设置时，清除中断状态(GP16C2Tn_RIF 与 GP16C2Tn_IFM)
—	Bit 8	—	—
BRK	Bit 7	C_W1	**清除刹车中断状态** 此位设置时，清除中断状态(GP16C2Tn_RIF 与 GP16C2Tn_IFM)
TRGI	Bit 6	C_W1	**清除触发中断状态** 此位设置时，清除中断状态(GP16C2Tn_RIF 与 GP16C2Tn_IFM)
COM	Bit 5	C_W1	**清除 COM 中断状态** 此位设置时，清除中断状态(GP16C2Tn_RIF 与 GP16C2Tn_IFM)
—	Bit 4-3	—	—
CH2	Bit 2	C_W1	**清除通道 2 捕获或比较匹配中断状态** 此位设置时，清除中断状态(GP16C2Tn_RIF

			与 GP16C2Tn_IFM)
CH1	Bit 1	C_W1	**清除通道 1 捕获或比较匹配中断状态** 此位设置时，清除中断状态(GP16C2Tn_RIF 与 GP16C2Tn_IFM)
UPD	Bit 0	C_W1	**清除更新中断状态** 此位设置时，清除中断状态(GP16C2Tn_RIF 与 GP16C2Tn_IFM)

GP16C2Tn_ICR 寄存器设置时，将清除 GP16C2Tn_RIF 与 GP16C2Tn_IFM 中断标志状态；此设置不影响中断 GP16C2Tn_IER、GP16C2Tn_IDR 与 GP16C2Tn_IVS 寄存器，只清除标志状态 GP16C2Tn_RIF 与 GP16C2Tn_IFM。 此寄存器通过硬件清除中断，公式如下：

GP16C2Tn_RIF = GP16C2Tn_RIF & ~GP16C2Tn_ICR

21. 5. 2. 10 软件生成事件寄存器(GP16C2Tn_SGE)

软件生成事件寄存器(GP16C2Tn_SGE)

偏移地址：0x24

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																								SGBRK	SGTRGI	SGCOM			SGCH2	SGCH1	SGUPD

—	Bits 31-8	—	—
SGBRK	Bit 7	T_W1	**软件生成刹车事件** 该位由软件设置来生成刹车事件，可由硬件自动清零。 此位设置时，产生刹车事件。GOEN清零，BRK标志位置起，产生相关中断或DMA传输。
SGTRGI	Bit 6	T_W1	**软件生成触发事件** 该位由软件设置来生成触发事件，可由硬件自动清零。 此位设置时，产生触发事件。产生相关中断或 DMA 传输
SGCOM	Bit 5	T_W1	**软件生成 COM 事件** 该位由软件设置来生成 COM 事件，可由硬件自动清零。 此位设置时，产生 COM 事件。当设置

			CCPCEN 为 1，则可更新 CCnEN, CCnNEN 和 CHnMOD。 注: 此位只有用作于有互补输出的通道
—	Bit 4-3	—	—
SGCH2	Bit 2	T_W1	**软件生成通道 2 捕获或比较事件** 参照 SGCH1 描述
SGCH1	Bit 1	T_W1	**软件生成通道 1 捕获或比较事件** 该位由软件设置来生成通道 1 捕获或比较，可由硬件自动清零。 **通道 CH1 设置为输出:** 此位设置时，产生比较事件，但不影响输出。若开启中断或 DMA，则产生中断与请求。 **通道 CH1 设置为输入:** 此位设置时，产生捕获事件。将计数器捕获至 CCVAL1 寄存器中，若開啟中断或 DMA，则产生中断与请求。
SGUPD	Bit 0	T_W1	**软件触发更新事件** 该位由软件设置，可由硬件自动清零。 此位设置时，产生更新事件。重新初始化计数器，更新寄存器。 注: 预分频器也会被清零(但预分频比不会受到影响)。

21. 5. 2. 11 捕获或比较模式寄存器 1(GP16C2Tn_CHMR1)

捕获或比较模式寄存器 1(GP16C2Tn_CHMR1)																													
偏移地址：0x28																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																	CH2MOD <2:0>			CH2PEN	CH2FEN	CC2SSEL <1:0>			CH1MOD <2:0>			CH1PEN	CH1FEN	CC1SSEL <1:0>	
																I2FLT <3:0>				I2PRES <1:0>				I1FLT <3:0>			I1PRES <1:0>			

输出比较模式

—	Bits 31-15	—	—
CH2MOD	Bit 14-12	R/W	**输出比较通道 2 模式** 参照 CH1MOD 描述
CH2PEN	Bit 11	R/W	**输出比较通道 2 预装载开启** 参照 CH1PEN 描述
CH2FEN	Bit 10	R/W	**输出比较通道 2 快速开启** 参照 CH1FEN 描述
CC2SSEL	Bit 9-8	R/W	**捕获或比较通道 2 选择** 设置通道的输出方向与信号的选择，当 CCEP 寄存器的 CC2EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I2 10: 通道设置为输入，捕获源为 I1 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测
—	Bit 7	—	—
CH1MOD	Bit 6-4	R/W	**输出比较通道 1 模式** 这些位定义提供 CH1 和 CH1N 的输出参考信号 CH1REF 的行为。CH1REF 为高电平有效， 而 CH1 和 CH1N 的有效电平则取决于 GP16C2Tn_CCEP 寄存器中的 CC1POL 位和 CC1NPOL 位。 000: 关闭－无作用

			001: 匹配时设置高电平 - 当计数器(GP16C2Tn_COUNT)匹配GP16C2Tn_CCVAL1 寄存器时，CH1REF 设置为 1 010: 匹配时设置低电平 - 当计数器(GP16C2Tn_COUNT)匹配GP16C2Tn_CCVAL1 寄存器时，CH1REF 设置为 0 011: 匹配时设置翻转电平 - 当计数器(GP16C2Tn_COUNT)匹配GP16C2Tn_CCVAL1 寄存器时，CH1REF 设置翻转电平(当前为高电平则翻转成低电平，反之当前为低电平则翻转成高电平) 100: 强制低电平 - CH1REF 强制设置低电平 101: 强制高电平 - CH1REF 强制设置高电平 110: PWM 模式 1 - 在递增计数时，当计数器(GP16C2Tn_COUNT)小于GP16C2Tn_CCVAL1 寄存器时，输出高电平，其他则输出低电平。 111: PWM 模式 2 - 在递增计数时，当计数器(GP16C2Tn_COUNT)小于GP16C2Tn_CCVAL1 寄存器时，输出低电平，其他则输出高电平。 注: 当设置 GP16C2Tn_BDCFG 寄存器中的 LOCKLVL 位为锁定级别 3 且 CC1SSEL = 00(通道设置为输出)后，此位无法更改。
CH1PEN	Bit 3	R/W	**输出比较通道 1 预装载开启** 设置后在更新事件时，将GP16C2Tn_CCVAL1 寄存器预装载值载入到影子寄存器中。 0: CCVAL1 寄存器预装载关闭 1: CCVAL1 寄存器预装载开启 注: 当设置 GP16C2T_BDCFG 寄存器中的 LOCKLVL 位为锁定级别 3 且 CC1SSEL = 00(通道设置为输出)后，此位无法更改。
CH1FEN	Bit 2	R/W	**输出比较通道 1 快速开启** 用于加速触发输入事件对于 PWM 输出的影响，CH1FEN 只在通道被配置成 PWM1 或

			PWM2 模式时起作用。 0: CH1 的输出依赖于计数器与 CCVAL1 的值正常工作。 1: 当触发输入(TRGI)有效时，CH1 被强制设置为比较电平(与比较结果无关)，触发输入(TRGI)的有效边沿相当于发生比较匹配。
CC1SSEL	Bit 1-0	R/W	**捕获或比较通道 1 选择** 设置通道的输出方向与信号的选择，当 CCEP 寄存器的 CC1EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I1 10: 通道设置为输入，捕获源为 I2 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测

输入捕获模式

—	Bits 31-16	—	—
I2FLT	Bit 15-12	R/W	**输入捕获通道2滤波器** 参照I1FLT描述
I2PRES	Bit 11-10	R/W	**输入捕获通道 2 预分频器** 参照 IC1PRES 描述
CC2SSEL	Bit 9-8	R/W	**捕获或比较通道 2 选择** 设置通道的输出方向与信号的选择，当 GP16C2Tn_CCEP 寄存器的 CC2EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I2 10: 通道设置为输入，捕获源为 I1 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测
I1FLT	Bit 7-4	R/W	**输入捕获通道 1 滤波器** 设置 I1 信号采样的频率和对 I1 数字滤波器的带宽。数字滤波器是一个事件计数器，它记录到 N 个事件后才视为一个有效输出边沿: 0000: 采样频率 f_{DTS}，滤波器关闭 0001: 采样频率 f_{INT_CLK}, N = 2 0010: 采样频率 f_{INT_CLK}, N = 4 0011: 采样频率 f_{INT_CLK}, N = 8

			0100: 采样频率 f_{DTS} / 2, N = 6 0101: 采样频率 f_{DTS} / 2, N = 8 0110: 采样频率 f_{DTS} / 4, N = 6 0111: 采样频率 f_{DTS} / 4, N = 8 1000: 采样频率 f_{DTS} / 8, N = 6 1001: 采样频率 f_{DTS} / 8, N = 8 1010: 采样频率 f_{DTS} / 16, N = 5 1011: 采样频率 f_{DTS} / 16, N = 6 1100: 采样频率 f_{DTS} / 16, N = 8 1101: 采样频率 f_{DTS} / 32, N = 5 1110: 采样频率 f_{DTS} / 32, N = 6 1111: 采样频率 f_{DTS} / 32, N = 8
I1PRES	Bit 3-2	R/W	**输入捕获通道 1 预分频器** 设置 I1 的预分频计数器数值，当清除 GP16C2Tn_CCEP 寄存器的 CC1EN 位，预分频计数器同时被清除 00: 预分频关闭，于每次事件时捕获 01: 每 2 次事件捕获 10: 每 4 次事件捕获 11: 每 8 次事件捕获
CC1SSEL	Bit 1-0	R/W	**捕获或比较通道 1 选择** 设置通道的输出方向与信号的选择，当 GP16C2Tn_CCEP 寄存器的 CC1EN 为 0 才可写入。 00: 通道设置为输出 01: 通道设置为输入，捕获源为 I1 10: 通道设置为输入，捕获源为 I2 11: 通道设置为输入，捕获源为 ITn 或 I1 的双边沿检测

21. 5. 2. 12 捕获或比较开启极性寄存器(GP16C2Tn_CCEP)

捕获或比较开启极性寄存器(GP16C2Tn_CCEP)																													
偏移地址：0x30																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																								CC2NPOL		CC2POL	CC2EN	CC1NPOL	CC1NEN	CC1POL	CC1EN

—	Bits 31-8	—	—
CC2NPOL	Bit 7	R/W	**捕获或比较通道 2 互补输出极性** 参照 CC1NPOL 描述
—	Bit 6	—	—
CC2POL	Bit 5	R/W	**捕获或比较通道 2 输出极性** 参照 CC1POL 描述
CC2EN	Bit 4	R/W	**捕获或比较通道 2 输出开启** 参照 CC1EN 描述
CC1NPOL	Bit 3	R/W	**捕获或比较通道 1 互补输出极性** **通道 CH1 设置为输出:** 0: CH1N 高电平有效 1: CH1N 低电平有效 **通道 CH1 设置为输入:** 该位需和 CC1POL 一起使用来定义输入边沿的极性。参照 CC1POL 描述。 注 1: 对于有互补输出的通道，该位设置为预载值。如果 GP16C2Tn_CON2 寄存器中的 CCPCEN 位设置为 1，则只有当 COM 事件发生时，CC1NP 影子位才会设置为预载值中新的值。 注 2: 当 GP16C2Tn_BDCFG 寄存器中的 LOCKLVL 位被设置为锁定级别 2 或 3，且 CC1SSEL=00(通道为输出模式)，该位将不可写。
CC1NEN	Bit 2	R/W	**捕获或比较通道 1 互补输出开启** 0: 关闭 - CH1N 无效。CCH1N 电平取决于 GOEN、OFFSSI、OFFSSR、OISS1、OISS1N 和 CC1EN 的功能

			1: 开启 - CH1N 为对应输出引脚上的输出信号，由 GOEN、OFFSSI、OFFSSR、OISS1、OISS1N 和 CC1EN 决定。 注: 对于有互补输出的通道，该位设置为预载值。如果 GP16C2Tn_CON2 寄存器中的 CCPCEN 位设置为 1，则只有当 COM 事件发生时，CC1NE 影子位才会设置为预载值中新的值
CC1POL	Bit 1	R/W	**捕获或比较通道 1 输出极性** **通道 CH1 设置为输出:** 0: CH1 高电平有效 1: CH1 低电平有效 **通道 CC1 设置为输入:** CC1NPOL 与 CC1POL 位选择触发边沿或捕获模式下 I1 和 I2 的极性 00: 非反相/上升沿 01: 反相/下降沿 10: 保留 11: 非反相/上升沿+下降沿 注 1: 对于有互补输出的通道，该位设置为预载值。如果 GP16C2Tn_CON2 寄存器中的 CCPCEN 位设置为 1，则只有当 COM 事件发生时，CC1POL 影子位才会设置为预载值中新的值。 注 2: 当 GP16C2Tn_BDCFG 寄存器中的 LOCKLVL 位被设置为锁定级别 2 或 3，且 CC1SSEL=00(通道为输出模式)，该位将不可写。
CC1EN	Bit 0	R/W	**捕获或比较通道 1 输出开启** **通道 CH1 设置为输出:** 0: 关闭 - CH1 无效。CH1 电平取决于 GOEN、OFFSSI、OFFSSR、OISS1、OISS1N 和 CC1NEN 的功能 1: 开启 - CH1 为对应输出引脚上的输出信号，由 GOEN、OFFSSI、OFFSSR、OISS1、OISS1N 和 CC1NEN 决定 **通道 CH1 设置为输入:** 0: 捕获关闭

			1: 捕获开启 注: 对于有互补输出的通道，该位设置为预载值。如果 GP16C2Tn_CON2 寄存器中的 CCPCEN 位设置为 1，则只有当 COM 事件发生时，CC1EN 影子位才会设置为预载值中新的值。

21. 5. 2. 13 计数寄存器(GP16C2Tn_COUNT)

计数寄存器(GP16C2Tn_COUNT)

偏移地址：0x34

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																CNTV <15:0>															

—	Bits 31-16	—	—
CNTV	Bits 15-0	R/W	**计数器数值**

21. 5. 2. 14 预分频寄存器(GP16C2Tn_PRES)

预分频寄存器(GP16C2Tn_PRES)

偏移地址：0x38

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																PSCV <15:0>															

—	Bits 31-16	—	—
PSCV	Bits 15-0	R/W	**预分频数值** 计数器时钟频率等于f_{INT_CLK}/(PSCV<15:0> + 1) 时计数器递增或递减。在更新事件产生时，将PSCV数值被载入影子寄存器中

21. 5. 2. 15 自动重载寄存器(GP16C2Tn_AR)

自动重载寄存器(GP16C2Tn_AR)																															
偏移地址：0x3C																															
复位值：0x0000 FFFF																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																ARV <15:0>															

—	Bits 31-16	—	—
ARV	Bits 15-0	R/W	**自动重载数值** 设置计数器的递增计数的边界重载值，设置数值为 0 时计数器停止计数

21. 5. 2. 16 重复计数寄存器(GP16C2Tn_ REPAR)

重复计数寄存器(GP16C2Tn_ REPAR)																															
偏移地址：0x40																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																								REPV <7:0>							

—	Bits 31-8	—	—
REPV	Bits 7-0	R/W	**重复计数数值** 当预载寄存器开启，该位允许使用者设置比较寄存器的更新率(例如：预载到有效寄存器的周期性传输)，同样也可以设置更新中断生成率。每次当REPV_CNT的相关递减计数器递减至0，会产生更新事件，会从REPV值重新计数。因为只有当发生重复更新事件时，REPV_CNT才会重新载入REPV值，所以只有在发生下一次重复更新事件时，写入GP16C2Tn_REPAR寄存器的值才会生效。 在PWM模式下，(REPV+1)相当于： - 在边沿对齐模式下，(REPV+1)对应的是PWM的周期数

21. 5. 2. 17 通道捕获或比较寄存器 1(GP16C2Tn_CCVAL1)

通道捕获或比较寄存器 1(GP16C2Tn_CCVAL1)																													
偏移地址：0x44																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																CCRV1 <15:0>															

—	Bits 31-16	—	—
CCRV1	Bits 15-0	R/W	**捕获或比较数值 1** **通道 CH1 配置为输出：** CCRV1 是捕获或比较寄存器的预装载值。 如果在 GP16C2Tn_CHMR1 寄存器中的预载功能没有选中，CCRV1 中的值将被永久载入；否则每当发生更新事件，预载值将会复制到有效的捕获或比较寄存器中。有效捕获或比较寄存器的值将会与 GP16C2Tn_COUNT 中的值进行比较，并在 CH1 上输出。 **通道 CH1 配置为输入：** CCRV1为由上一个输入捕获事件(I1)发生时的计数器数值。

21. 5. 2. 18 通道捕获或比较寄存器 2(GP16C2Tn_CCVAL2)

通道捕获或比较寄存器 2(GP16C2Tn_CCVAL2)																													
偏移地址：0x48																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																CCRV2<15:0>															

—	Bits 31-16	—	—
CCRV2	Bits 15-0	R/W	**捕获或比较数值2** **通道CH2配置为输出:** CCRV2是捕获或比较寄存器的预装载值。 如果在GP16C2Tn_CHMR1寄存器中的预载功能没有选中，CCRV2中的值将被永久载入;否则每当发生更新事件，预载值将会复制到有效的捕获或比较寄存器中。有效捕获或比较寄存器的值将会与GP16C2Tn_COUNT中的值进行比较，并在CH2上输出。 **通道CH2配置为输入:** CCRV2为由上一个输入捕获事件(I2)发生时的计数器数值。

21. 5. 2. 19 刹车和死区配置寄存器(GP16C2Tn_BDCFG)

刹车和死区配置寄存器(GP16C2Tn_BDCFG)																													
偏移地址：0x54																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GOEN	AOEN	BRKP	BRKEN	OFFSSR	OFFSSI	LOCKLVL<1:0>		DT<7:0>							

—	Bits 31-16	—	—
GOEN	Bit 15	R/W	**通道主要输出开启** 一旦刹车输入有效，该位会由硬件异步清零。该位可由软件设置为1或自动设置为1(取决于AOEN位)。该位仅作用于配置为输出的通道。 0: CHn和CHnN输出关闭或强制为空闲状态。 1: 如果CHn和CHnN各自的开启位都设置为1(GP16C2Tn_CCEP寄存器中的CCnEN和CCnNEN位)，则开启CHn和CHnN输出。
AOEN	Bit 14	R/W	**通道自动输出开启** 在发生更新事件时，将 GOEN 位置起 0: GOEN 位仅可由软件设置为 1 1: GOEN 位可由软件设置为 1，也可以在下一个更新事件发生且刹车输入无效时自动设置为 1。 注: 当 GP16C2Tn_BDCFG 寄存器中的 LOCKLVL 位已被设置为锁定级别 1，则该位无法修改。
BRKP	Bit 13	R/W	**选择刹车极性** 0: 刹车输入 BRK 为低电平有效 1: 刹车输入 BRK 为高电平有效 注: 当 GP16C2Tn_BDCFG 寄存器中的 LOCKLVL 位已被设置为锁定级别 1，则该位无法修改
BRKEN	Bit 12	R/W	**开启刹车** 0: 刹车输入(BRK 和 CCS 时钟失效事件)关闭 1: 刹车输入(BRK 和 CCS 时钟失效事件)开启 注: 当 GP16C2Tn_BDCFG 寄存器中的

			LOCKLVL 位已被设置为锁定级别 1，则该位无法修改 注: 任何对该位的写操作都要等待 1 个 APB 时钟周期后才变为有效。
OFFSSR	Bit 11	R/W	**运行模式下关闭状态选择** 此位在 GOEN 为 1 且设置为输出模式并具有互补输出的通道。 0: 当定时器关闭时，输出关闭(CHn/CHnN 开启输出信号=0) 1: 当定时器关闭时，当 CCnEN 为 1 或 CCnNEN 为 1 时，便将 CHn/CHnN 输出设为无效电平。然后设置 CHn/CHnN 开启输出信号为 1。 注: 当 GP16C2Tn_BDCFG 寄存器中的 LOCKLVL 位已被设置为锁定级别 2，则该位无法修改。
OFFSSI	Bit 10	R/W	**空闲模式下关闭状态选择** 此位在 GOEN 为 0 且设置为输出模式并具有互补输出的通道。 0: 当定时器关闭时，输出关闭(CCHn 或 CHnN 开启输出信号为 0) 1: 当定时器关闭时，当 CCnEN 为 1 或 CCnNEN 为 1 时，便将 CHn/CHnN 输出强制为空闲电平。然后设置 CHn/CHnN 开启输出信号为 1。 注: 当 GP16C2Tn_BDCFG 寄存器中的 LOCKLVL 位已被设置为锁定级别 2，则该位无法修改。
LOCKLVL	Bit 9-8	R/W	**锁定级别配置** 针对软件错误，该位提供写保护 00: 锁定关闭 - 不提供写保护 01: 锁定级别 1 时，无法对 GP16C2Tn_BDCFG 寄存器中的 DT 位、BRKEN、BRKP 和 AOEN 位，以及 GP16C2Tn_CON2 寄存器中的 OISSx 和 OISSxN 位执行写操作。 10: 锁定级别 2 时，无法对锁定级别 1 与 CH 极性位(GP16C2Tn_CCEP 寄存器中的

			CCnPOL 与 CCnNPOL 位，只要相关通道由 CCnSSEL 配置为输出)以及 OFFSSR 和 OFFSSI 执行写操作。 11: 锁定级别 3 =锁定级别 2 与 CH 控制位 (GP16C2Tn_CHMRn 寄存器中的 CHnMOD 和 CHnPEN 位，只要相关通道由 CCnSSEL 配置为输出)执行写操作。 注: 锁定配置位仅在复位后可写一次。一旦对 GP16C2Tn_BDCFG 寄存器中 LOCKLVL 位写入非 00 数值，其设置内容在下一个复位前都处于冻结状态。
DT	Bit 7-0	R/W	**死区延时** 设置值该位定义了互补输出之间插入的死区时间。DT 对应的就是该时间段。 DT[7: 5]=0xx ⇒ DT=DT[7:0] x t_{dtg}，式中 $t_{dtg}=t_{DTS}$。 DT[7: 5]=10x ⇒ DT=(64+DT[5:0])x t_{dtg}，式中 $t_{dtg}=2xt_{DTS}$。 DT[7: 5]=110 ⇒ DT=(32+DT[4:0])x t_{dtg}，式中 $t_{dtg}=8xt_{DTS}$。 DT[7: 5]=111 ⇒ DT=(32+DT[4:0])x t_{dtg}，式中 $t_{dtg}=16xt_{DTS}$。 注:当 GP16C2Tn_BDCFG 寄存器中的 LOCKLVL 位已被设置为锁定级别 1，2 或 3，则该位无法修改

21. 5. 2. 20 DMA 事件开启寄存器(GP16C2Tn_DMAEN)

DMA 事件开启寄存器(GP16C2Tn_DMAEN)																														
偏移地址：0x58																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																									TRGI	COM			CH2	CH1	UPD

—	Bits 31-7	—	—
TRGI	Bit 6	R/W	**触发事件的DMA请求开启** 0: 触发事件的DMA请求关闭 1: 触发事件的DMA请求开启
COM	Bit 5	R/W	**COM 的 DMA 请求开启** 0: COM 的 DMA 请求关闭 1: COM 的 DMA 请求开启
—	Bits 4-3	—	—
CH2	Bit 2	R/W	**通道 2 捕获或比较匹配的 DMA 请求开启** 0: 通道 2 捕获或比较匹配的 DMA 请求关闭 1: 通道 2 捕获或比较匹配的 DMA 请求开启
CH1	Bit 1	R/W	**通道 1 捕获或比较匹配的 DMA 请求开启** 0: 通道 1 捕获或比较匹配的 DMA 请求关闭 1: 通道 1 捕获或比较匹配的 DMA 请求开启
UPD	Bit 0	R/W	**更新事件的 DMA 请求开启** 0: 更新事件的 DMA 请求关闭 1: 更新事件的 DMA 请求开启

21. 5. 2. 21 输入选择寄存器(GP16C2Tn_OPTR)

输入选择寄存器(GP16C2Tn_OPTR)																														
偏移地址：0x5C																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																												CH2_RMP<1:0>		CH1_RMP<1:0>	

—	Bits 31-4	—	—
CH2_RMP	Bit 3-2	R/W	**CH2输入选择** 00: GP16C2Tn_CH2输入 01: CMP2_OUT 其他: 保留
CH1_RMP	Bit 1-0	R/W	**CH1 输入选择** 00: GP16C2Tn_CH1 输入 01: CMP1_OUT 其他: 保留

第22章 基本定时器 16 位 (BS16T1)

22. 1 概述

基本定时器 16 位(BS16T1)包含一个 16 位计数器，该计数器由可配置的预分频器驱动。

22. 2 特性

- 一种 16 位自动重载计数器模式
  - ◇ 递增
- 16 位可配置预分频器，可在定时器运行时对计数器工作时钟进行 1 到 65536 之间的任意分频
- 下列事件支持产生中断与 DMA 请求：
  - ◇ 更新事件：计数器上溢，计数器初始化(通过软件)

22. 3 结构图

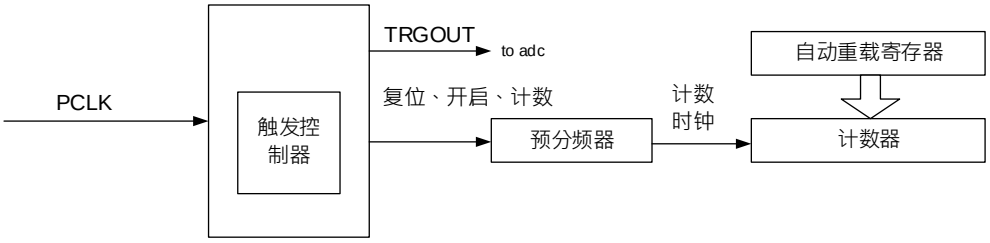


图 22-1 BS16T1 定时器结构框图

22. 4 功能描述

22. 4. 1 定时单位

定时器包含一个 16 位的计数器(**BS16T1_COUNT**),计数时钟由预分频寄存器(**BS16T1_PRES**)进行分频。计数周期由自动重载计数器(**BS16T1_AR**)设定。

自动重载寄存器(**BS16T1_AR**) 是一个可缓冲的寄存器。设置 **BS16T1_CON1** 寄存器的 ARPEN 位为 0 时，关闭 **BS16T1_AR** 寄存器缓冲功能，写入 **BS16T1_AR** 的重载值会被立即反应到影子寄存器中；而设置 ARPEN 位为 1 时，**BS16T1_AR** 寄存器具有缓冲功能，当产生更新事件(UPD)时，**BS16T1_AR** 寄存器的重载值才会被更新到影子寄存器中。

设置 **BS16T1_CON1** 寄存器的 DISUE 位为 0 时，计数器递增计数达到上溢值时会产生更新事件(UPD)。另外可以通过 **BS16T1_SGE** 寄存器的 SGUPD 位为 1 产生软件更新事件。设置 **BS16T1_CON1** 寄存器的 CNTEN 为 1 时，计数器开始计数。

注：计数器在设置 CNTEN 位为 1 后，在 1 个 APB 时钟周期后开始计数。

预分频器可对定时器工作时钟进行 **BS16T1_PRES** 寄存器数值+1 次分频。由于 **BS16T1_PRES** 是一个可缓冲寄存器，因此定时器运行时可以对该寄存器进行修改，修改值在下次更新事件(UPD)后有效。

下图给出了定时器运行过程中改变预分频值时计数器的计数情况。

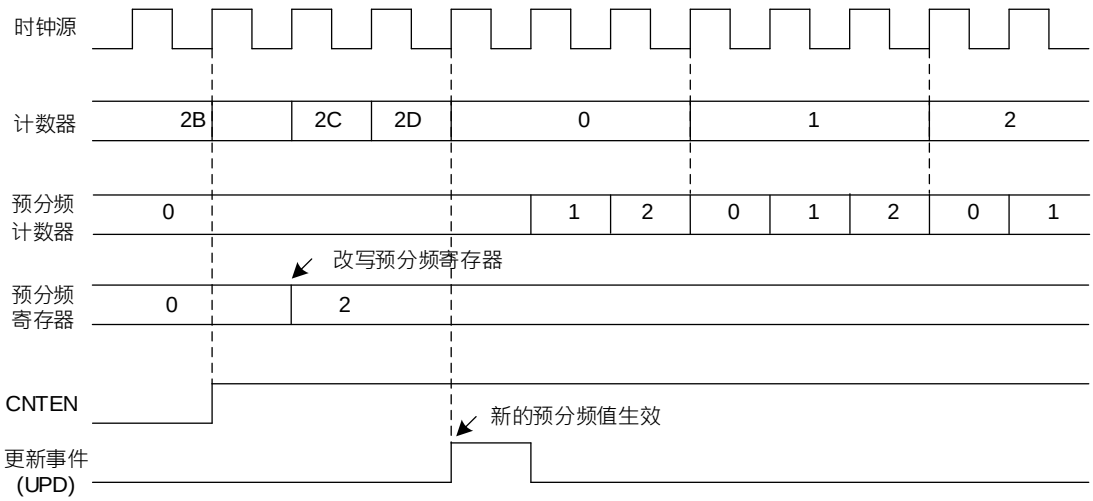


图 22-2 预分频值计数时序图

22. 4. 2 时钟源

计数器工作时钟可以选择内部时钟(INT_CLK)

22. 4. 2. 1 内部时钟源(INT_CLK)

BS16T1_CON1 寄存器的 CNTEN 位与 **BS16T1_SGE** 寄存器的 SGUPD 位为控制位，这些位只能软件修改(SGUPD 位除外，仍由硬件自动清除)。一旦设置 CNTEN 位为 1，预分频器就由内部 INT_CLK 提供时钟。

下图给出了正常模式下没有分频控制电路和递增计数的情况。

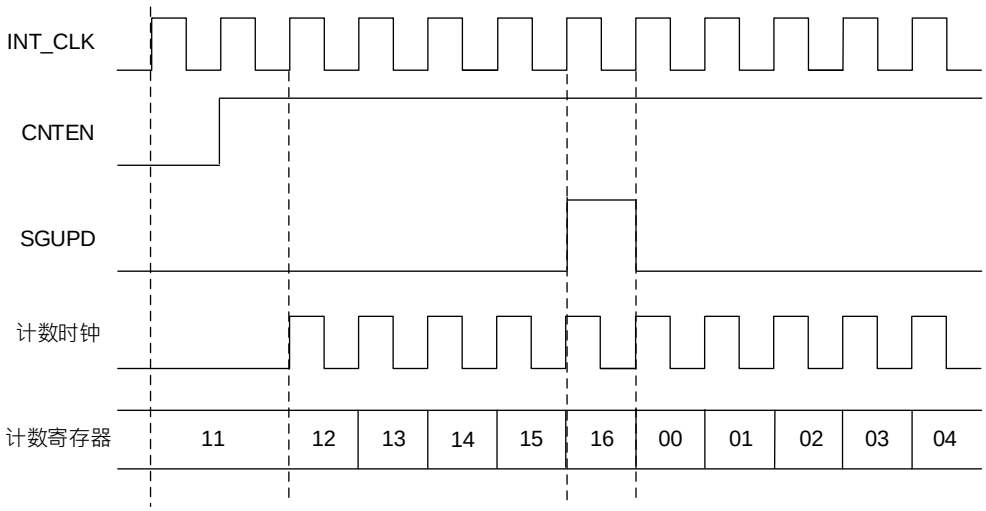


图 22-3 采用内部时钟计数

22. 4. 3 计数模式

22. 4. 3. 1 递增计数模式

计数器从 0 开始递增，直至 **BS16T1_AR** 寄存器数值；然后从 0 重新开始计数并产生一个更新事件(UPD)。

设置 **BS16T1_SGE** 寄存器的 SGUPD 位为 1(通过软件)产生更新事件。

通过软件设置 **BS16T1_CON1** 寄存器中的 DISUE 位为 1 可关闭更新事件(UPD)产生。可以避免在写入预装载寄存器数值时产生更新事件(UPD)更新影子寄存器。在设置 DISUE 位为 0 之前都不会产生更新事件(UPD)，计数器和预分频器都会重新从 0 开始计数。

此外，设置 **BS16T1_CON1** 寄存器中的 UERSEL 位为 1 时，设置 SGUPD 位为 1 会产生更新事件(UPD)，但不会更新更新标志位(**BS16T_RIF** 寄存器的 UPD 位)，也不会产生中断或 DMA 请求。在这个配置下，发生捕获事件时将计数器清零，将不会同时产生更新中断和捕获中断。

发生更新事件(UPD)时，所有预装载寄存器会更新到影子寄存器：

- 更新 **BS16T1_AR** 寄存器数值到影子寄存器
- 更新 **BS16T1_PRES** 寄存器数值到影子寄存器

下图为设置 **BS16T1_AR** 寄存器为 16h，预分频设为 2 分频时的计数器时序。

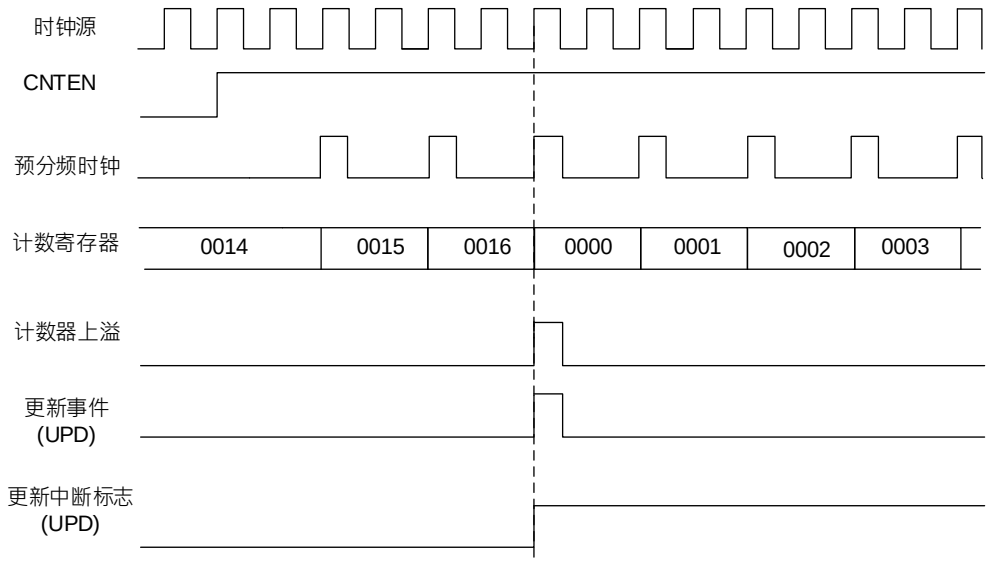


图 22-4 计数器递增计数时序图

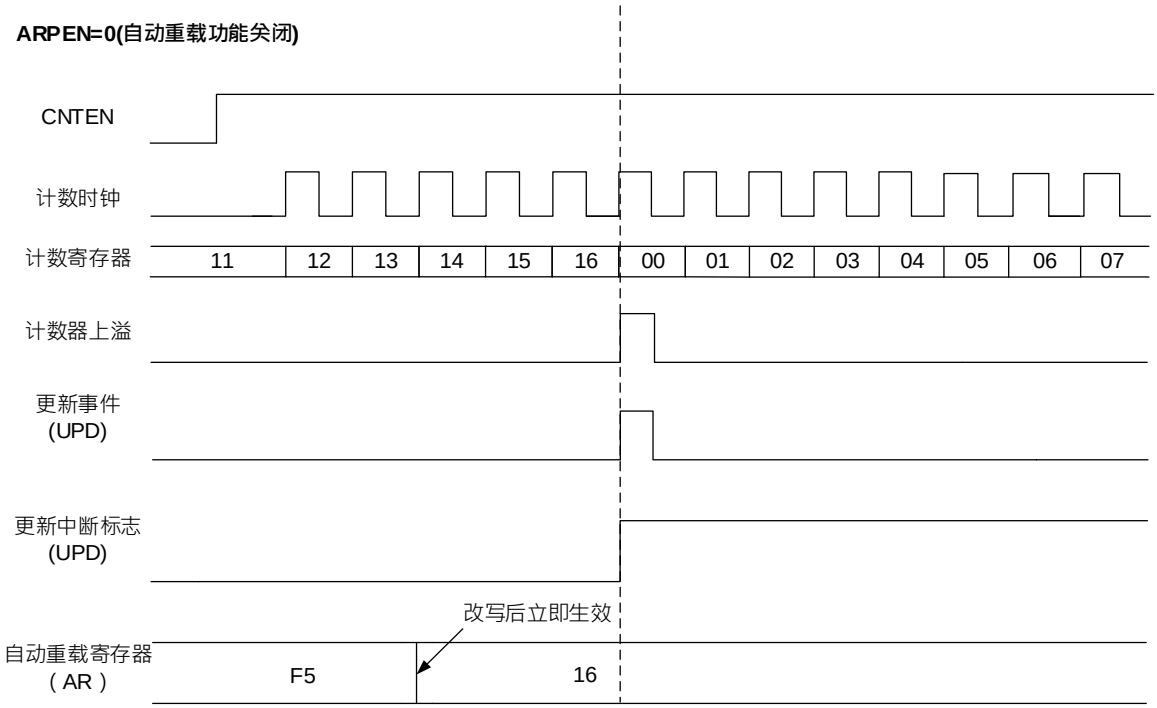


图 22-5 设置 ARPEN 位为 0 时计数器时序图

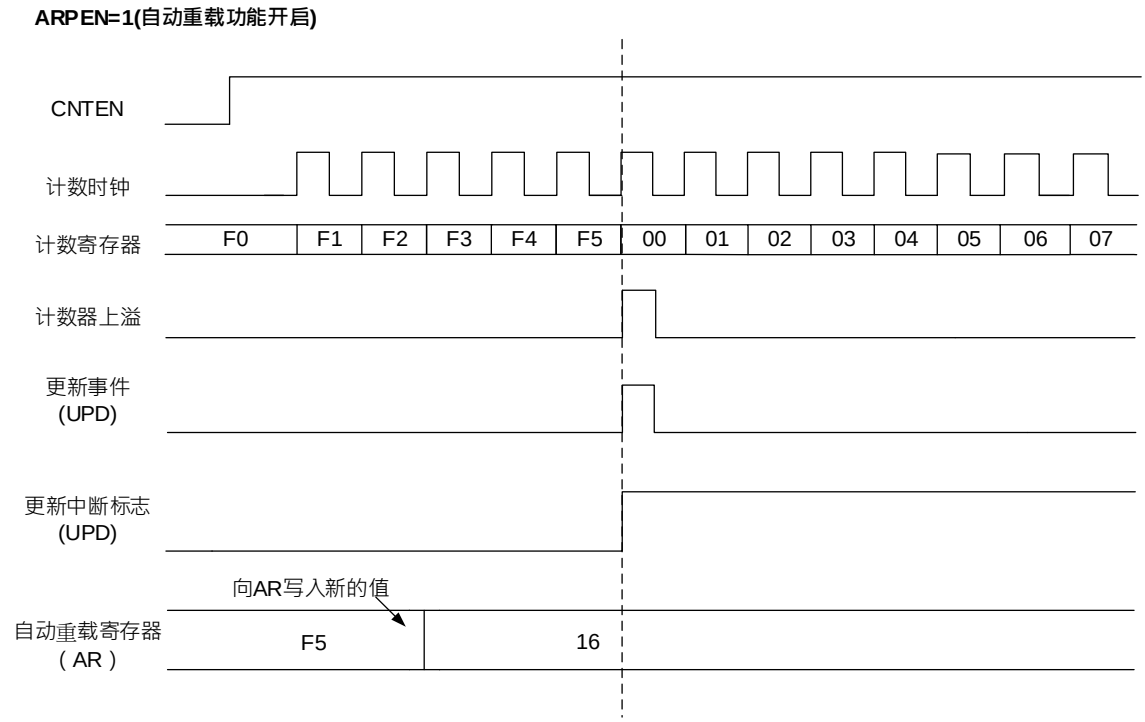


图 22-6 设置 ARPEN 位为 1 时计数器时序图

22. 4. 4 调试模式

当微控制器进入调试模式(Cortex™-M0 核停止运行)，根据 SYSCFG 章节中 SYSCFG_CFG 寄存器配置，选择将计数器继续正常工作或停止计数。

22. 5 特殊功能寄存器

22. 5. 1 寄存器列表

BS16T1 寄存器列表			
名称	偏移地址	类型	描述
BS16T1_CON1	0000_H	R/W	控制寄存器 1
BS16T1_CON1	0004_H	R/W	控制寄存器 2
BS16T1_IER	$000C_H$	W1	中断开启寄存器
BS16T1_IDR	0010_H	W1	中断关闭寄存器
BS16T1_IVS	0014_H	R	中断功能有效状态寄存器
BS16T1_RIF	0018_H	R	原始中断状态寄存器
BS16T1_IFM	$001C_H$	R	中断标志位状态寄存器
BS16T1_ICR	0020_H	C_W1	中断清除寄存器
BS16T1_SGE	0024_H	T_W1	软件生成事件寄存器
BS16T1_COUNT	0034_H	R/W	计数寄存器
BS16T1_PRES	0038_H	R/W	预分频寄存器
BS16T1_AR	$003C_H$	R/W	自动重载寄存器
BS16T1_DMAEN	0058_H	R/W	DMA 事件开启寄存器

22. 5. 2 寄存器描述

22. 5. 2. 1 控制寄存器 1(BS16T1_CON1)

控制寄存器 1(BS16T1_CON1)																													
偏移地址：0x00																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																								ARPEN				SPMEN	UERSEL	DISUE	CNTEN

—	Bits 31-8	—	—
ARPEN	Bit 7	R/W	**自动重载缓冲功能开启** 发生更新事件时，将设定的值载入至影子寄存器中 0: BS16T1_AR 寄存器未缓冲 1: BS16T1_AR 寄存器具备缓冲
—	Bits 6-4	—	—
SPMEN	Bit 3	R/W	**单脉冲模式** 0: 单脉冲模式关闭，计数器不停止 1: 单脉冲模式开启，计数器在发生下一次更新事件时，会自动清除 CNTEN 位，并停止计数器
UERSEL	Bit 2	R/W	**更新事件请求来源选择** 设置更新事件(UPD)的来源 0: 下列事件都会产生更新中断或DMA的请求 – 计数器上溢 – 设置 BS16T1_SGE 寄存器的 SGUPD 位为 1 – 通过从模式控制器所生成的更新事件 1: 只有在计数器上溢时会生成更新中断或 DMA 的请求
DISUE	Bit 1	R/W	**更新事件关闭** 0: 更新事件(UPD)开启时，下列事件皆会产生更新事件请求并将影子寄存器加载预装载值 – 计数器上溢 – 设置 BS16T1_SGE 寄存器的 SGUPD 位为 1

			1: 更新事件(UPD)关闭时，不产生更新事件请求，BS16T1_AR 与 BS16T1_PRES 寄存器的影子寄存器数值保持不变。但设置 BS16T1_SGE 寄存器的 SGUPD 位为 1，计数器和预分频器仍会被重新初始化
CNTEN	Bit 0	R/W	**计数器开启** 开启计数器后，外部时钟模式、门控模式和编码模式才能运作。而触发模式则可以由硬件设置 CNTEN 位为 1 0: 计数器关闭 1: 计数器开启

22. 5. 2. 2 控制寄存器 2(BS16T1_CON2)

控制寄存器 2(BS16T1_CON2)

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																									MMSEL<2:0>						

—	Bits 31-7	—	—
MMSEL	Bit 6-4	R/W	**主模式选择** 设置在主模式下发送触发输出(TRGOUT)讯号到 ADC 输入。 000: 复位 - 设置 SGE 寄存器信号用于触发输出(TRGOUT)。 001: 使能 - 计数器的使能信号 CNTEN 用于触发输出(TRGOUT)。 010: 更新事件 - 更新事件被用于触发输出(TRGOUT)。 其他: 保留
—	Bits 3-0	—	—

22. 5. 2. 3 中断开启寄存器(BS16T1_IER)

中断开启寄存器(BS16T1_IER)																														
偏移地址：0x0C																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																															UPD

—	Bits 31-1	—	—
UPD	Bit 0	W1	**开启更新中断功能** 此位设置时，开启中断功能，硬件侦测更新事件时发生中断

22. 5. 2. 4 中断关闭寄存器(BS16T1_IDR)

中断关闭寄存器(BS16T1_IDR)																														
偏移地址：0x10																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																															UPD

—	Bits 31-1	—	—
UPD	Bit 0	W1	**关闭更新中断功能** 此位设置时，关闭更新中断功能

22. 5. 2. 5 中断功能有效状态寄存器(BS16T1_IVS)

中断功能有效状态寄存器(BS16T1_IVS)																														
偏移地址：0x14																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																															UPD

—	Bits 31-1	—	—
UPD	Bit 0	R	**更新中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态

BS16T1_IVS 寄存器，是实时反映系统配置 BS16T1_IER 与 BS16T1_IDR 的中断状态。 此寄存器状态是将 BS16T1_IER 与 BS16T1_IDR 进行硬件运算，公式如下：BS16T1_IVS = BS16T1_IER & ~BS16T1_IDR

22. 5. 2. 6 原始中断状态寄存器(BS16T1_RIF)

原始中断状态寄存器(BS16T1_RIF)																														
偏移地址：0x18																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																															UPD

—	Bits 31-1	—	—
UPD	Bit 0	R	**更新，原始中断状态** 0: 无发生中断 1: 已发生中断

22. 5. 2. 7 中断标志位状态寄存器(BS16T1_IFM)

中断标志位状态寄存器(BS16T1_IFM)																														
偏移地址：0x1C																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																															UPD

—	Bits 31-1	—	—
UPD	Bit 0	R	**更新，标志位中断状态** 0：无发生中断 1：已发生中断

BS16T1_IFM 寄存器，是滤除已关闭中断功能的中断事件，只关注开启中断功能的事件，此寄存器状态是将 BS16T1_RIF 与 BS16T1_IVS 进行硬件运算，公式如下：BS16T1_IFM = BS16T1_RIF & BS16T1_IVS

22. 5. 2. 8 中断清除寄存器(BS16T1_ICR)

中断清除寄存器(BS16T1_ICR)																														
偏移地址：0x20																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																															UPD

—	Bits 31-1	—	—
UPD	Bit 0	C_W1	**清除更新中断状态** 此位设置时，清除中断状态(BS16T1_RIF 与 BS16T1_IFM)

BS16T1_ICR 寄存器设置时，将清除 BS16T1_RIF 与 BS16T1_IFM 中断标志状态；此设置不影响中断 BS16T1_IER、BS16T1_IDR 与 BS16T1_IVS 寄存器，只清除标志状态 BS16T1_RIF 与 BS16T1_IFM。 此寄存器通过硬件清除中断，公式如下：BS16T1_RIF = BS16T1_RIF & ~BS16T1_ICR

22. 5. 2. 9 软件生成事件寄存器(BS16T1_SGE)

软件生成事件寄存器(BS16T1_SGE)																													
偏移地址：0x24																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																															SGUPD

—	Bits 31-1	—	—
SGUPD	Bit 0	T_W1	**软件触发更新事件** 该位由软件设置，可由硬件自动清零。 此位设置时，产生更新事件。重新初始化计数器，更新寄存器。 注: 预分频器也会被清零(但预分频比不会受到影响)。

22. 5. 2. 10 计数寄存器(BS16T1_COUNT)

计数寄存器(BS16T1_COUNT)																													
偏移地址：0x34																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																CNTV<15:0>															

—	Bits 31-16	—	—
CNTV	Bits 15-0	R/W	**计数器数值**

22. 5. 2. 11 预分频寄存器(BS16T1_PRES)

预分频寄存器(BS16T1_PRES)																															
偏移地址：0x38																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																PSCV<15:0>															

—	Bits 31-16	—	—
PSCV	Bit 15-0	R/W	**预分频数值** 当计数器时钟频率等于f_{INT_CLK}/(PSCV<15:0> + 1)时计数器递增。在更新事件产生时，将PSCV数值被载入影子寄存器中

22. 5. 2. 12 自动重载寄存器(BS16T1_AR)

自动重载寄存器(BS16T1_AR)																															
偏移地址：0x3C																															
复位值：0x0000 FFFF																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																ARV<15:0>															

—	Bits 31-16	—	—
ARV	Bits 15-0	R/W	**自动重载数值** 设置计数器的递增计数的边界重载值，设置数值为 0 时计数器停止计数

22. 5. 2. 13 DMA 事件开启寄存器(BS16T1_DMAEN)

DMA 事件开启寄存器(BS16T1_DMAEN)																													
偏移地址：0x58																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																															UPD

—	Bits 31-1	—	—
UPD	Bit 0	R/W	**更新事件的 DMA 请求开启** 0: 更新事件的 DMA 请求关闭 1: 更新事件的 DMA 请求开启

第23章 独立看门狗 (IWDT)

23. 1 概述

独立看门狗 IWDT 可用来检测软件和硬件异常引起的故障，如主时钟停振，用户程序异常无法喂狗等；当计数器达到给定的超时值时，将触发系统复位。

独立看门狗 IWDT，当硬件使能时，时钟强制为独立的 32.768 kHz LRC 时钟，且使用者无法通过软件关闭 IWDT。

独立看门狗 IWDT 最适合于独立于主程序之外，并且对时间精度要求较低的场合。

23. 2 特性

- 自由运行的递减计数器
- 由一个独立的 RC 振荡器驱动(在低优先模式下仍可操作)，复位条件如下:
  - 当向下递减计数器的值达到 0 时产生复位请求。
  - 当向下递减计数器的值处于窗口值之外时，被重新加载就会导致复位请求。

23. 3 结构图

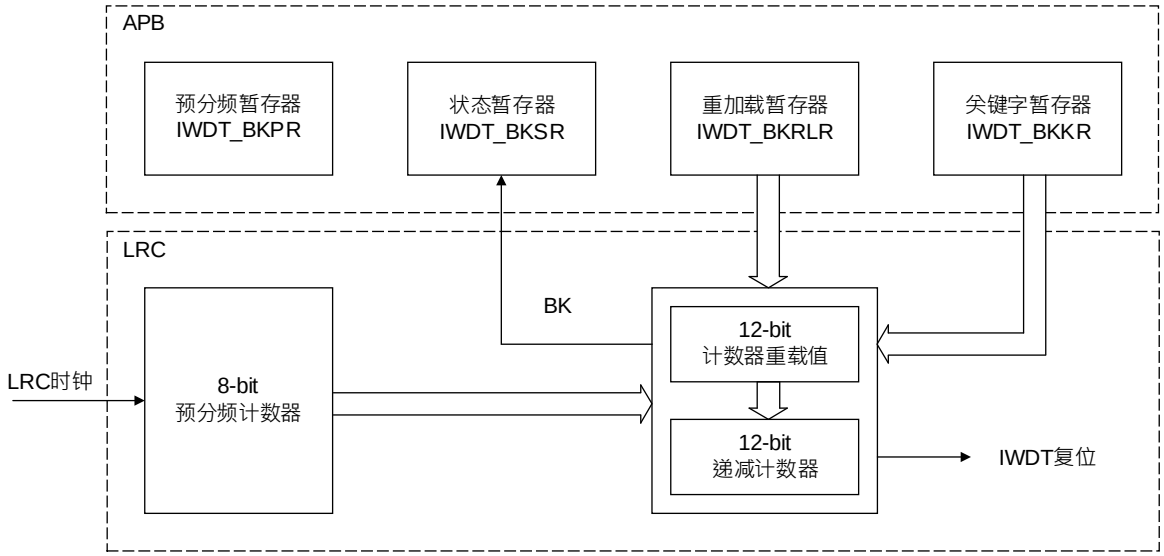


图 23-1 IWDT 架构图

当向独立看门狗的关键词寄存器初始化启动指令 0x0000CCCC 的时候，看门狗计数器开始由复位值 0xFFF 向下计数。

当计数值达到 0x000 的时候由独立看门狗发出复位信号。

启动后将关键词 0x0000AAAA 写到 **IWDT_BKKR** 寄存器中，可以使 **IWDT_BKRLR** 寄存器中的值被重载到看门狗计数器中，从而阻止即将发生的复位动作。

23. 4 功能描述

23. 4. 1 窗口选项

IWDT 也能够工作在窗口看门狗模式下，只要在 **IWDT_BKWINR** 寄存器中设置适当的值即可。

如果重加载操作执行的同时，看门狗计数器的值超出了窗口寄存器(**IWDT_BKWINR**)中存储的值，也会引起复位操作。

IWDT_BKWINR 的默认值是 0x00000FFF,所以如果没有改写它，那么窗口选项默认是关闭的。

当窗口选项使能时配置 IWDT

- 将 0x0000CCCC 写到 **IWDT_BKKR** 寄存器，使能 IWDT。
- 等待状态寄存器 **IWDT_BKFR**.BUSY 的值更新为 0。
- 向 **IWDT_BKKR** 寄存器写 0x00005555 打开寄存器访问许可。
- 等候状态寄存器 **IWDT_BKFR**.BUSY 的值更新为 0。
- 向 **IWDT_BKPR** 写 0~7 的值，以配置 IWDT 的预分频器。
- 等候状态寄存器 **IWDT_BKFR**.BUSY 的值更新为 0。
- 配置重加载寄存器(**IWDT_BKRLR**)。
- 等待状态寄存器 **IWDT_BKFR**.BUSY 的值更新为 0。
- 配置窗口寄存器 **IWDT_BKWINR**。
- 等候状态寄存器 **IWDT_BKFR**.BUSY 的值更新为 0。
- 将 **IWDT_BKRLR** 的值刷新到看门狗定时器(**IWDT_BKKR**=0x0000AAAA)。

当窗口选项被禁止时配置 IWDT

- 将 0x0000CCCC 写到 **IWDT_BKKR** 寄存器，使能 IWDT。
- 等候状态寄存器 **IWDT_BKFR**.BUSY 的值更新为 0。
- 向 **IWDT_BKKR** 寄存器写 0x00005555 打开寄存器访问许可。
- 等候状态寄存器 **IWDT_BKFR**.BUSY 的值更新为 0。
- 向 **IWDT_BKPR** 写 0~7 的值，以配置 IWDT 的预分频器。
- 等候状态寄存器 **IWDT_BKFR**.BUSY 的值更新为 0。
- 配置重加载寄存器(**IWDT_BKRLR**)。
- 等候状态寄存器 **IWDT_BKFR**.BUSY 的值更新为 0。
- 将 **IWDT_BKRLR** 的值刷新到看门狗定时器(**IWDT_BKKR**=0x0000AAAA)。

23. 4. 2 低功耗模式下的行为

使能 IWDT 后，则无法停止 IWDT。

23. 4. 2. 1 寄存器访问保护

默认条件下，对 IWDT_BKPR、IWDT_BKRLR 和 IWDT_BKWINR 的写访问操作都是受保护的。想要改变这一点，必须先向 IWDT_BKKR 写入 0x00005555 解锁码。如果向 IWDT_BKKR 写入别的值，寄存器的访问保护重新生效。这意味着在做重载入操作的时候(向该寄存器写入 0x0000AAAA)就属于这种情况。

预分频器的更新、看门狗计数器的重加载或窗口值的更新的状态，可以通过旗帜寄存器得知。

23. 4. 3 调试模式

当微控制器进入调试模式时(内核被暂停)，看门狗计数器可以继续运行，也可以被停止。

23. 5 特殊功能寄存器

23. 5. 1 寄存器列表

IWDT 寄存器列表			
名称	偏移地址	类型	描述
IWDT_BKKR	0080_H	W	IWDT 关键字寄存器
IWDT_BKPR	0084_H	R/W	IWDT 预分频寄存器
IWDT_BKRLR	0088_H	R/W	IWDT 重载入寄存器
IWDT_BKFR	$008C_H$	R	IWDT 旗帜寄存器
IWDT_BKWINR	0090_H	R/W	IWDT 窗口寄存器
IWDT_BKSR	0094_H	R	IWDT 状态寄存器

23. 5. 2 寄存器描述

23. 5. 2. 1 IWDT 关键字寄存器 (IWDT_BKKR)

此寄存器只允许使用 32 位存取。

IWDT 关键字寄存器 (IWDT_BKKR)																														
偏移地址：0x80																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																KEY<15:0>															

—	Bit 31-16	—	—
KEY	Bit 15-0	W	**关键值(只写，读的话会是 0x0000)** 这些位必须周期性的由软件写入 0xAAAA，否则当计数器向下计数到 0 的时候会产生硬件复位请求。 写入 0x5555 会使能对 IWDT_BKPR, IWDT_BKRLR 和 IWDT_BKWINR 三个寄存器的访问许可。 写入 0xCCCC 启动看门狗 注: 关键值只能在 IWDT_BKFR 寄存器中的 BUSY 位为零时更新。 注: 此寄存器没有提供字节读的功能(byte read)

23. 5. 2. 2 IWDT 预分频寄存器 (IWDT_BKPR)

此寄存器只允许使用 32 位存取。

IWDT 预分频寄存器 (IWDT_BKPR)																													
偏移地址：0x84																													
复位值：0x0000 0001																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																													PR<2:0>		

—	Bit 31-3	—	—
PR	Bit 2-0	R/W	**预分频器** 这些位平时处于写保护状态，由软件写入，用来选择对输入时钟的预分频系数。为了能够改变预分频器的分频系数，IWDT_BKFR 寄存器中的 BUSY 位必须先清零。 000: 4 分频 001: 8 分频 010: 16 分频 011: 32 分频 100: 64 分频 101: 128 分频 110: 256 分频 111: 256 分频 注: 如果正在对该寄存器执行写操作，则读取的值可能不是最新的/ 有效的。因此，从这个地方读数据的时候要保证 IWDT_BKFR 寄存器中的 BUSY 位为 0 才行。 由于此寄存器的值是由备份域而来，因此需读取两次才会是正确的值。 注: 此寄存器没有提供字节读的功能 (byte read)

23. 5. 2. 3 IWDT 重载入寄存器 (IWDT_BKRLR)

此寄存器只允许使用 32 位存取。

IWDT 重载入寄存器 (IWDT_BKRLR)																												
偏移地址：0x88																												
复位值：0x0000 0FFF																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																				RL<11:0>											

—	Bit 31-12	—	—
RL	Bit 11-0	R/W	**看门狗计数器重载值** 这些位平时处于写保护状态，这个值是由软件来设置的，并且每次向 IWDT_BKKR 寄存器写入 0xAAAA 的时候，这个值会被更新到看门狗计数器中，如果想延时长一点，这个值就该大一些。因为看门狗计数器正是从这个值开始向下计数。定时的长度是由这个值和预分频器的设置值来共同决定的。为了能够改变看门狗计数器重载值，IWDT_BKFR 寄存器中的 BUSY 位必须先清零。 注: 如果正在对该寄存器执行写操作，则读取的值可能不是最新的/ 有效的。因此，从这个地方读数据的时候要保证 IWDT_BKFR 寄存器中的 BUSY 位为 0 才行。 由于此寄存器的值是由备份域而来，因此需读取两次才会是正确的值。 注: 此寄存器没有提供字节读的功能(byte read)

23. 5. 2. 4 IWDT 旗帜寄存器 (IWDT_BKFR)

此寄存器只允许使用 32 位存取。

IWDT 旗帜寄存器 (IWDT_BKFR)																													
偏移地址：0x8C																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																BUSY															

—	Bit 31-16	—	—
BUSY	Bit 15	R	**寄存器更新** 该位由硬件设置，以指示关键值、预分频器、重载或窗口值正在进行更新。当完成更新操作后(需要多达 33 个 PCLK 周期)，会通过硬件将该位复位。 必须等到 BUSY 位被清零后，才能更新关键值或预分频器或重载或窗口值。 注: 此寄存器没有提供字节读的功能(byte read)
—	Bit 14-0	—	—

23. 5. 2. 5 IWDT 窗口寄存器 (IWDT_BKWINR)

此寄存器只允许使用 32 位存取。

IWDT 窗口寄存器 (IWDT_BKWINR)																												
偏移地址：0x90																												
复位值：0x0000 0FFF																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																				WIN<11:0>											

—	Bit 31-12	—	—
WIN	Bit 11-0	R/W	**看门狗计数器窗口值** 这些位平时处于写保护状态，这些位包含的是窗口值和向下计数器的比较上限。为了阻止复位信号的产生，必须在向下计数器递减到窗口值和 0x0 之间的某个值时重加载它。 要想改变这个窗口值，必须先保证 IWDT_BKFR 中的 BUSY 位为 0。 注: 如果正在对该寄存器执行写操作，则读取的值可能不是最新的/有效的。因此，从这个地方读数据的时候要保证 IWDT_BKFR 寄存器中的 BUSY 位为 0 才行。 由于此寄存器的值是由备份域而来，因此需读取两次才会是正确的值。 注: 此寄存器没有提供字节读的功能(byte read)

23. 5. 2. 6 IWDT 状态寄存器 (IWDT_BKSR)

此寄存器只允许使用 32 位存取。

IWDT 状态寄存器 (IWDT_BKSR)																												
偏移地址：0x94																												
复位值：0x0000 0FFF																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																				CNT<11:0>											

—	Bit 31-12	—	—
CNT	Bit 11-0	R	**12-bit 计数器(MSB to LSB)** 这些位包含看门狗计数器的值。 注: 由于此寄存器的值是由备份域而来，因此需读取两次才会是正确的值。 注: 此寄存器没有提供字节读的功能(byte read)

第24章 窗口看门狗 (WWDT)

24. 1 概述

窗口看门狗通常被用来监测，由外部干扰或不可预见的逻辑条件造成的应用程序背离正常的运行序列而产生的软件故障。窗口看门狗 WWDT 对于过早或过晚喂狗都将产生 WWDT 复位，可用于检测软件没有喂狗或在禁止喂狗区内喂狗行为，防止程序运行至不可控状态。看门狗电路在达到预置的时间周期时，如果 7 位的递减计数器数值(在控制寄存器中) 未被刷新，会产生一个 MCU 复位。在递减计数器达到窗口寄存器数值之前，如果 7 位的递减计数器数值被刷新，那么也将产生一个 MCU 复位。这表明递减计数器需要在一个有限的时间窗口中被刷新。

WWDT 时钟从 APB1 时钟预分频，适合要求看门狗在一个精确时间窗口内做出反应的应用程序。

24. 2 特性

- 可配置的递减计数器
- 看门狗被启动后，复位产生的条件
  - 当递减计数器的值从 0x3F 翻转时，则产生复位。
  - 当递减计数器在窗口外被重新装载，则产生复位。
- 提前唤醒中断：如果启用中断，当递减计数器等于 0x40 时产生提前唤醒中断。

24. 3 结构图

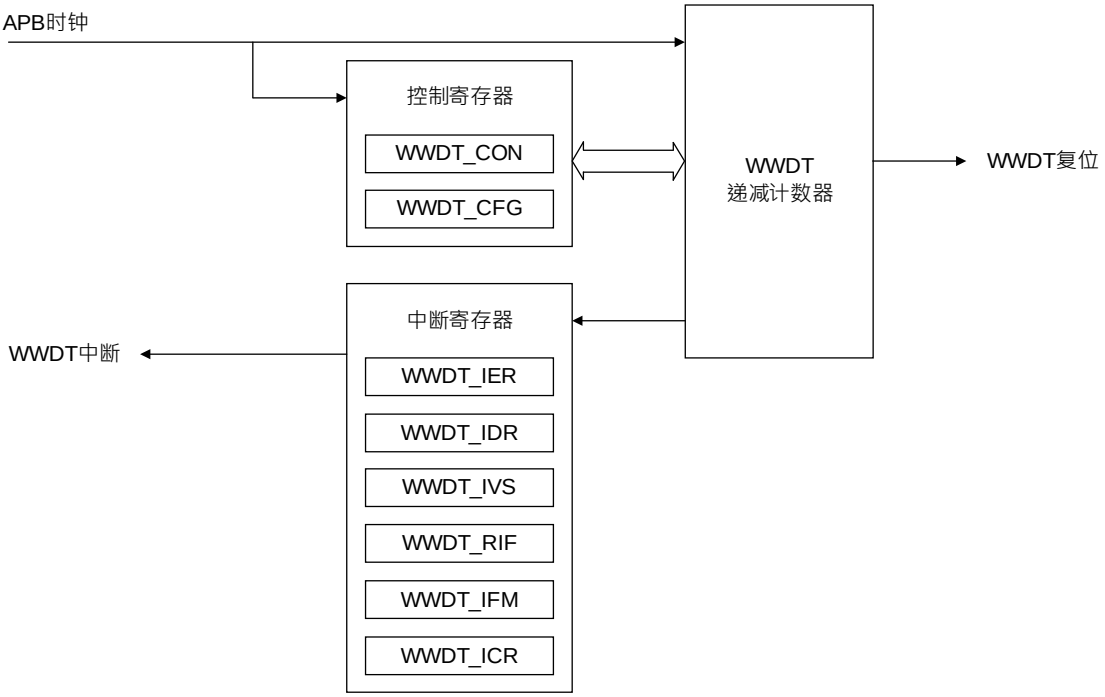


图 24-1 WWDT 架构图

24. 4 功能描述

上电复位后，窗口看门狗不启动，需通过软件配置使能窗口看门狗(**WWDT_CON** 寄存器中的 WDGA 位被置’1’)。当 7 位(T[6:0])递减计数器从 0x3F 翻转时，则产生一个复位。如果软件在计数器值大于窗口寄存器中的数值时重新装载计数器，将产生一个复位。

应用程序在正常运行过程中必须定期地写入 **WWDT_CON** 寄存器以防止 MCU 发生复位。只有当计数器值小于窗口寄存器的值时，才能进行写操作。储存在 **WWDT_CON** 寄存器中的数值必须在 0xFF 和 0xC0 之间。

24. 4. 1 启用看门狗

设置 **WWDT_CON** 寄存器的 WDGA 位能够开启看门狗，随后它不能再被关闭，除非发生复位。

24. 4. 2 控制递减计数器

递减计数器处于自由运行状态：即使看门狗被禁止，递减计数器仍继续递减计数。

T[5:0]位包含了看门狗产生复位之前的计时数目，配置寄存器(**WWDT_CFG**)中包含窗口的上限值：要避免产生复位，递减计数器必须在其值小于窗口寄存器的数值并且大于 0x3F 时被重新装载。

24. 4. 3 高级看门狗中断功能

如果在实际复位产生之前必须进行特定的安全操作或数据记录，可以用提前唤醒中断。设置 **WWDT_IER** 寄存器中的 EWI 位开启该中断。在复位之前当递减计数器到达 0x40 时，则产生此中断，同时可以用相应的中断服务程序(ISR)来触发特定的行为(例如通信或数据记录)，在某些应用中，提前唤醒中断可以用来管理软件系统检测和/或系统恢复，但不产生 WWDT 复位。在这种情况下，相应的中断服务程序(ISR)将重加载 WWDT 计数器，以避免 WWDT 复位。

注：当提前唤醒中断无法启用时，例如由于系统锁定在更高优先级任务，最终将产生 WWDT 复位。

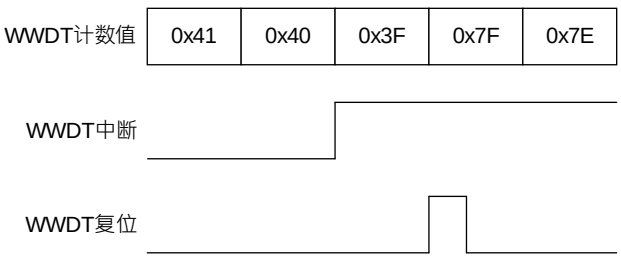


图 24-2 WWDT 中断示意图

24. 4. 4 如何配置看门狗超时

计算超时的公式如下：

$t_{WWDT}=t_{PCLK}$x 4096 x 2^{WDGTB} x (t[5:0]+1) (ms)

其中：

t_{WWDT}：WWDT 超时时间

t_{PCLK}：APB1 以 ms 为单位的时钟周期

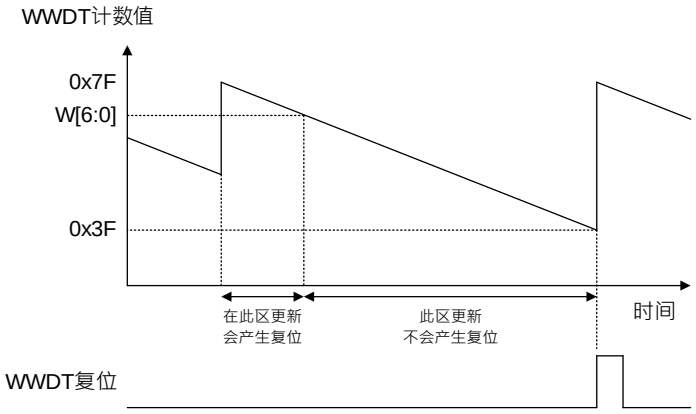


图 24-3 WWDT 时序图

24. 4. 5 调试模式

当微控制器进入调试模式时(内核被暂停)，看门狗计数器可以继续运行，也可以被停止。

24. 5 特殊功能寄存器

24. 5. 1 寄存器列表

WWDT 寄存器列表			
名称	偏移地址	类型	描述
WWDT_CON	000_H	R/W	WWDT 控制寄存器
WWDT_CFG	004_H	R/W	WWDT 配置寄存器
WWDT_IER	008_H	W1	WWDT 中断使能寄存器
WWDT_IDR	$00C_H$	W1	WWDT 中断禁止寄存器
WWDT_IVS	010_H	R	WWDT 中断有效位状态寄存器
WWDT_RIF	014_H	R	WWDT 原始中断状态寄存器
WWDT_IFM	018_H	R	WWDT 中断标志位状态寄存器
WWDT_ICR	$01C_H$	C_W1	WWDT 中断清除寄存器

24. 5. 2 寄存器描述

24. 5. 2. 1 WWDT 控制寄存器 (WWDT_CON)

WWDT 控制寄存器 (WWDT_CON)																												
偏移地址：0x00																												
复位值：0x0000 007F																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																								WDGA	T<6:0>						

—	Bit 31-8	—	—
WDGA	Bit 7	R/S_W1	**启动位** 此位由软件置'1'，但仅能由硬件在复位后清'0'。 当 WDGA=1 时，看门狗可以产生复位 0: 写入 0 无效 1: 启用看门狗
T	Bit 6-0	R/W	**7-bit 计数器(MSB to LSB)** 这些位用来存储看门狗的计数器值。每 $(4096x2^{WDGTB[1:0]})$ 个 PCLK 周期减 1。当计数器值从 0x3F 翻转时，产生看门狗复位。

24. 5. 2. 2 WWDT 配置寄存器 (WWDT_CFG)

WWDT 配置寄存器 (WWDT_CFG)																														
偏移地址：0x04																														
复位值：0x0000 007F																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																							WDGTB <1:0>		W<6:0>						

—	Bit 31-9	—	—
WDGTB	Bit 8-7	R/W	**时基** 预分频器的时基可以设置如下: 00: 计时器时钟(PCLK 除以 4096)分频器 1 01: 计时器时钟(PCLK 除以 4096)分频器 2 10: 计时器时钟(PCLK 除以 4096)分频器 4 11: 计时器时钟(PCLK 除以 4096)分频器 8
W	Bit 6-0	R/W	**7-bit 窗口值** 这些位包含了用来与递减计数器进行比较用的窗口值

24. 5. 2. 3 WWDT 中断开启寄存器 (WWDT_IER)

WWDT 中断开启寄存器 (WWDT_IER)																														
偏移地址：0x08																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																															EWI

—	Bit 31-1	—	—
EWI	Bit 0	W1	**开启提前唤醒中断** 0: 写入 0 无效 1: 开启中断

24. 5. 2. 4 WWDT 中断关闭寄存器 (WWDT_IDR)

WWDT 中断关闭寄存器 (WWDT_IDR)																													
偏移地址：0x0C																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																															EWI

—	Bit 31-1	—	—
EWI	Bit 0	W1	**关闭提前唤醒中断** 0: 写入 0 无效 1: 关闭中断

24. 5. 2. 5 WWDT 中断功能有效状态寄存器 (WWDT_IVS)

WWDT 中断功能有效状态寄存器 (WWDT_IVS)																													
偏移地址：0x10																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																															EWI

—	Bit 31-1	—	—
EWI	Bit 0	R	**提前唤醒中断功能状态** 0: 禁止中断 1: 启用中断

24. 5. 2. 6 WWDT 原始中断状态寄存器 (WWDT_RIF)

WWDT 原始中断状态寄存器 (WWDT_RIF)																													
偏移地址：0x14																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																															EWI

—	Bit 31-1	—	—
EWI	Bit 0	R	**提前唤醒原始中断状态** 当计数器的值由 0x40 递减到 0x3F 并启用中断时，该位由硬件设置。

24. 5. 2. 7 WWDT 中断标志位状态寄存器 (WWDT_IFM)

WWDT 中断标志位状态寄存器 (WWDT_IFM)																													
偏移地址：0x18																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																															EWI

—	Bit 31-1	—	—
EWI	Bit 0	R	**提前唤醒中断标志位状态** 当计数器的值由 0x40 递减到 0x3F 并启用中断时，该位由硬件设置。

24. 5. 2. 8 WWDT 中断清除寄存器 (WWDT_ICR)

WWDT 中断清除寄存器 (WWDT_ICR)																													
偏移地址：0x1C																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																															EWI

—	Bit 31-1	—	—
EWI	Bit 0	R	**提前唤醒中断清除** 这个位是用软件来设定的。写入“1”以清除中断。

第25章 实时时钟 (RTC)

25. 1 概述

Real Time Clock (RTC)可提供用户准确的时间以及日期信息，这些信息皆以 BCD 的格式存储在 RTC 控制寄存器内部，同时提供用户自定义设定闹铃功能与硬件自动定时校准功能。RTC 的时钟来源分为 2 种供用户选择，分别为外部 32.768 KHz 的晶体振荡器以及内部约 32 KHz 的 RC 振荡器。此外，RTC 也支持将系统从低功耗模式唤醒的功能，同时当系统处在低功耗模式时，RTC 仍可持续计时。

25. 2 特性

- 支持日历显示：年、月、日。
- 支持时间显示：星期、小时、分钟、秒。
- 日历与时间皆以 BCD 格式储存。
- 支持闰年侦测功能。
- 支持用户设置 RTC 计数器校准功能，最高支持±0.00745ppm 的高精度校准。
- 支持用户自行设定闹铃中断功能。
- 支持年、月、日、星期、小时、分钟、秒的翻转(Rollover)中断。
- 支持在睡眠模式下保持计数。
- 支持用户自行配置睡眠计数器。
- 支持最长 16777216 秒(194 天)的睡眠计数。
- 支持侦测日历、时间是否已被清除。

25. 3 结构图

RTC 主要分为 2 个部分，第一个部分为 RTC 计数器，第二个部分为 RTC 时间存储与闹铃。RTC 计数器的部分主要负责计算日期以及时间，并提供将系统从睡眠模式下唤醒系统的功能。而另一个部分则是提供日期以及时间的读取，同时根据使用者所设定的闹铃发出中断。

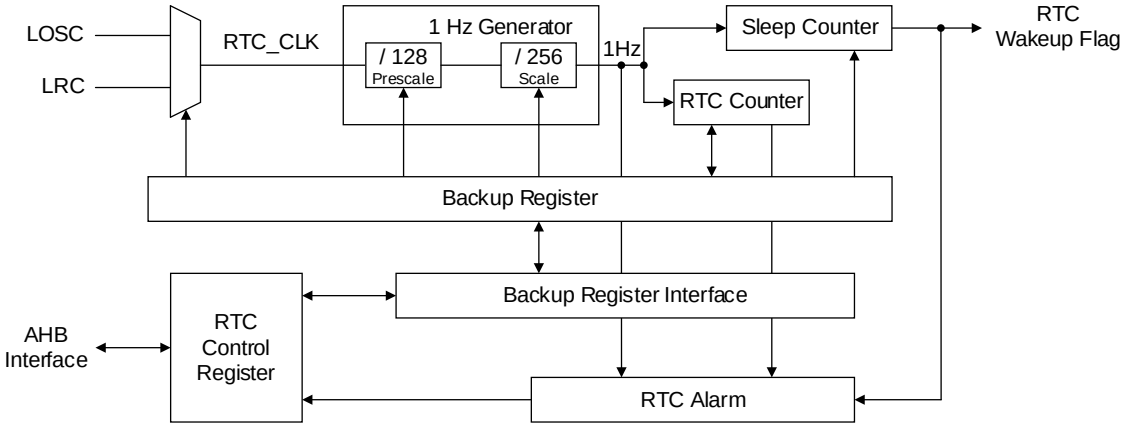


图 25-1 RTC 架构图

25. 4 功能描述

25. 4. 1 设定并开启 RTC

在开启 RTC 计数之前，必须在开启 RTC 计数前，先对 **RTC_CAL** 填入日期以及在 **RTC_TIME** 填入时间，日期以及时间皆须以 BCD 格式填入。当日期与时间信息接填入完毕以后，可设定 **RTC_CTRL** 内的 CKSEL 来选择 RTC 时钟的来源为 LOSC 或是 LRC。紧接着必须依据所选的 RTC 时钟来源设定 PSCALE 与 SCALE 来产生不同的分频系数，由此产生准确的 1 秒 (1Hz) 信号，在默认情况下这 2 个寄存器是将 RTC 时钟除上 32768 来产生 1 秒信号。

当设定完成后，即可设定 **RTC_EN** 来开启 RTC 的功能。在 RTC 计数期间，为了确保日期以及时间不能随意更改，因此会暂时锁定 **RTC_CAL** 以及 **RTC_TIME** 的写入功能，若需要更改 RTC 的日期以及时间，则必须关闭 RTC 计数功能以后才能够进行修改。

25. 4. 2 读取 RTC 日期与时间

由于 RTC 日期与时间的计数是在备份寄存器区，因此每一秒皆须将日期以及时间同步回 AHB 的寄存器，为了确保使用者不会读取到错误的时间信息，在读取 RTC 日期以及时间之前，可以先去检查 **RTC_STA** 寄存器内部的 SYNDONE 信号，当此信号被设置为 1 时代表已同步完成，若此信号为 0 则代表 RTC 正在同步备份寄存器区的时间信息。

此外，使用者也可以设定 **RTC_BKEN** 来开启直接读取备份寄存器内部所保存的日期以及时间如果通过备份寄存器接口直接读取日期与时间的话，需等待 19 个 AHB 时钟的读取时间。读取

完毕以后，需自行手动关闭 **RTC_BKEN** 。

当系统进入 STANDBY0 模式以上的低功耗模式后，会暂时关闭 1.5 伏域的电源，导致 RTC 控制寄存器内的时间信息被清除。当系统从 STANDBY0 模式以上的低功耗模式唤醒后，需要额外等待 1 秒的时间让 RTC 控制寄存器同步备份寄存器区的时间信息，或是直接通过备份寄存器接口读取日期与时间。

25. 4. 3 RTC 校准

由于 RTC 时钟的来源并非准确的 32.768 kHz，因此需要针对 RTC 所使用的时钟进行频率补偿，以确保能计算出准确的 1 秒。校准数值的计算方式如下：

- 方法 1：在 RTC 不开起校准功能的情况下，直接量测 RTC 连续计时数日后与标准时间的误差值(ppm)。
- 方法 2：利用 RTC 1Hz 信号触发 Timer 计数，利用 Timer 的计数数值推算出 RTC 1Hz 的误差值(ppm)。举例来说，当系统频率为 8MHz，利用 RTC 1Hz 触发 Timer 计数，则 Timer 每一秒锁计算出的数值会接进于 8000000，因此可利用 8000000 减去 Timer 的计数数值，即可推算出误差值(ppm)。在使用此方法时，需注意 Timer 所推算出的误差值会受限于系统时钟的精准度。

当计算完 RTC 1Hz 的误差值(ppm)以后，将误差值(ppm)先后乘上 32768 与 4096，即可得到 RTC 的校准数值。将此数值填入 **RTC_CALIB** 内的 CALIB，并设定 MODE 选择使用 RTC 正校准模式或是 RTC 负校准模式，最后再设定 CALIBEN 开启硬件自动定时校准功能。

25. 4. 3. 1 RTC 校准示例 1(实际频率高于预期频率)

预期频率：32768 Hz。

实际频率：32770.5 Hz。

准数值：(32770.5 – 32768) X 4096 = +10240。

校准步骤如下：

1. 设定 **RTC_CALIB** 内 CALIB 的数值为 10240。
2. 设定 **RTC_CALIB** 内 MODE 为 0 开启正校准功能。
3. 设定 **RTC_CALIB** 内 CALIB 开启 RTC 校准功能。
4. 需注意， **RTC_CALIB** 寄存器仅支持 32 位读/写。

25. 4. 3. 2 RTC 校准示例 2(实际频率低于预期频率)

预期频率：32768 Hz。

实际频率：32766.5 Hz。

准数值：(32766.5 – 32768) X 4096 = -6144。

校准步骤如下：

1. 设定 **RTC_CALIB** 内 CALIB 的数值为 6144。
2. 设定 **RTC_CALIB** 内 MODE 为 1 开启负校准功能。
3. 设定 **RTC_CALIB** 内 CALIB 开启 RTC 校准功能。
4. 需注意， **RTC_CALIB** 寄存器仅支持 32 位读/写。

25. 4. 4 RTC 睡眠计数器

RTC 的睡眠计数器可以自行设定 RTC_WKUP 内部的 WKSEL 来决定开启计数的时间点，当使用者设定 WKSEL 为 0x0 时代表不使用 RTC 的睡眠计数器；当设定 WKSEL 为 0x1 时，此时睡眠计数器可当成一般计数器使用，使用者可以设定 WKCAL 来决定要计数多少秒，当计数完成时可发出中断信号通知；当设定 WKSEL 为 0x2 时，睡眠计数器会在系统进入低功耗模式以后开始计数，并于计数完成时唤醒系统。可设定至 16777216 秒，即 194 天。由于 RTC 的睡眠计数器也可以设定计数周期。使用者可以设定 WKSCAL 来决定睡眠计数器的计数周期，分别为 1/2 秒，1/4 秒，1/8 秒或是 1/16 秒计数一次。

25. 4. 5 RTC 闹铃

RTC 的闹铃会在 RTC 的日期或时间符合设定时发出中断通知使用者。使用者可设定 **RTC_ALEN** 打开 RTC 闹铃的种类，并于 **RTC_ALTIME** 以及 **RTC_ALCAL** 设定产生闹铃的时间。闹铃的种类分为秒闹铃，分钟闹铃，小时闹铃，星期闹铃，日闹铃，月闹铃，年闹铃以及日期与时间完全相符的闹铃。

25. 4. 6 RTC 触发 ADC

RTC 允许在中断条件满足时送出 ADC 的触发信号，用户可设置 **RTC_TRIG** 寄存器来决定要送出触发信号的条件，此触发信号会维持 32 个 AHB 时钟的宽度，确保在 AHB 时钟与 APB 时钟不等速时仍可成功触发 ADC 取样。

25. 5 特殊功能寄存器

25. 5. 1 寄存器列表

RTC 寄存器列表			
名称	偏移地址	类型	描述
RTC_CTRL	0000_H	R/W	RTC 控制寄存器
RTC_WKUP	0004_H	R/W	RTC 唤醒寄存器
RTC_TIME	0008_H	R/W	RTC 时间寄存器
RTC_CAL	$000C_H$	R/W	RTC 日期寄存器
RTC_CALIB	0010_H	R/W	RTC 校准寄存器
RTC_ALTIME	0020_H	R/W	RTC 时间闹钟寄存器
RTC_ALCAL	0024_H	R/W	RTC 日期闹钟寄存器
RTC_ALEN	0028_H	R/W	RTC 闹钟开关寄存器
RTC_TRIG	$002C_H$	R/W	RTC 触发事件控制寄存器
RTC_IER	0030_H	W	RTC 中断开启寄存器
RTC_IDR	0034_H	W	RTC 中断关闭寄存器
RTC_IVS	0038_H	R	RTC 中断功能有效状态寄存器
RTC_RIF	$003C_H$	R	RTC 原始中断状态寄存器
RTC_IFM	0040_H	R	RTC 中断标志位状态寄存器
RTC_ICR	0044_H	W	RTC 中断清除寄存器
RTC_STA	0050_H	R	RTC 状态寄存器
RTC_BKEN	0054_H	R/W	RTC 备份寄存器读取控制寄存器

25. 5. 2 寄存器描述

25. 5. 2. 1 RTC 控制寄存器(RTC_CTRL)

此寄存器只允许 32 位存取

RTC 控制寄存器(RTC_CTRL)																													
偏移地址：0x00																													
复位值：0x00FF 7F00																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								SCALE<7:0>									PSCALE<6:0>											CKSEL<1:0>			RTCEN

—	Bit 31-24	—	—
SCALE	Bits 23-16	R/W	**RTC 计数分频** SCALE 控制 RTC 时钟的分频。当 PSCALE 内的数值计数至 0 时，SCALE 的数值自动减 1。此分频计数器所能计数的最大值为 (SCALE+1)。
—	Bit 15	—	—
PSCALE	Bits 14-8	R/W	**RTC 计数预分频** PSCALE 控制 RTC 时中的预分频计数器。当 PSCALE 计数至 0 时，SCALE 的数值自动减 1。此分频计数器所能计数的最大值为 (PSCALE+1)。
—	Bits 7-4	—	—
CKSEL	Bits 3-2	R/W	**RTC 时钟源选择** 配置 CKSEL 选择 RTC 时钟的来源。 0x1: 选择 LOSC 当作 RTC 时钟源 0x2: 选择 LRC 当作 RTC 时钟源。
—	Bit 1	—	—
RTCEN	Bit 0	W1	**RTC 启动** 配置此位开启 RTC。当 RTCEN 为 1 以后，不再允许修改 CKSEL、PSCALE 与 SCALE 的数值。

25. 5. 2. 2 RTC 唤醒寄存器(RTC_WKUP)

此寄存器只允许 32 位存取

RTC 唤醒寄存器(RTC_WKUP)																													
偏移地址：0x04																													
复位值：0x00FF FFFF																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	WKSCAL<3:0>				WKSEL<1:0>		WKCAL<23:0>																							

—	Bits 31-30	—	—
WKSCAL	Bits 29-26	R/W	**RTC 唤醒计数器分频** 0x0: 唤醒计数器每 1 秒计数一次。 0x1: 唤醒计数器每 1/2 秒计数一次。 0x2: 唤醒计数器每 1/4 秒计数一次。 0x4: 唤醒计数器每 1/8 秒计数一次。 0x8: 唤醒计数器每 1/16 秒计数一次。
WKSEL	Bits 25-24	R/W	**RTC 唤醒计数启动事件选择** 0x0: 关闭 RTC 唤醒计数器。 0x1: 软件启动 RTC 唤醒计数器。 0x2: 进入低功号模式后启动 RTC 唤醒计数器。
WKCAL	Bits 23-0	R/W	**RTC 唤醒计数值** 以秒为单位进行配置，最多可配置(WKCAL+1)秒。

25. 5. 2. 3 RTC 时间寄存器(RTC_TIME)

此寄存器只允许 32 位存取

RTC 时间寄存器(RTC_TIME)																												
偏移地址：0x08																												
复位值：0x0000 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	WEEK<2:0>			—	—	HOUR_T<1:0>		HOUR_U<3:0>				—	MIN_T<2:0>			MIN_U<3:0>				—	SEC_T<2:0>			SEC_U<3:0>			

—	Bits 31-27	—	—
WEEK	Bits 26-24	R/W	**星期值** 以 BCD 格式储存，数值介于 1 ~ 7，代表周一至周日。
—	Bits 23-22	—	—
HOUR_T	Bits 21-20	R/W	**小时(十位数)** 以 BCD 格式储存，数值介于 0 ~ 2。
HOUR_U	Bits 19-16	R/W	**小时(个位数)** 以 BCD 格式储存，数值介于 0 ~ 9。
—	Bit 15	—	—
MIN_T	Bits 14-12	R/W	**分(十位数)** 以 BCD 格式储存，数值介于 0 ~ 5。
MIN_U	Bits 11-8	R/W	**分(个位数)** 以 BCD 格式储存，数值介于 0 ~ 9。
—	Bit 7	—	—
SEC_T	Bits 6-4	R/W	**秒(十位数)** 以 BCD 格式储存，数值介于 0 ~ 5。
SEC_U	Bits 3-0	R/W	**秒(个位数)** 以 BCD 格式储存，数值介于 0 ~ 9。

25. 5. 2. 4 RTC 日期寄存器(RTC_CAL)

此寄存器只允许 32 位存取

RTC 日期寄存器(RTC_CAL)																													
偏移地址：0x0C																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	YEAR_T<3:0>				YEAR_U<3:0>				—	—	—	MON_T	MON_U<3:0>				—	—	DATE_T<1:0>		DATE_U<3:0>			

—	Bits 31-24	—	—
YEAR_T	Bits 23-20	R/W	**年(十位数)** 以 BCD 格式储存，数值介于 0 ~ 9。
YEAR_U	Bits 19-16	R/W	**年(个位数)** 以 BCD 格式储存，数值介于 0 ~ 9。
—	Bits 15-13	—	—
MON_T	Bit 12	R/W	**月(十位数)** 以 BCD 格式储存，数值介于 0 ~ 1。
MON_U	Bits 11-8	R/W	**月(个位数)** 以 BCD 格式储存，数值介于 0 ~ 9。
—	Bits 7-6	—	—
DATE_T	Bits 5-4	R/W	**日(十位数)** 以 BCD 格式储存，数值介于 0 ~ 3。
DATE_U	Bits 3-0	R/W	**日(个位数)** 以 BCD 格式储存，数值介于 0 ~ 9。

25. 5. 2. 5 RTC 校准寄存器(RTC_CALIB)

此寄存器只允许 32 位存取

RTC 校准寄存器(RTC_CALIB)																													
偏移地址：0x10																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CALIB <15:0>																—	—	—	—	—	—	—	—	—	—	—	—	—	—	MODE	CALIBEN

CALIB	Bits 31-16	R/W	**RTC 1Hz 校准值** RTC 1Hz 校准值。此数值的计算方式为: 32768 x LOSC/LRC 误差值(ppm) x 4096。举例来说，若 LOSC 的误差为 15ppm，则 CALIB 的数值应为 32768 x 15 x 10^{-6} x 4096 = 2013。
—	Bits 15-2	—	—
MODE	Bits 1	R/W	**RTC 校准模式** 0x0: 正校准。当 RTC 时钟频率高于 32.768KHz 时使用此模式。 0x1: 负校准。当 RTC 时钟频率低于 32.768KHz 时使用此模式。
CALIBEN	Bits 0	R/W	**RTC 校准开关** 设定为 1 开启 RTC 校准功能。开启校准功能以后，RTC 依据 CALIB 内的数值自动定期对 RTC 1Hz 计数器校准。

25. 5. 2. 6 RTC 时间闹钟寄存器(RTC_ALTIME)

RTC 时间闹钟寄存器(RTC_ALTIME)																													
偏移地址：0x20																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	WEEK<2:0>			—	—	HOUR_T<1:0>		HOUR_U<3:0>				—	MIN_T<2:0>			MIN_U<3:0>				—	SEC_T<2:0>			SEC_U<3:0>			

—	Bits 31-27	—	—
WEEK	Bits 26-24	R/W	**星期值闹钟** 以 BCD 格式储存，数值介于 1 ~ 7，代表周一至周日。
—	Bits 23-22	—	—
HOUR_T	Bits 21-20	R/W	**小时(十位数)闹钟** 以 BCD 格式储存，数值介于 0 ~ 2。
HOUR_U	Bits 19-16	R/W	**小时(个位数)闹钟** 以 BCD 格式储存，数值介于 0 ~ 9。
—	Bit 15	—	—
MIN_T	Bits 14-12	R/W	**分(十位数)闹钟** 以 BCD 格式储存，数值介于 0 ~ 5。
MIN_U	Bits 11-8	R/W	**分(个位数)闹钟** 以 BCD 格式储存，数值介于 0 ~ 9。
—	Bit 7	—	—
SEC_T	Bits 6-4	R/W	**秒(十位数)闹钟** 以 BCD 格式储存，数值介于 0 ~ 5。
SEC_U	Bits 3-0	R/W	**秒(个位数)闹钟** 以 BCD 格式储存，数值介于 0 ~ 9。

25. 5. 2. 7 RTC 日期闹钟寄存器(RTC_ALCAL)

RTC 日期闹钟寄存器 (RTC_ALCAL)																													
偏移地址：0x24																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	YEAR_T<3:0>				YEAR_U<3:0>				—	—	—	MON_T	MON_U<3:0>				—	—	DATE_T<1:0>		DATE_U<3:0>			

—	Bits 31-24	—	—
YEAR_T	Bits 23-20	R/W	**年(十位数)闹钟** 以 BCD 格式储存，数值介于 0 ~ 9。
YEAR_U	Bits 19-16	R/W	**年(个位数)闹钟** 以 BCD 格式储存，数值介于 0 ~ 9。
—	Bits 15-13	—	—
MON_T	Bit 12	R/W	**月(十位数)闹钟** 以 BCD 格式储存，数值介于 0 ~ 1。
MON_U	Bits 11-8	R/W	**月(个位数)闹钟** 以 BCD 格式储存，数值介于 0 ~ 9。
—	Bits 7-6	—	—
DATE_T	Bits 5-4	R/W	**日(十位数)闹钟** 以 BCD 格式储存，数值介于 0 ~ 3。
DATE_U	Bits 3-0	R/W	**日(个位数)闹钟** 以 BCD 格式储存，数值介于 0 ~ 9。

25. 5. 2. 8 RTC 闹钟开关寄存器(RTC_ALEN)

RTC 闹钟开关寄存器(RTC_ALEN)																														
偏移地址：0x28																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	YEAR	MONTH	DATE	WEEK	HOUR	MIN	SEC

—	Bits 31-7	—	—
YEAR	Bit 6	R/W	**年闹钟开关** 设定为 1 开启年闹钟。当 RTC_CAL 内年的数值与 RTC_ALCAL 内年的数值相同时可触发 RTC 中断。
MONTH	Bit 5	R/W	**月闹钟开关** 设定为 1 开启月闹钟。当 RTC_CAL 内月的数值与 RTC_ALCAL 内月的数值相同时可触发 RTC 中断。
DATE	Bit 4	R/W	**日闹钟开关** 设定为 1 开启日闹钟。当 RTC_CAL 内日的数值与 RTC_ALCAL 内日的数值相同时可触发 RTC 中断。
WEEK	Bit 3	R/W	**星期闹钟开关** 设定为 1 开启星期闹钟。当 RTC_TIME 内星期的数值与 RTC_ALTIME 内星期的数值相同时可触发 RTC 中断。
HOUR	Bit 2	R/W	**小时闹钟开关** 设定为 1 开启小时闹钟。当 RTC_TIME 内小时的数值与 RTC_ALTIME 内小时的数值相同时可触发 RTC 中断。
MIN	Bit 1	R/W	**分闹钟开关** 设定为 1 开启分闹钟。当 RTC_TIME 内分的数值与 RTC_ALTIME 内分的数值相同时可触发 RTC 中断。
SEC	Bit 0	R/W	**秒闹钟开关** 设定为 1 开启秒闹钟。当 RTC_TIME 内秒的数值与 RTC_ALTIME 内秒的数值相同时

			可触发 RTC 中断。

25. 5. 2. 9 RTC 触发事件控制寄存器(RTC_TRIG)

RTC 触发事件控制寄存器(RTC_TRIG)

偏移地址：0x2C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
															WKTM	F1HZ	RYEAR	RMON	RDATE	RWEEK	RHOUR	RMIN	RSEC	AMALL	AYEAR	AMON	ADATE	AWEEK	AHOUR	AMIN	ASEC

—	Bits 31-17	—	—
WKTM	Bit 16	R/W	**RTC 唤醒计数器计数完毕触发开关** 设定为 1 开启事件触发。当 RTC 唤醒计数器计数完毕后可送出触发信号。
F1HZ	Bit 15	R/W	**RTC 1Hz 触发开关** 设定为 1 开启事件触发。当 RTC 每计数完一秒后可送出触发信号。
RYEAR	Bit 14	R/W	**RTC 跨世纪触发开关** 设定为 1 开启事件触发。当 RTC_CAL 内年的数值从 99 回到 0 后可送出触发信号。
RMON	Bit 13	R/W	**RTC 跨年触发开关** 设定为 1 开启事件触发。当 RTC_CAL 内月的数值从 12 回到 1 后可送出触发信号。
RDATE	Bit 12	R/W	**RTC 跨月触发开关** 设定为 1 开启事件触发。当 RTC_CAL 内日的数值因进位而回到 1 后可送出触发信号。
RWEEK	Bit 11	R/W	**RTC 跨周触发开关** 设定为 1 开启事件触发。当 RTC_TIME 内周的数值从 7 回到 1 后可送出触发信号。
RHOUR	Bit 10	R/W	**RTC 跨日触发开关** 设定为 1 开启事件触发。当 RTC_TIME 内小时的数值从 23 回到 0 后可送出触发信号。
RMIN	Bit 9	R/W	**RTC 跨小时触发开关** 设定为 1 开启事件触发。当 RTC_TIME 内分的数值从 59 回到 0 后可送出触发信号。
RSEC	Bit 8	R/W	**RTC 跨分触发开关**

			设定为 1 开启事件触发。当 RTC_TIME 内秒的数值从 59 回到 0 后可送出触发信号。
AMALL	Bit 7	R/W	**RTC 全闹钟满足触发开关** 设定为 1 开启事件触发。当 RTC_TIME 与 RTC_CAL 内的数值与 RTC_ALTIME 与 RTC_ALCAL 的数值完全相符时可送出触发信号。使用此开关时，务必将 RTC_ALEN 内的所有闹钟更能打开。
AYEAR	Bit 6	R/W	**年闹钟触发开关** 设定为 1 开启事件触发。当年闹钟发生后可送出触发信号。
AMONTH	Bit 5	R/W	**月闹钟触发开关** 设定为 1 开启事件触发。当月闹钟发生后可送出触发信号。
ADATE	Bit 4	R/W	**日闹钟触发开关** 设定为 1 开启事件触发。当日闹钟发生后可送出触发信号。
AWEEK	Bit 3	R/W	**星期闹钟触发开关** 设定为 1 开启事件触发。当星期闹钟发生后可送出触发信号。
AHOUR	Bit 2	R/W	**小时闹钟触发开关** 设定为 1 开启事件触发。当小时闹钟发生后可送出触发信号。
AMIN	Bit 1	R/W	**分闹钟触发开关** 设定为 1 开启事件触发。当分闹钟发生后可送出触发信号。
ASEC	Bit 0	R/W	**秒闹钟触发开关** 设定为 1 开启事件触发。当秒闹钟发生后可送出触发信号。

25. 5. 2. 10 RTC 中断开启寄存器(RTC_IER)

RTC 中断开启寄存器(RTC_IER)																													
偏移地址：0x30																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WKTM	F1HZ	RYEAR	RMON	RDATE	RWEEK	RHOUR	RMIN	RSEC	AMALL	AYEAR	AMON	ADATE	AWEEK	AHOUR	AMIN	ASEC

—	Bits 31-17	—	—
WKTM	Bit 16	W	**开启 RTC 唤醒计数器计数完毕中断功能** 此位设置时，开启中断功能。
F1HZ	Bit 15	W	**开启 RTC 1Hz 中断功能** 此位设置时，开启中断功能。
RYEAR	Bit 14	W	**开启 RTC 跨世纪中断功能** 此位设置时，开启中断功能。
RMON	Bit 13	W	**开启 RTC 跨年中断功能** 此位设置时，开启中断功能。
RDATE	Bit 12	W	**开启 RTC 跨月中断功能** 此位设置时，开启中断功能。
RWEEK	Bit 11	W	**开启 RTC 跨周中断功能** 此位设置时，开启中断功能。
RHOUR	Bit 10	W	**开启 RTC 跨日中断功能** 此位设置时，开启中断功能。
RMIN	Bit 9	W	**开启 RTC 跨小时中断功能** 此位设置时，开启中断功能。
RSEC	Bit 8	W	**开启 RTC 跨分中断功能** 此位设置时，开启中断功能。
AMALL	Bit 7	W	**开启 RTC 全闹钟满足中断功能** 此位设置时，开启中断功能。
AYEAR	Bit 6	W	**开启年闹钟中断功能** 此位设置时，开启中断功能。
AMONTH	Bit 5	W	**开启月闹钟中断功能** 此位设置时，开启中断功能。
ADATE	Bit 4	W	**开启日闹钟中断功能** 此位设置时，开启中断功能。
AWEEK	Bit 3	W	**开启星期闹钟中断功能**

			此位设置时，开启中断功能。
AHOUR	Bit 2	W	**开启小时闹钟中断功能** 此位设置时，开启中断功能。
AMIN	Bit 1	W	**开启分闹钟中断功能** 此位设置时，开启中断功能。
ASEC	Bit 0	W	**开启秒闹钟中断功能** 此位设置时，开启中断功能。

25. 5. 2. 11 RTC 中断关闭寄存器(RTC_IDR)

RTC 中断关闭寄存器(RTC_IDR)

偏移地址：0x34

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WKTM	F1HZ	RYEAR	RMON	RDATE	RWEEK	RHOUR	RMIN	RSEC	AMALL	AYEAR	AMON	ADATE	AWEEK	AHOUR	AMIN	ASEC

—	Bits 31-17	—	—
WKTM	Bit 16	W	**关闭 RTC 唤醒计数器计数完毕中断功能** 此位设置时，关闭中断功能。
F1HZ	Bit 15	W	**关闭 RTC 1Hz 中断功能** 此位设置时，关闭中断功能。
RYEAR	Bit 14	W	**关闭 RTC 跨世纪中断功能** 此位设置时，关闭中断功能。
RMON	Bit 13	W	**关闭 RTC 跨年中断功能** 此位设置时，关闭中断功能。
RDATE	Bit 12	W	**关闭 RTC 跨月中断功能** 此位设置时，关闭中断功能。
RWEEK	Bit 11	W	**关闭 RTC 跨周中断功能** 此位设置时，关闭中断功能。
RHOUR	Bit 10	W	**关闭 RTC 跨日中断功能** 此位设置时，关闭中断功能。
RMIN	Bit 9	W	**关闭 RTC 跨小时中断功能** 此位设置时，关闭中断功能。
RSEC	Bit 8	W	**关闭 RTC 跨分中断功能** 此位设置时，关闭中断功能。
AMALL	Bit 7	W	**关闭 RTC 全闹钟满足中断功能**

			此位设置时，关闭中断功能。
AYEAR	Bit 6	W	**关闭年闹钟中断功能** 此位设置时，关闭中断功能。
AMONTH	Bit 5	W	**关闭月闹钟中断功能** 此位设置时，关闭中断功能。
ADATE	Bit 4	W	**关闭日闹钟中断功能** 此位设置时，关闭中断功能。
AWEEK	Bit 3	W	**关闭星期闹钟中断功能** 此位设置时，关闭中断功能。
AHOUR	Bit 2	W	**关闭小时闹钟中断功能** 此位设置时，关闭中断功能。
AMIN	Bit 1	W	**关闭分闹钟中断功能** 此位设置时，关闭中断功能。
ASEC	Bit 0	W	**关闭秒闹钟中断功能** 此位设置时，关闭中断功能。

25. 5. 2. 12 RTC 中断功能有效状态寄存器(RTC_IVS)

RTC 中断功能有效状态寄存器(RTC_IVS)

偏移地址：0x38

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WKTM	F1HZ	RYEAR	RMON	RDATE	RWEEK	RHOUR	RMIN	RSEC	AMALL	AYEAR	AMON	ADATE	AWEEK	AHOUR	AMIN	ASEC

—	Bits 31-17	—	—
WKTM	Bit 16	R	**RTC 唤醒计数器计数完毕中断功能开启/关闭状态** 0: 中断功能处于关闭状态。 1: 中断功能处于开启状态。
F1HZ	Bit 15	R	**RTC 1Hz 中断功能开启/关闭状态** 0: 中断功能处于关闭状态。 1: 中断功能处于开启状态。
RYEAR	Bit 14	R	**RTC 跨世纪中断功能开启/关闭状态** 0: 中断功能处于关闭状态。 1: 中断功能处于开启状态。
RMON	Bit 13	R	**RTC 跨年中断功能开启/关闭状态**

			0: 中断功能处于关闭状态。 1: 中断功能处于开启状态。
RDATE	Bit 12	R	**RTC 跨月中断功能开启/关闭状态** 0: 中断功能处于关闭状态。 1: 中断功能处于开启状态。
RWEEK	Bit 11	R	**RTC 跨周中断功能开启/关闭状态** 0: 中断功能处于关闭状态。 1: 中断功能处于开启状态。
RHOUR	Bit 10	R	**RTC 跨日中断功能开启/关闭状态** 0: 中断功能处于关闭状态。 1: 中断功能处于开启状态。
RMIN	Bit 9	R	**RTC 跨小时中断功能开启/关闭状态** 0: 中断功能处于关闭状态。 1: 中断功能处于开启状态。
RSEC	Bit 8	R	**RTC 跨分中断功能开启/关闭状态** 0: 中断功能处于关闭状态。 1: 中断功能处于开启状态。
AMALL	Bit 7	R	**RTC 全闹钟满足中断功能开启/关闭状态** 0: 中断功能处于关闭状态。 1: 中断功能处于开启状态。
AYEAR	Bit 6	R	**年闹钟中断功能开启/关闭状态** 0: 中断功能处于关闭状态。 1: 中断功能处于开启状态。
AMONTH	Bit 5	R	**月闹钟中断功能开启/关闭状态** 0: 中断功能处于关闭状态。 1: 中断功能处于开启状态。
ADATE	Bit 4	R	**日闹钟中断功能开启/关闭状态** 0: 中断功能处于关闭状态。 1: 中断功能处于开启状态。
AWEEK	Bit 3	R	**星期闹钟中断功能开启/关闭状态** 0: 中断功能处于关闭状态。 1: 中断功能处于开启状态。
AHOUR	Bit 2	R	**小时闹钟中断功能开启/关闭状态** 0: 中断功能处于关闭状态。 1: 中断功能处于开启状态。
AMIN	Bit 1	R	**分闹钟中断功能开启/关闭状态** 0: 中断功能处于关闭状态。 1: 中断功能处于开启状态。

ASEC	Bit 0	R	**秒闹钟中断功能开启/关闭状态** 0: 中断功能处于关闭状态。 1: 中断功能处于开启状态。

注: RTC_IVS 寄存器，是实时反映系统配置 RTC_IER 与 RTC_IDR 的中断开启状态。此寄存器状态是将 RTC_IER 与 RTC_IDR 进行硬件运算，公式如下：RTC_IVS = RTC_IER & ~RTC_IDR

25. 5. 2. 13 RTC 原始中断状态寄存器(RTC_RIF)

RTC 原始中断状态寄存器(RTC_RIF)

偏移地址：0x3C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WKTM	F1HZ	RYEAR	RMON	RDATE	RWEEK	RHOUR	RMIN	RSEC	AMALL	AYEAR	AMON	ADATE	AWEEK	AHOUR	AMIN	ASEC

—	Bits 31-17	—	—
WKTM	Bit 16	R	**RTC 唤醒计数器计数完毕，原始中断状态** 0: 无发生中断。 1: 已发生中断。
F1HZ	Bit 15	R	**RTC 1Hz，原始中断状态** 0: 无发生中断。 1: 已发生中断。
RYEAR	Bit 14	R	**RTC 跨世纪，原始中断状态** 0: 无发生中断。 1: 已发生中断。
RMON	Bit 13	R	**RTC 跨年，原始中断状态** 0: 无发生中断。 1: 已发生中断。
RDATE	Bit 12	R	**RTC 跨月，原始中断状态** 0: 无发生中断。 1: 已发生中断。
RWEEK	Bit 11	R	**RTC 跨周，原始中断状态** 0: 无发生中断。 1: 已发生中断。
RHOUR	Bit 10	R	**RTC 跨日，原始中断状态** 0: 无发生中断。 1: 已发生中断。

RMIN	Bit 9	R	**RTC 跨小时，原始中断状态** 0: 无发生中断。 1: 已发生中断。
RSEC	Bit 8	R	**RTC 跨分，原始中断状态** 0: 无发生中断。 1: 已发生中断。
AMALL	Bit 7	R	**RTC 全闹钟满足，原始中断状态** 0: 无发生中断。 1: 已发生中断。
AYEAR	Bit 6	R	**年闹钟，原始中断状态** 0: 无发生中断。 1: 已发生中断。
AMONTH	Bit 5	R	**月闹钟，原始中断状态** 0: 无发生中断。 1: 已发生中断。
ADATE	Bit 4	R	**日闹钟，原始中断状态** 0: 无发生中断。 1: 已发生中断。
AWEEK	Bit 3	R	**星期闹钟，原始中断状态** 0: 无发生中断。 1: 已发生中断。
AHOUR	Bit 2	R	**小时闹钟，原始中断状态** 0: 无发生中断。 1: 已发生中断。
AMIN	Bit 1	R	**分闹钟，原始中断状态** 0: 无发生中断。 1: 已发生中断。
ASEC	Bit 0	R	**秒闹钟，原始中断状态** 0: 无发生中断。 1: 已发生中断。

25. 5. 2. 14 RTC 中断标志位状态寄存器(RTC_IFM)

RTC 中断标志位状态寄存器(RTC_IFM)																													
偏移地址：0x40																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
															WKTM	F1HZ	RYEAR	RMON	RDATE	RWEEK	RHOUR	RMIN	RSEC	AMALL	AYEAR	AMON	ADATE	AWEEK	AHOUR	AMIN	ASEC

—	Bits 31-17	—	—
WKTM	Bit 16	R	**RTC 唤醒计数器计数完毕，标志位中断状态** 0: 无发生中断。 1: 已发生中断。
F1HZ	Bit 15	R	**RTC 1Hz，标志位中断状态** 0: 无发生中断。 1: 已发生中断。
RYEAR	Bit 14	R	**RTC 跨世纪，标志位中断状态** 0: 无发生中断。 1: 已发生中断。
RMON	Bit 13	R	**RTC 跨年，标志位中断状态** 0: 无发生中断。 1: 已发生中断。
RDATE	Bit 12	R	**RTC 跨月，标志位中断状态** 0: 无发生中断。 1: 已发生中断。
RWEEK	Bit 11	R	**RTC 跨周，标志位中断状态** 0: 无发生中断。 1: 已发生中断。
RHOUR	Bit 10	R	**RTC 跨日，标志位中断状态** 0: 无发生中断。 1: 已发生中断。
RMIN	Bit 9	R	**RTC 跨小时，标志位中断状态** 0: 无发生中断。 1: 已发生中断。
RSEC	Bit 8	R	**RTC 跨分，标志位中断状态** 0: 无发生中断。 1: 已发生中断。

AMALL	Bit 7	R	**RTC 全闹钟满足，标志位中断状态** 0: 无发生中断。 1: 已发生中断。
AYEAR	Bit 6	R	**年闹钟，标志位中断状态** 0: 无发生中断。 1: 已发生中断。
AMONTH	Bit 5	R	**月闹钟，标志位中断状态** 0: 无发生中断。 1: 已发生中断。
ADATE	Bit 4	R	**日闹钟，标志位中断状态** 0: 无发生中断。 1: 已发生中断。
AWEEK	Bit 3	R	**星期闹钟，标志位中断状态** 0: 无发生中断。 1: 已发生中断。
AHOUR	Bit 2	R	**小时闹钟，标志位中断状态** 0: 无发生中断。 1: 已发生中断。
AMIN	Bit 1	R	**分闹钟，标志位中断状态** 0: 无发生中断。 1: 已发生中断。
ASEC	Bit 0	R	**秒闹钟，标志位中断状态** 0: 无发生中断。 1: 已发生中断。

RTC_IFM 寄存器，是滤除已关闭中断功能的中断事件，只关注开启中断功能的事件· 此寄存器状态是将 RTC_RIF 与 RTC_IVS 进行硬件运算，公式如下：RTC_IFM = RTC_RIF & RTC_IVS

25. 5. 2. 15 RTC 中断清除寄存器(RTC_ICR)

RTC 中断清除寄存器(RTC_ICR)																														
偏移地址：0x44																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
															WKTM	F1HZ	RYEAR	RMON	RDATE	RWEEK	RHOUR	RMIN	RSEC	AMALL	AYEAR	AMON	ADATE	AWEEK	AHOUR	AMIN	ASEC

—	Bits 31-17	—	—
WKTM	Bit 16	C_W1	**清除 RTC 唤醒计数器计数完毕中断状态** 此位设置时，清除中断状态(RTC_RIF 与 RTC_IFM)。
F1HZ	Bit 15	C_W1	**清除 RTC 1Hz 中断状态** 此位设置时，清除中断状态(RTC_RIF 与 RTC_IFM)。
RYEAR	Bit 14	C_W1	**清除 RTC 跨世纪中断状态** 此位设置时，清除中断状态(RTC_RIF 与 RTC_IFM)。
RMON	Bit 13	C_W1	**清除 RTC 跨年中断状态** 此位设置时，清除中断状态(RTC_RIF 与 RTC_IFM)。
RDATE	Bit 12	C_W1	**清除 RTC 跨月中断状态** 此位设置时，清除中断状态(RTC_RIF 与 RTC_IFM)。
RWEEK	Bit 11	C_W1	**清除 RTC 跨周中断状态** 此位设置时，清除中断状态(RTC_RIF 与 RTC_IFM)。
RHOUR	Bit 10	C_W1	**清除 RTC 跨日中断状态** 此位设置时，清除中断状态(RTC_RIF 与 RTC_IFM)。
RMIN	Bit 9	C_W1	**清除 RTC 跨小时中断状态** 此位设置时，清除中断状态(RTC_RIF 与 RTC_IFM)。
RSEC	Bit 8	C_W1	**清除 RTC 跨分中断状态** 此位设置时，清除中断状态(RTC_RIF 与 RTC_IFM)。

AMALL	Bit 7	C_W1	**清除 RTC 全闹钟满足中断状态** 此位设置时，清除中断状态(RTC_RIF 与 RTC_IFM)。
AYEAR	Bit 6	C_W1	**清除年闹钟中断状态** 此位设置时，清除中断状态(RTC_RIF 与 RTC_IFM)。
AMONTH	Bit 5	C_W1	**清除月闹钟中断状态** 此位设置时，清除中断状态(RTC_RIF 与 RTC_IFM)。
ADATE	Bit 4	C_W1	**清除日闹钟中断状态** 此位设置时，清除中断状态(RTC_RIF 与 RTC_IFM)。
AWEEK	Bit 3	C_W1	**清除星期闹钟中断状态** 此位设置时，清除中断状态(RTC_RIF 与 RTC_IFM)。
AHOUR	Bit 2	C_W1	**清除小时闹钟中断状态** 此位设置时，清除中断状态(RTC_RIF 与 RTC_IFM)。
AMIN	Bit 1	C_W1	**清除分闹钟中断状态** 此位设置时，清除中断状态(RTC_RIF 与 RTC_IFM)。
ASEC	Bit 0	C_W1	**清除秒闹钟中断状态** 此位设置时，清除中断状态(RTC_RIF 与 RTC_IFM)。

RTC_ICR 寄存器设置时，将清除 RTC_RIF 与 RTC_IFM 中断标志状态；此设置不影响中断 RTC_IER、RTC_IDR 与 RTC_IVS 寄存器，只清除标志状态 RTC_RIF 与 RTC_IFM。 此寄存器通过硬件清除中断，公式如下：
RTC_RIF = RTC_RIF & ~RTC_ICR

25. 5. 2. 16 RTC 状态寄存器(RTC_STAT)

RTC 状态寄存器 (RTC_STAT)																														
偏移地址：0x50																														
复位值：0x0000 0001																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																														SYNDONE	EMPTY

—	Bits 31-2	—	—
SYNDONE	Bit 1	R	**RTC 日历同步状态** 读取 RTC_TIME 与 RTC_CAL 寄存器前可检查 SYNDONE 的数值判断是否已同步完备份域的资料。 0: 数据正在进行同步。 1: 数据已同步完成。
EMPTY	Bit 0	R	**RTC 日历寄存器状态** 0: 未对 RTC_CAL 寄存器填入数值。 1: RTC_CAL 寄存器内数值不为 0。

25. 5. 2. 17 RTC 备份寄存器读取控制寄存器(RTC_BKEN)

RTC 备份寄存器读取控制寄存器(RTC_BKEN)																														
偏移地址：0x50																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																															BKEN

—	Bits 31-1	—	—
BKEN	Bit 0	R/W	**开启RTC备份寄存器读取** 0: 从RTC控制寄存器读取RTC_TIME与RTC_CAL寄存器的数值。 1: 从R备份寄存器读取RTC_TIME与RTC_CAL寄存器的数值。

第26章 串行通讯 (I2C)

26. 1 概述

I2C 是两线双向的串行传输总线，提供了一种简单有效的方法来实现设备之间的数据交换。

标准 I2C 是一个多主机总线且包括冲突检测与仲裁，如果有两个或两个以上的主机试图同时控制总线时，其仲裁可以防止数据损坏。提供了标准模式(Sm)、快速模式(Fm)与极快速模式(Fm+)供用户选择。并且也提供 SMBus(系统管理总线)与 PMBus(电源管理总线)。

26. 2 特性

- 配置为主机或从机
- 多主机模式
- 标准模式(高达 100 kHz)
- 快速模式(高达 400 kHz)
- 极快速模式(高达 1 MHz)
- 7 位与 10 位地址模式
- 提供 2 组 7 位从机地址(2 个地址，其中一个包括屏蔽功能)
- 提供所有 7 位地址接听模式
- 提供广播模式
- 可配置的建立时间和保持时间
- 可选择时钟延长
- 可配置数字滤波器
- 提供 DMA 传输
- 提供 SMBus 标准功能
- 硬件 PEC(封包错误检查)产生与 ACK 控制
- 命令与数据应答控制
- 提供地址解析通讯协议
- 提供可选择为主机或从设备
- 提供 SMBus 警报
- 提供侦测超时与空闲功能
- 提供 PMBus rev 1.1 标准功能

26. 3 结构图

关于 I2C 界面的结构如下图所示：

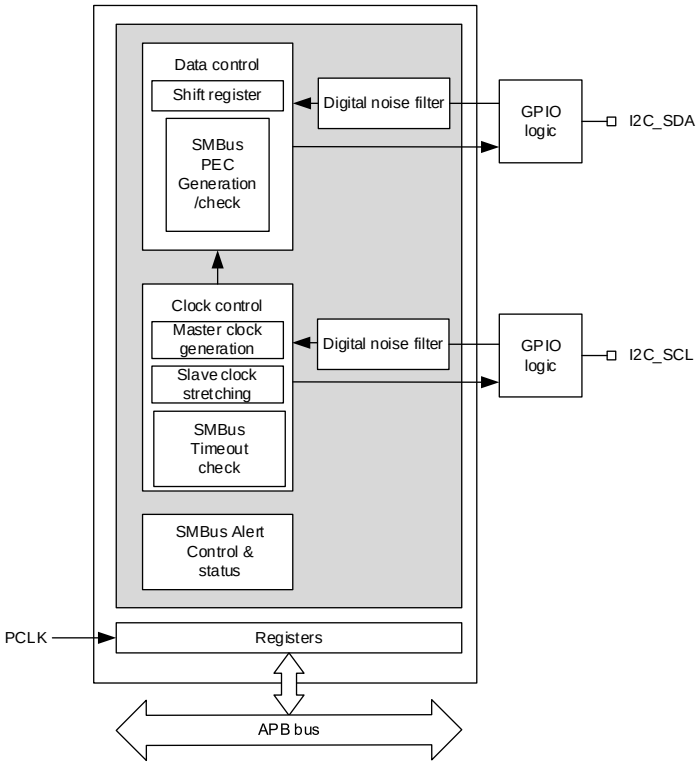


图 26-1 I2C 结构图

26. 4 功能描述

除了接收和发送数据外，该接口还将其从串行格式转换为并行格式，反之亦然。中断由软件开启或关闭。该接口通过数据引脚(SDA)和时钟引脚(SCL)连接到 I2C 总线。它可以连接标准模式(最高 100 kHz)，快速模式(最高 400 kHz)或极快速模式(最高 1 MHz)的 I2C 总线。

该接口也可通过数据引脚(SDA)和时钟引脚(SCL)连接到 SMBus。

如果支持 SMBus 功能：可以使用 SMBus 警报引脚(SMBA)。

26. 4. 1 I2C 总线协议

I2C 是一种双线双向串行总线，可在设备之间提供简单有效的数据交换方法。标准 I2C 是真正的多主机总线，包括冲突检测和仲裁，如果两个或多个主机同时尝试控制总线，可防止数据损坏。数据在主机和从机之间逐字节同步传输到串行数据(SDA)和串行时钟(SCL)在线，每个数据字节长度为 8 位。

26. 4. 1. 1 START 和 STOP 条件协议

I2C 规范将起始条件定义为 SDA 从高状态到低状态的转换，且 SCL 为高电平。起始条件由主机产生，表示总线从空闲状态转换为活动状态。每个数据位有一个 SCL 时钟脉冲，首先发送 MSB。每个传送的字节后面都有一个应答位。当 SCL 为高电平时，SDA 上的转换被解释为命令(START 或 STOP)。在 SCL 的高电平期间对每个位进行采样; 因此，SDA 仅可以在 SCL 的低电平期间改变，并且必须在 SCL 的高电平期间保持稳定。

当总线空闲时，SCL 和 SDA 都通过总线上的外部上拉电阻拉高。当主机想要在总线上开始传输时，主机发出 START 信号。这被定义为 SDA 从高到低的转换，且 SCL 为 1。当主机想要停止传输时，主机发出 STOP 条件。这被定义为 SDA 从低到高的转换，且 SCL 为 1。下图表示了 START 和 STOP 条件的时序。当数据在总线上传输时，当 SCL 为 1 时，SDA 必须稳定。

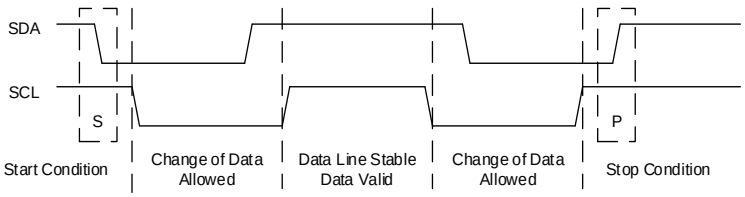


图 26-2 START 和 STOP 条件

26. 4. 1. 2 应答位

数据的传输必需带有应答位。应答位相关的时钟脉冲由主机产生。主机在应答时钟脉冲期间释放 SDA(高电平)。从机必须在应答时钟脉冲低电平期间下拉 SDA，以便在时钟脉冲的高电平期间保持稳定的低电平。当然，还必须考虑建立和保持时间。通常，已经被寻址的从机必须在接收到每个字节后产生应答，除非数据以 CBUS 地址开始。

当从机不应答从机地址时(例如，由于它正在执行某些实时功能而无法接收或发送)，从机必须将数据线保持为高电平。然后，主机可以产生 STOP 条件以中止传输，或者重复 START 条件以开启新传输。

如果从机应答了从机地址，但是，传输后的某个时间不能再接收数据字节，则主机必须中止传输。这由从机在随后的第一个字节上产生非应答来表示。从机使数据线保持高电平，主机产生 STOP 或重复 START 条件。

如果主机涉及接收传输，它必须通过不在从时钟输出的最后一个字节上产生非应答来向从机发送数据结束信号。从机必须释放数据线，以允许主机产生 STOP 或重复 START 条件。

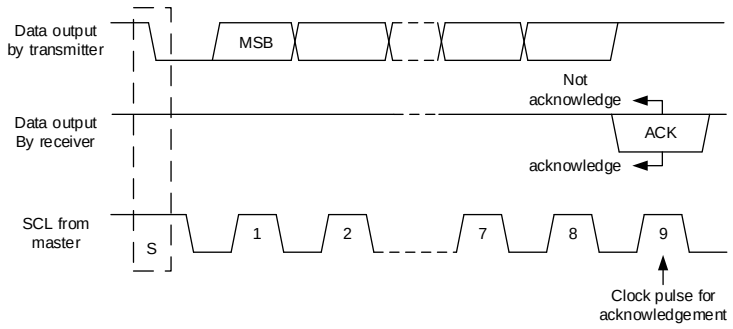


图 26-3 I2C 总线上的应答

26. 4. 1. 3 I2C 寻址从协议

有两种地址格式:7 位地址格式和 10 位地址格式。在 7 位地址格式期间，第一个字节的前 7 位(位 7:1)设置从地址，LSB 位(位 0)是 R/W 位。当位 8 设置为 0 时，主机写入从机。当位 8 设置为 1 时，主机从从机读取。数据首先传输最高有效位(MSB)。在 10 位寻址期间，传输两个字节以设置 10 位地址。第一个字节的传输包含以下位定义。前 5 位(位 7:3)通知从机这是一个 10 位传输，接着是后两位(位 2:1)，它为从机地址位 9:8，LSB 位(位 8)是 R/W 位。传输的第二个字节设置从地址的位 7:0。

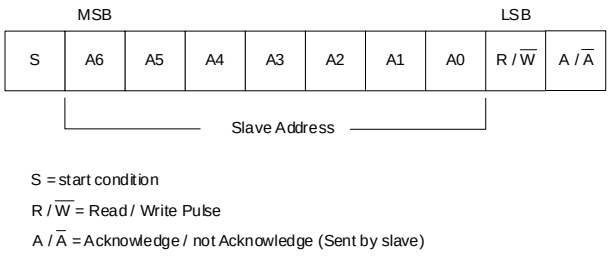


图 26-4 7 位地址格式

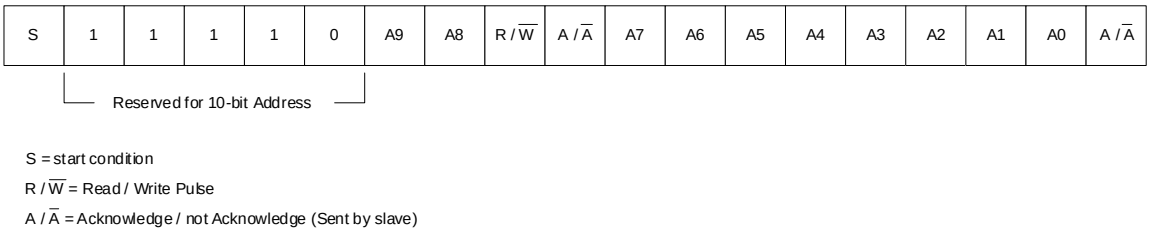


图 26-5 10 位地址格式

从地址	R/W位	描述
0000 000	0	广播地址
0000 000	1	START字节
0000 001	X	CBUS地址
1111 0XX	X	10位从机寻址

表 26-1 第一个字节中位的定义

26. 4. 1. 4 I2C 发送和接收协议

所有数据都以字节格式传输，对每次传输的字节数没有限制。在主机发送地址和 R/W 位或主机向从机发送一个字节数据后，接收的从机必须响应应答信号。当接收的从机没有响应应答脉冲时，主机通过发出 STOP 条件来中止传输。从机应使 SDA 保持高电平，以便主机可以中止传输。如果主机正在发送数据，则接收的从机在接收到每个数据字节后用应答脉冲响应主机。传输格式如下：

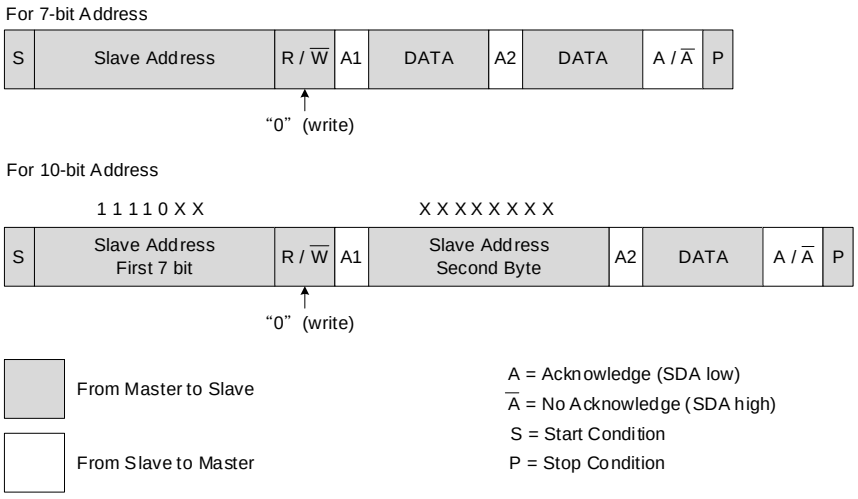


图 26-6 主机 - 发送协议

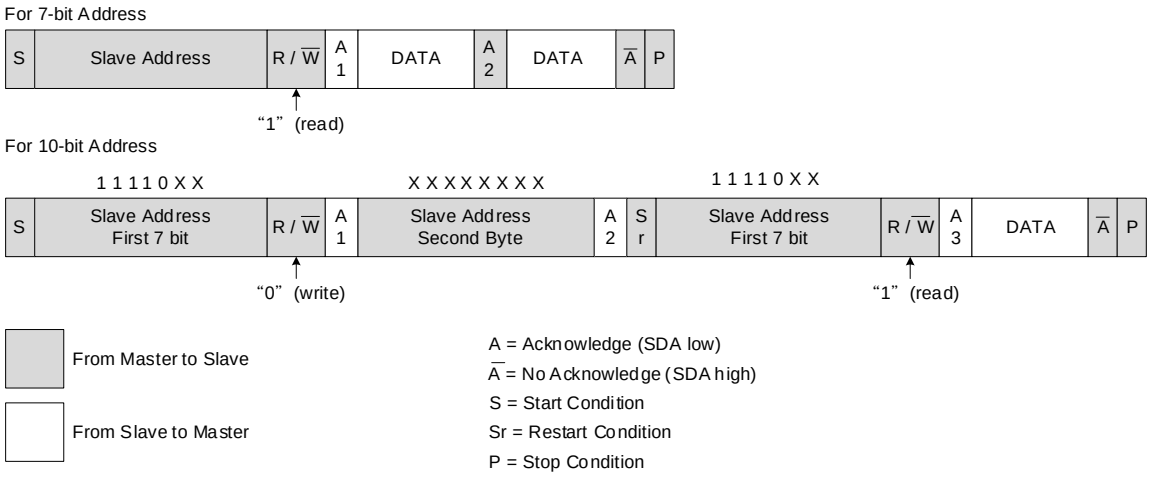


图 26-7 主机 - 接收协议

26. 4. 2 I2C 时钟要求

I2C 内核由 I2CCLK 提供时钟。

I2CCLK 周期 T_{I2CCLK} 必须符合以下条件：

$T_{I2CCLK} < (T_{LOW} - T_{Filter}) / 4$ 与 $T_{I2CCLK} < T_{HIGH}$

关于：

T_{LOW} ：SCL 低电平时间。

T_{HIGH}：SCL 高电平时间。

T_{Filter}：开启时，数字滤波器带来的延迟总和。数字滤波器延迟为 DNF x T_{I2CCLK}。

PCLK 时钟周期 T_{PCLK} 必须符合以下条件：

$T_{PCLK} < 4/3$ TSCL

T_{SCL}：SCL 周期。

26. 4. 3 数据传输

SDA 上的每个字节必须为 8 位长。每次传输可以传输的字节数不受限制，每个字节后面都必须有一个应答位，使用最高有效位(MSB)传输数据。如果从机不能接收或发送另一个完整的数据字节，则它可以将 SCL 保持为低电平以强制主机进入等待状态，直到它执行完了某些其他功能，例如服务于内部中断。当从机准备好接收另一个资料字节并释放 SCL 时，数据传输继续。

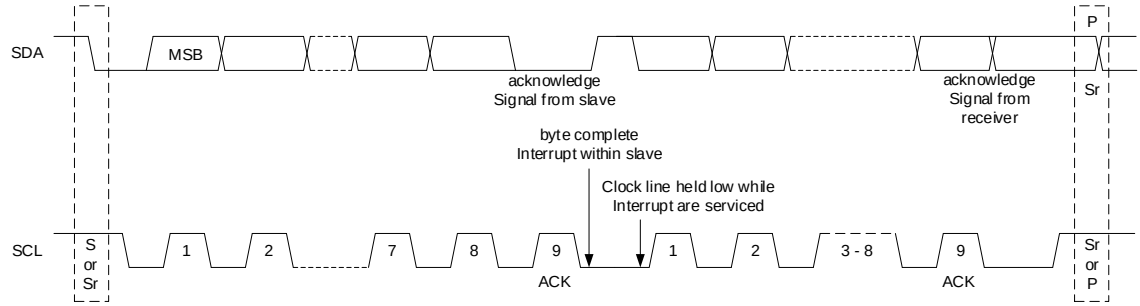


图 26-8 I2C 总线上的数据传输

接收

SDA 输入移位寄存器。在第 8 个 SCL 脉冲之后(当接收到完整的数据字节时)，如果 RXNE=1，表示尚未读取先前接收的数据字节，此时 SCL 会在第 9 个 SCL 脉冲之后延长，直到读取 **I2C_RXDATA** 寄存器，使得接收器为空。

传输

如果发送器不为空(TXE=0)，则在第 9 个 SCL 脉冲(应答脉冲)之后将其内容复制到移位寄存器中。然后移位寄存器的内容会在 SDA 上发送。如果 TXE=1，表示发送器尚未写入资料，SCL 将被拉低，直到通过写入 **I2C_TXDATA** 寄存器到发送器。延长 SCL 在第 9 个 SCL 脉冲之后完成。

硬件传输管理

I2C 在硬件中的带有字节计数器，以便管理字节传输并以各种模式关闭通信，例如:在主模式下产生 NACK、STOP 和 RESTART，从接收器模式下的 ACK 控制，支持 SMBus 功能时的 PEC 产生/检查。

字节计数器在主模式下使用。默认情况下，它在从机模式下关闭，但可以通过设置 **I2C_CON1** 寄存器中的 SBC 位(从机字节控制)位由软件开启。设置 **I2C_CON1** 寄存器和 **I2C_CON2** 寄存器中的 NBYTES[15:0]位选择要传输的字节数。如果要传送的字节数(NBYTES)大于 65535，或者接收的字节数(NBYTES)大于 255，或者接收时想要控制接收数据字节的应答值，则必须通过设置 **I2C_CON2** 寄存器中的 RELOAD 位为 1 来选择重载模式。在此模式下，当传送到 NBYTES 中所设置的字节数时，设置 TCR 位为 1，如果 **I2C_IER** 寄存器中的 TCR 位为 1，则会产生中断。只要设置了 TCR 位，SCL 就会被延长。当软件对 NBYTES 写入非零值时，硬件会自动清除 TCR。

当 NBYTES 计数器重载最后一个字节数时，必须清除 RELOAD 位。

当主模式下 RELOAD 位=0 时，计数器可用于 2 种模式：

- **自动结束模式(I2C_CON2** 寄存器中的 AUTOEND 位为 1)。在此模式下，一旦传输了 NBYTES[15:0]位的字节数，主机就会自动发送 STOP 条件。
- **软件结束模式(I2C_CON2** 寄存器中的 AUTOEND 位为 0)。在此模式下，一旦传输了 NBYTES[15:0]位的字节数，就会产生软件操作；设置 TC 位为 1，如果 **I2C_IER** 寄存器中的 TC 位为 1，则会产生中断。只要设置了 TC 位，SCL 就会被延长。当设置 **I2C_CON2** 寄存器中的 START 或 STOP 位为 1 时，TC 位由软件清零。当主机要发送 RESTART 条件时，必须使用此模式。

26. 4. 4 I2C 从机模式

I2C 从机初始化

为了在从机模式下工作，用户必须至少开启一个从机地址。两个地址 **I2C_ADDR1** 和 **I2C_ADDR2** 寄存器可用于设置从机自身地址 OA1 和 OA2。

- 如果需要额外的从地址，可以设置第二个从地址 OA2。通过设置 **I2C_ADDR2** 寄存器中的 OA2MSK[2:0]位，可以屏蔽最多 7 个 OA2 LSB。因此，对于设置为 1 至 6 的 OA2MSK 位，仅使用 OA2[7:2]、OA2[7:3]、OA2[7:4]、OA2[7:5]、OA2[7:6]或 OA2[7]与收到的地址相比较。一旦 OA2MSK 位不等于 0，OA2 的地址比较器就会排除未被应答的 I2C 保留地址(0000 XXX 和 1111 XXX)。如果 OA2MSK=7，则应答所有接收的 7 位地址(保留地址除外)。OA2 只能是 7 位地址。
  当 OA2MSK=0 的情况下且在 **I2C_ADDR1** 或 **I2C_ADDR2** 寄存器中的设置特定开启位，则可应答这些保留地址。通过设置 **I2C_ADDR2** 寄存器中的 OA2EN 位为 1 开启 OA2。

- 通过设置 **I2C_CON1** 寄存器中的 GCEN 位为 1 开启广播地址。

当其中一个开启地址选择 I2C 时，地址匹配中断标志状态设置为 1，如果 **I2C_IER** 寄存器中的 ADDR 位为 1，则会产生中断。

默认情况下，从机使用其时钟延长功能，这表示它在需要时将 SCL 拉到低电平，以执行软件操作。如果主机不支持时钟延长，则必须在 **I2C_CON1** 寄存器中的将 I2C 设置 NOSTRETCH 位为 1。

收到地址匹配中断后，如果开启了多个地址，用户必须读取 **I2C_STAT** 寄存器中的 ADDCODE[6:0]位，以检查匹配的地址以及检查 DIR 位以了解传输方向。

从机时钟延长(NOSTRETCH=0)

在默认模式下，I2C 从机在以下情况下延长 SCL 时钟：

- 在传输过程中，如果先前的数据传输完成且没有在 **I2C_TXDATA** 寄存器中的写入新资料。当资料写入 **I2C_TXDATA** 寄存器时，将释放此延长。
- 在接收过程中，尚未读取 **I2C_RXDATA** 寄存器。读取 **I2C_RXDATA** 寄存器将释放此延长。
- 从机字节控制模式下，当发生 TCR=1 时，重载模式(SBC 位=1 且 RELOAD 位=1)，表示

数据字节已被传输。此时通过在 NBYTES[15:0]字段中写入非零值清除 TCR 时，释放该延长。

- 从机应答控制模式下，当收到地址或数据时，每个字节的第 8 和第 9 个 SCL 脉冲之间会将延长 SCL。当设置应答位更新时，将会释放该延长并响应应答脉冲。
- 在 SCL 下降沿检测后，I2C 拉低电平延长 SCL 单位为 $[(SDADEL+SCLDEL+1) \times (PRESC+1) + 1] \times T_{I2CCLK}$

从机没有时钟延长(NOSTRETCH=1)

当 **I2C_CON1** 寄存器中的 NOSTRETCH 位为 1 时，I2C 从机不会延长 SCL。

- 在传输过程中，必须在与传输相对应的第一个 SCL 脉冲之前将数据写入 **I2C_TXDATA** 寄存器。如果不是，则发生下溢错误，在 **I2C_STAT** 寄存器中的 TXUD 位被 设置为 1，如果 **I2C_IER** 寄存器中的 TXUD 位为 1，则会产生中断。
- 在接收过程中，如果接收器非空时，必须在下一个数据字节的第 9 个 SCL 脉冲(应答脉冲)之前从 **I2C_RXDATA** 寄存器中的读取数据。如果发生溢出，在 **I2C_STAT** 寄存器中的 RXOV 位被设置为 1，如果 I2C_IER 寄存器中的 RXOV 位为 1，则会产生中断。

从机字节控制模式

为了在从机接收模式下允许字节 ACK 控制，必须通过设置 **I2C_CON1** 寄存器中的 SBC 位为 1 来开启从机字节控制模式。这需要符合 SMBus 标准。

必须选择重载模式，以便在从机接收模式(RELOAD 位=1)中允许字节控制。要控制每个字节，必须在 ADDR 中断子程序中将 NBYTES 初始化为 0x1，并在每个接收到的字节后重载到 0x1。当接收到该字节时，TCR 位被设置为 1，在第 9 个 SCL 脉冲之后将 SCL 拉低。用户可以从 **I2C_RXDATA** 寄存器读取资料，然后通过设置 **I2C_CON2** 寄存器中的 NACK 位决定下一个资料是否应答。通过将 NBYTES 设置为非零值来释放 SCL 延伸:发送应答或不应答。

NBYTES 可以加载大于 0x1 的值，在这种情况下，接收流程在 NBYTES 数据接收期间是连续的。

注：当关闭 I2C 时，才可设置 SBC 位。当 TCR=1 时，此时可以更改 RELOAD 位。

注：从机字节控制模式与 NOSTRETCH 模式不兼容。不允许在 NOSTRETCH=1 时设置 SBC 位。

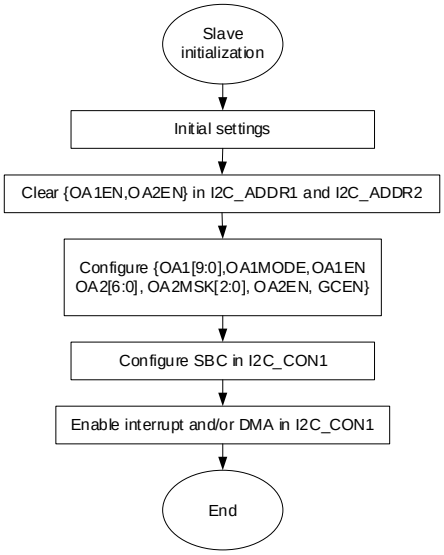


图 26-9 从机初始化流程图

从机传送

在接收到匹配的地址时，**I2C_RIF** 寄存器中的 ADDR 位被设置为 1，此时若 TX 已准备好要发送的数据时，从机会通过内部移位寄存器将 TX 中的字节发送到 SDA。若 TX 此时为空，从机会延长 SCL 低电平时间，直到 TX 通过 **I2C_TXDATA** 寄存器写入发送资料为止。

当发送成功，主机会回应答信号，当主机响应 NACK 时，此时 I2C_RIF 寄存器中的 NACK 位被设置为 1，此时从机会自动释放 SCL 与 SDA 总线让主机能够发送后续的 STOP 或 RESTART 命令。

当主机响应 STOP 时，此时 **I2C_RIF** 寄存器中的 STOP 位被设置为 1，并结束通信，等待下一次收到匹配的地址。然而，若 TX 内还有尚未传送的字节，使用者可以选择下一次地址匹配时，继续传送数据。

当从机字节控制开启时，设置 **I2C_CON1** 寄存器和 **I2C_CON2** 寄存器中的 NBYTES 位选择需要传送多少字节。

注意：当 NOSTRETCH 模式开启时，由于 SCL 时钟无法被延长，因此需要传送的字节需要被提前写入 I2C_TXDATA 寄存器。

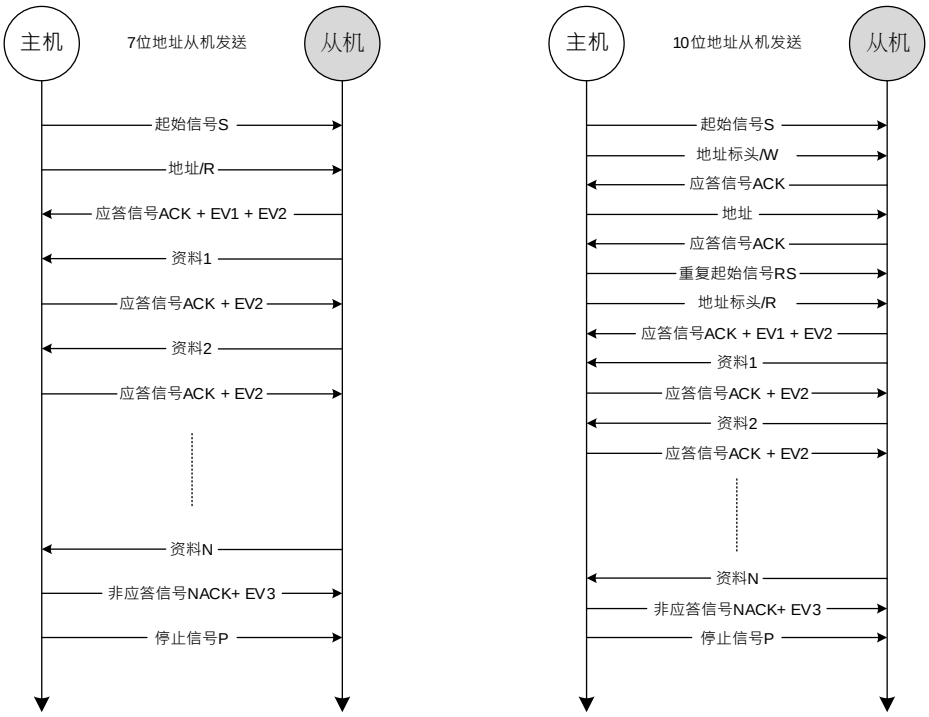


图 26-10 从机发送的传输序列图

注 1：S=起始位，RS=重复起始位，P=停止位，ACK=应答，NACK=非应答

注 2：EV1=当收到匹配地址时，I2C_RIF 寄存器中的 ADDR 位被设置为 1，设置 I2C_ICR 寄存器中的 ADDR 位为 1 来清除中断。

注 3：EV2=判断 I2C_STAT 寄存器中的 TXE 位，若为空写入资料至 I2C_TXDATA 寄存器。

注 4：EV3=当收到非应答信号 NACK 时，I2C_RIF 寄存器中的 NACK 位被设置为 1，设置 I2C_ICR 的 NACK 位为 1 来清除中断。此时还需判断 TX 是否还有尚未发送的字节，若有则软件需要额外处理。

注 5：如果软件列在当前传送字节传输结束之前尚未写入下一个字节，导致 TX 为空时，EV2 事件将会延长 SCL 时钟低电平时间。

从机接收

在接收到匹配的地址时，**I2C_RIF** 寄存器中的 ADDR 位被设置为 1，从机此时会通过内部移位寄存器将 SDA 上的字节保存到 RX 中，无论 RX 是否为空，从机都会自动发送应答信号，差异仅在应答信号发送后，非空时会延长 SCL 时钟低电平时间，等待软件读取 RX 字节后，才会释放 SCL 时钟。

当主机发送 STOP 时，此时 **I2C_RIF** 寄存器中的 STOP 位被设置为 1，并结束通信，等待下一次收到匹配的地址。

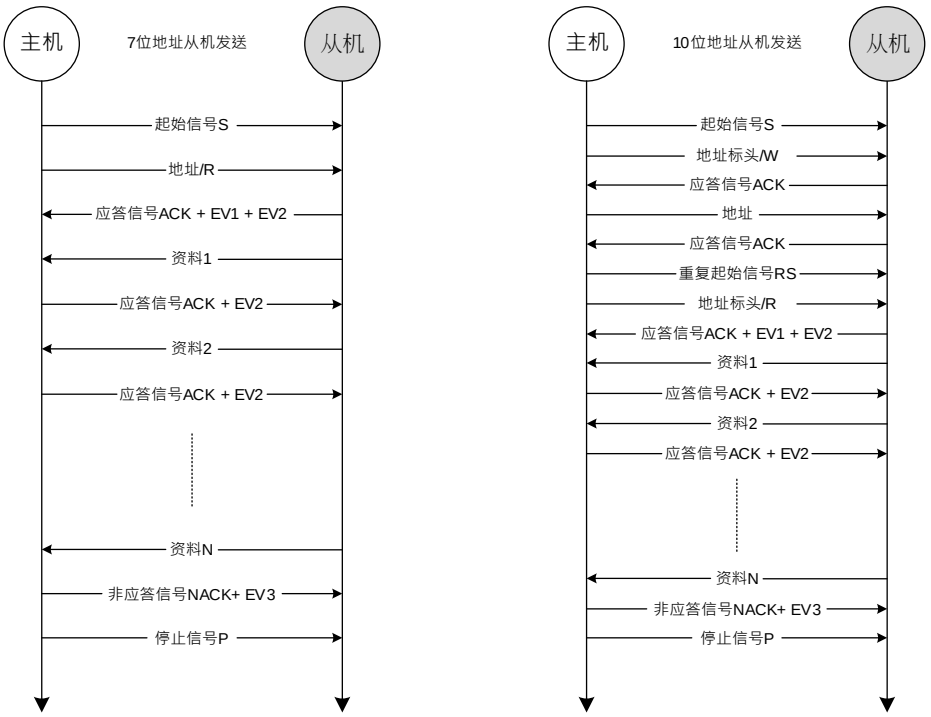


图 26-11 从机接收的传输序列图

注 1：S=起始位，RS=重复起始位，P=停止位，ACK=应答，NACK=非应答

注 2：EV1=当收到匹配地址时，I2C_RIF 寄存器中的 ADDR 位被设置为 1，设置 I2C_ICR 寄存器中的 ADDR 位为 1 来清除中断。

注 3：EV2=判断 I2C_STAT 寄存器中的 RXNE 位，若非空则读取 I2C_RXDATA 寄存器数据。

注 4：如果软件在当前传送字节传输结束时，导致 RX 非空，EV2 事件将会延长 SCL 时钟低电平时间。

26. 4. 5 I2C 主机模式

I2C 主机初始化

在开启外设之前，必须通过设置 **I2C_TIMINGR** 寄存器中的 SCLH 位和 SCLL 位来配置 I2C 主机时钟。实现同步时钟机制以支持多主机环境和从机时钟延长。

为了允许同步时钟：

- 从 SCL 低电平内部检测开始，使用 SCLL 计数器计数低电平时钟。
- 从 SCL 高电平内部检测开始，使用 SCLH 计数器计数高电平时钟。

根据 SCL 下降沿，I2C 在 T_{SYNC} 延迟后检测到自己的 SCL 低电平。一旦 SCLL 计数器达到 **I2C_TIMINGR** 寄存器中的 SCLL[7:0]位中设置的值，I2C 就会将 SCL 释放为高电平，同步 SCL 输入数字噪声滤波器和 SCL 与 I2CCLK 时钟。

在 T_{SYNC} 产生延迟后，I2C 会检测自己的 SCL 高电平，具体取决于 SCL 上升沿，同步 SCL 输入数字噪声滤波器和 SCL 与 I2CCLK 时钟。

一旦 SCLH 计数器达到设置 **I2C_TIMINGR** 寄存器中的 SCLH[7:0]位的数值，I2C 就会将 SCL 拉到低电平。

因此，主机时钟周期为：

$T_{SCL}=T_{SYNC1} + T_{SYNC2} + \{ [(SCLH+1) + (SCLL+1)] \times (PRESC+1) \times T_{I2CCLK} \}$

T_{SYNC1} 的持续时间取决于以下参数：

- SCL 下降斜率
- 启用时，数字滤波器引起的输入延迟：DNF x T_{I2CCLK}
- 由于 SCL 与 I2CCLK 时钟同步(2 至 3 个 I2CCLK 周期)导致的延迟

T_{SYNC2} 的持续时间取决于以下参数：

- SCL 上升斜率
- 开启时，数字滤波器引起的输入延迟：DNF x TI2CCLK
- 由于同步 SCL 与 I2CCLK 时钟(2 至 3 个 I2CCLK 周期)导致的延迟

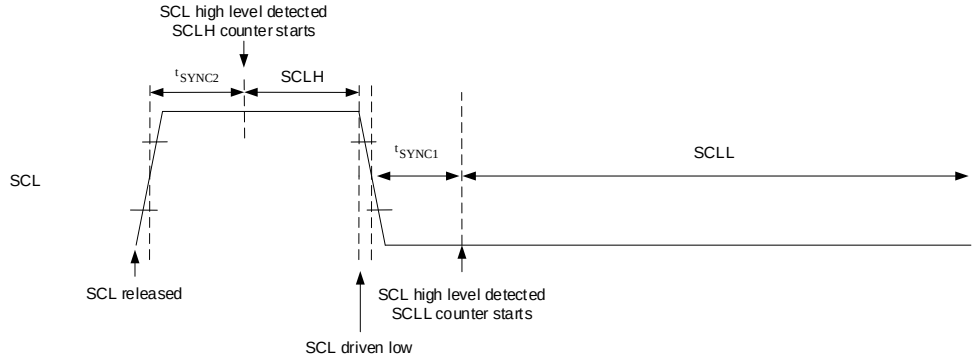


图 26-12 主机时钟产生

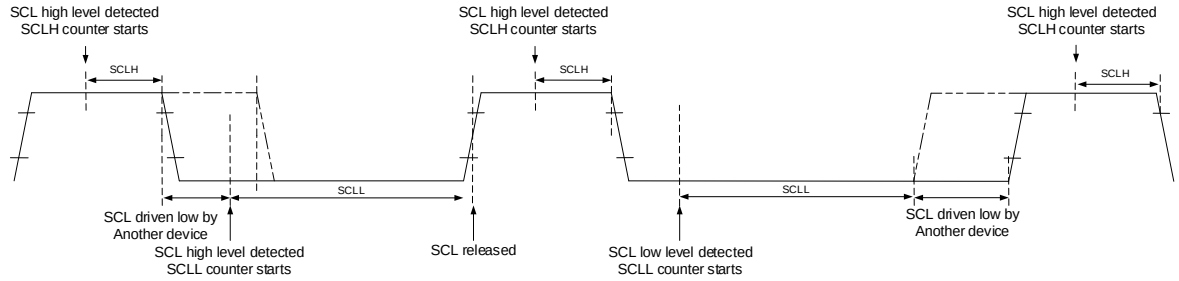


图 26-13 SCL 主机时钟同步

主机通信初始化(地址阶段)

为了开启通信，用户必须设置 **I2C_CON2** 寄存器中的寻址的从机参数：

- 寻址模式(7 位或 10 位)：ADD10
- 要发送的从站地址：SADD [9：0]
- 传输方向：RD_WRN
- 如果是 10 位地址读取：HEAD10R 位。必须配置 HEAD10R 位以指示是否必须发送完整的地址序列，或者仅在方向改变时发送地址标头。
- 要传输的字节数：NBYTES[15:0]。
  - 在传送模式：如果字节数等于或大于 65535 个字节，则 NBYTES[15:0]可以先填入 0xFFFF。
  - 在接收模式：如果字节数等于或大于 255 个字节，则 NBYTES[15:0]可以先填入 0x00FF。

然后，使用者必须设置 **I2C_CON2** 寄存器中的 START 位为 1。当 START 位为 1 时，不允许更改所有上述位。一旦检测到总线空闲(BUSY=0)后，主机就会自动发送 START 条件，再发送从机地址。

在仲裁丢失的情况下，主机自动切换回从机模式，如果它作为寻址从机，则可以应答自己的地址。

注：无论接收到的应答值是什么，当总线上的从机地址发送时，START 位由硬件清除。如果发生仲裁丢失，则 START 位也由硬件清除。在 10 位寻址模式下，当从机地址前 7 位被从机 NACK 时，主机将自动重复起始从机地址传输，直到收到 ACK。如果在 START 位为 1 时 I2C 被寻址为从机(ADDR=1)，则 I2C 切换到从机模式，当 ADDR 位为 1 时，START 位清零。

注：对重复起始条件应用相同的过程。在这种情况下，BUSY=1。

初始化主机 10 位从地址寻址接收模式

- 如果从机地址采用 10 位格式，用户可以通过清零 I2C_CON2 寄存器中的 HEAD10R 位来选择发送完整的读序列。在这种情况下，主机在 START 位为 1 后自动发送以下完整序列：起始+从机地址 10 位标头写+从机地址第 2 字节+重复起始+从机地址 10 位标头读取；
- 如果主机寻址 10 位地址从机，将数据发送到该从机，然后从同一从机读取数据，则必须先完成主机传输流程，然后使用 HEAD10R=1 配置的 10 位从地址设置重复起始。在这种情况下，主机发送此序列：重复起始+从机地址 10 位标头读取。

主机传送

在主机开始传送之前，需先设置 **I2C_CON1** 寄存器和 **I2C_CON2** 寄存器中的 NBYTES 位，当传输字节大于 65535 时，需要额外设置 RELOAD 位。在此配置下，当 NBYTES 配置的笔数传送完成后，**I2C_RIF** 寄存器中的 TCR 位被设置为 1，此时 SCL 时钟会保持低电平，直到 NBYTES 位重新写入新的数值以及对 **I2C_TXDATA** 寄存器写入发送数据后，才会继续进行传输。

当从机回应 NACK，**I2C_RIF** 寄存器中的 NACK 位被设置为 1，并且接下来主机会自动发送停止信号 STOP。

当从机响应 ACK，且 RELOAD 位=0、NBYTES 所配置的笔数都已经传完时，会有以下情况：

- 若 AUTOEND=1，此时会自动发送停止信号 STOP。
- 若 AUTOEND=0，此时主机会将 SCL 时钟保持低电平，等待软件控制后续操作：
  - RESTART：设置 **I2C_CON2** 寄存器中的 START 位为 1，此时会发送重复起始信号。
  - STOP：设置 **I2C_CON2** 寄存器中的 STOP 位为 1，此时会发送停止信号。

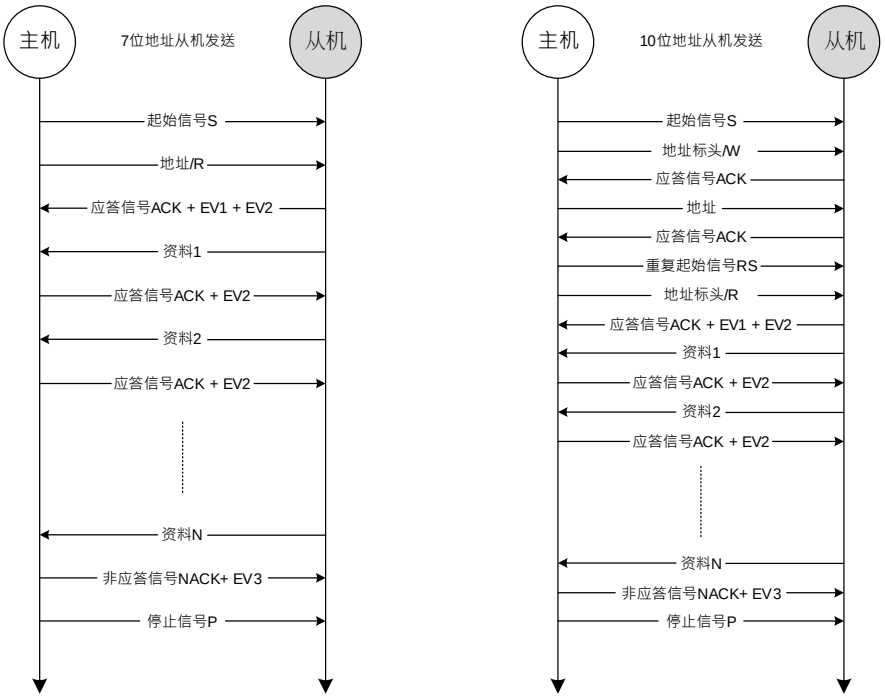


图 26-14 主机发送的传输序列图

注 1：S=起始位，RS=重复起始位，P=停止位，ACK=应答，NACK=非应答

注 2：EV1=传输尚未完成事件，判断 I2C_STAT 寄存器中的 TXE 位，若为空写入资料至 I2C_TXDATA 寄存器。

注 3：EV2=当收到应答信号 ACK 时，若传输已完成，后续操作为停止信号 STOP 或重复起始信号 RESTART。

注 4：EV3=当收到非应答信号 NACK 时，后续操作为停止信号 STOP。

注 5：如果软件列在当前传送字节传输结束之前尚未写入下一个字节，导致 TX 为空时，EV1 事件将会延长 SCL 时钟低电平时间。

主机接收

在主机开始接收之前，需先设置 **I2C_CON1** 寄存器和 **I2C_CON2** 寄存器中的 NBYTES 位，当传输字节大于 255 时，需要额外配置 RELOAD 位。在此配置下，当 NBYTES 配置的笔数传送完成后，**I2C_RIF** 寄存器中的 TCR 位被设置为 1，此时 SCL 时钟会保持低电平，直到 NBYTES 位重新写入新的数值后，才会继续进行传输。

当 RELOAD 位=0 并且 NBYTES 所配置的笔数都已经传完时，会有以下情况：

- 若 AUTOEND=1，此时会自动发送非应答信号 NACK 与停止信号 STOP。
- 若 AUTOEND=0，此时会自动发送非应答信号 NACK，并将 SCL 时钟保持低电平，等待软件控制后续操作：
  - RESTART：对 **I2C_CON2** 寄存器中的 START 位设置为 1，此时会发送重复起始信号。
  - STOP：对 **I2C_CON2** 寄存器中的 STOP 位设置为 1，此时会发送停止信号。

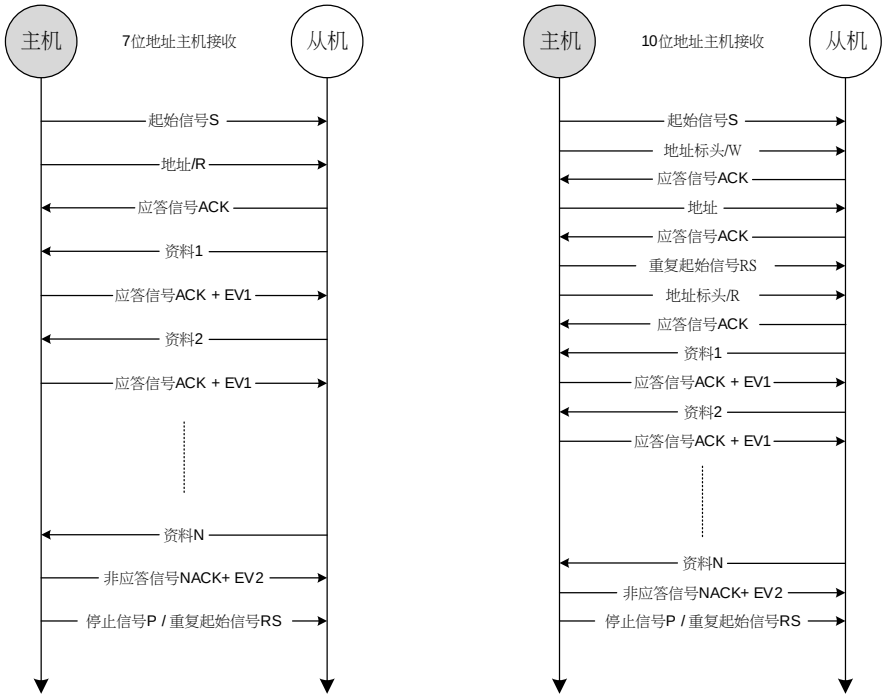


图 26-15 主机接收的传输序列图

注 1：S=起始位，RS=重复起始位，P=停止位，ACK=应答，NACK=非应答

注 2：EV1=传输尚未完成事件，判断 I2C_STAT 寄存器中的 RXNE 位，若非空则读取 I2C_RXDATA 寄存器数据。

注 3：EV2=传输完成事件，此时会自动发送非应答信号 NACK，后续根据软件配置来决定是发送停止信号 STOP 还是重复起始信号 RESTART。

注 4：如果软件列在当前传送字节传输结束之前尚读取数据，导致 RX 非空时，EV1 事件将会延长 SCL 时钟低电平时间。

26. 4. 6 I2C_TIMINGR 寄存器的配置的例子

下表提供了如何对 I2C_TIMINGR 进行设置以获得符合 I2C 规范的时序示例。

参数	标准模式(Sm)		快速模式(Fm)	极快速模式(Fm+)
	10 kHz	100 kHz	400 kHz	500 kHz
PRESC	1	1	0	0
SCLL	0xC7	0x13	0x9	0x6
T_{SCLL}	200x250 ns=50 µs	20x250 ns=5.0 µs	10x125 ns=1250 ns	7x125 ns=875 ns
SCLH	0xC3	0xF	0x3	0x3
T_{SCLH}	196x250 ns=49 µs	16x250 ns=4.0µs	4x125ns=500ns	4x125ns=500ns
T_{SCL}(1)	~100 µs(2)	~10 µs(2)	~2500 ns(3)	~2000 ns(4)
SDADEL	0x2	0x2	0x1	0x0
T_{SDADEL}	2x250 ns=500 ns	2x250 ns=500 ns	1x125 ns=125 ns	0 ns
SCLDEL	0x4	0x4	0x3	0x1
T_{SCLDEL}	(0xC7-0x4)x250 ns(5)	(0xC7-0x4)x250 ns(5)	(0xC7-0x4)x250 ns(5)	(0xC7-0x4)x250 ns(5)

表 26-2 F_{I2CCLK} = 8 MHz 的时序设置示例

1. 由于 SCL 内部检测延迟，SCL 周期 T_{SCL} 大于 T_{SCLL} + T_{SCLH}。为 T_{SCL} 提供的值仅为示例。
2. T_{SYNC1} + T_{SYNC2} 最小值为 4 x T_{I2CCLK} = 500 ns. T_{SYNC1} + T_{SYNC2} = 1000 ns 的示例。
3. T_{SYNC1} + T_{SYNC2} 最小值为 4 x T_{I2CCLK} = 500 ns. T_{SYNC1} + T_{SYNC2} = 750 ns 的示例。
4. T_{SYNC1} + T_{SYNC2} 最小值为 4 x T_{I2CCLK} = 500 ns. T_{SYNC1} + T_{SYNC2} = 655 ns 的示例。
5. T_{SCLDEL} = (SCLL-SCLDEL) x T_{PRESC}。

参数	标准模式(Sm)		快速模式(Fm)	极快速模式(Fm+)
	10 kHz	100 kHz	400 kHz	1000kHz
PRESC	3	3	1	0
SCLL	0xC7	0x13	0x9	0x4
T_{SCLL}	200x250 ns=50 µs	20x250 ns=5.0 µs	10x125 ns=1250 ns	6x62.5 ns=312.5 ns
SCLH	0xC3	0xF	0x3	0x2
T_{SCLH}	196x250 ns=49 µs	16x250 ns=4.0µs	4x125ns=500ns	3x62.5ns=187.5ns
T_{SCL}(1)	~100 µs(2)	~10 µs(2)	~2500 ns(3)	~1000 ns(4)
SDADEL	0x2	0x2	0x2	0x0
T_{SDADEL}	2x250 ns=500 ns	2x250 ns=500 ns	2x125 ns=250 ns	0 ns
SCLDEL	0x4	0x4	0x3	0x2
T_{SCLDEL}	(0xC7-0x4)x250 ns(5)	(0x13-0x4)x250 ns(5)	(0x9-0x3)x125 ns(5)	(0x4-0x2)x62.5 ns(5)

表 26-3 F_{I2CCLK} = 16 MHz 的时序设置示例

1. 由于 SCL 内部检测延迟，SCL 周期 T_{SCL} 大于 T_{SCLL} + T_{SCLH}。为 T_{SCL} 提供的值仅为示例。
2. T_{SYNC1} + T_{SYNC2} 最小值为 4 x T_{I2CCLK} = 250 ns. T_{SYNC1} + T_{SYNC2} = 1000 ns 的示例。
3. T_{SYNC1} + T_{SYNC2} 最小值为 4 x T_{I2CCLK} = 250 ns. T_{SYNC1} + T_{SYNC2} = 750 ns 的示例。
4. T_{SYNC1} + T_{SYNC2} 最小值为 4 x T_{I2CCLK} = 250 ns. T_{SYNC1} + T_{SYNC2} = 500 ns 的示例。
5. T_{SCLDEL} = (SCLL-SCLDEL) x T_{PRESC}。

参数	标准模式(Sm)		快速模式(Fm)	极快速模式(Fm+)
	10 kHz	100 kHz	400 kHz	1000 kHz
PRESC	0xB	0xB	5	5
SCLL	0xC7	0x13	0x9	0x3
T_{SCLL}	200x250 ns=50 µs	20x250 ns=5.0 µs	10x125 ns=1250 ns	4x125 ns=500 ns
SCLH	0xC3	0xF	0x3	0x1
T_{SCLH}	196x250 ns=49 µs	16x250 ns=4.0µs	4x125ns=500ns	2x125ns=250ns
T_{SCL}(1)	~100 µs(2)	~10 µs(2)	~2500 ns(3)	~875 ns(4)
SDADEL	0x2	0x2	0x3	0x0
T_{SDADEL}	2x250 ns=500 ns	2x250 ns=500 ns	3x125 ns=375 ns	0 ns
SCLDEL	0x4	0x4	0x3	0x1
T_{SCLDEL}	(0xC7-0x4)x250 ns(5)	(0x13-0x4)x250 ns(5)	(0x9-0x3)x125 ns(5)	(0x3-0x1)x125 ns(5)

表 26-4 F_{I2CCLK} = 48 MHz 的时序设置示例

1. 由于 SCL 内部检测延迟，SCL 周期 T_{SCL} 大于 T_{SCLL} + T_{SCLH}。为 T_{SCL} 提供的值仅为示例。
2. T_{SYNC1} + T_{SYNC2} 最小值为 4 x T_{I2CCLK} = 83.3 ns. T_{SYNC1} + T_{SYNC2} = 1000 ns 的示例。
3. T_{SYNC1} + T_{SYNC2} 最小值为 4 x T_{I2CCLK} = 83.3 ns. T_{SYNC1} + T_{SYNC2} = 750 ns 的示例。
4. T_{SYNC1} + T_{SYNC2} 最小值为 4 x T_{I2CCLK} = 83.3 ns. T_{SYNC1} + T_{SYNC2} = 250 ns 的示例。
5. T_{SCLDEL} = (SCLL-SCLDEL) x T_{PRESC}。

26. 4. 7 SMBus 具体功能

介绍

系统管理总线(SMBus)是一个双线接口，各种设备可以通过该接口相互通信并与系统的其余部分通信。它基于 I2C 操作原理。SMBus 为系统和电源管理相关任务提供控制总线。

该外设与 SMBUS 规范 rev 2.0(http://smbus.org)兼容。

系统管理总线规范指的是三种类型的设备。

- 从机用于接收或回应命令的设备。
- 主设备用于发出命令，产生时钟并停止传输的设备。
- 主机用于专用主机，为系统的 CPU 提供主接口。主机必须可当作是主机或从机，并且必须支持 SMBus 主机通信协议。

系统中只允许一个主机。该外设可以配置为主设备或从设备，也可以配置为主机。

SMBUS 基于 I2C 规范 rev 2.1。

总线协议

对于任何给定的设备，有 11 种可能的命令协议。设备可以使用 11 个协议中的任何一个或全部来进行通信。协议包括快速命令、传送的字节、接收字节、写入字节、写入字、读取字节、读取字、进程调用、块读取、块写入和块写入块读取进程调用。这些协议应由用户软件实现。有关这些协议的更多详细信息，请参阅 SMBus 规范 2.0 版(http://smbus.org)。

地址解析通讯协议(ARP)

可以通过为每个从设备动态分配新的唯一地址来解决 SMBus 从地址冲突。为了提供隔离每个设备以便进行地址分配的机制，每个设备必须具有唯一的设备标识符(UDID)。这个 128 位数字由软件实现。

该外设支持地址解析通讯协议(ARP)。通过设置 **I2C_CON1** 寄存器中的 SMBDEN 位为 1 开启 SMBus 从设备默认地址(0b1100 001)。ARP 命令由用户通过软件实现。仲裁也在从机模式下执行以支持 ARP。

有关SMBus地址解析通讯协议的更多详细信息，请参阅SMBus规范2.0版(http://smbus.org)。

收到命令和数据应答控制

SMBus 接收器必须能够 NACK 每个接收到的命令或数据。为了在从机模式下允许 ACK 控制，必须通过设置 **I2C_CON1** 寄存器中的 SBC 位为 1 来开启从机字节控制模式。

主机通知协议

该外设通过设置 **I2C_CON1** 寄存器中的 SMBHEN 位为 1 来支持主机通知协议。在这种情况下，主机将应答 SMBus 主机地址(0b0001 000)。使用此协议时，设备充当主机，主机充当从机。

SMBus 警报

支持 SMBus ALERT 可选信号。仅从设备可以通过 SMBALERT＃引脚向主机发送信号选择通信。主机处理中断并同时通过警报响应地址(0b0001 100)访问所有 SMBALERT＃设备。只有拉低 SMBALERT＃的设备才会应答警报响应地址。

当配置为从设备(SMBHEN=0)时，通过设置 **I2C_CON1** 寄存器中的 ALERTEN 位为 1，可将 SMBA 引脚拉低。警报响应地址同时开启。

当配置为主机(SMBHEN=1)时，如果在 SMBA 引脚上检测到下降沿且 ALERTEN=1，则在 **I2C_RIF** 寄存器中的 ALERT 位被设置为 1。如果 **I2C_IER** 寄存器中的 ALERT 位为 1，则会产生中断。当 ALERTEN=0 时，即使外部 SMBA 引脚为低电平，ALERT 线也会被视为高电平。

如果不需要 SMBus ALERT 引脚，当 ALERTEN=0，则 SMBA 引脚可用作标准 GPIO。

数据包错误检查

SMBus 规范中引入了一种数据报错误检查机制，以提高可靠性和通信稳健性。通过在每次消息传输结束时附加分组错误代码(PEC)来实现分组错误检查。通过在所有消息字节(包括地址和读/写位)上使用 $C_{(x)} = X^8 + X^2 + X + 1$ CRC-8 多项式来计算 PEC。外设嵌入了硬件 PEC 计算器，当接收到的字节与硬件计算的 PEC 不匹配时，允许自动发送非应答。

超时

该外设嵌入了硬件定时器，以符合 SMBus 规范 2.0 版中定义的 3 个超时。

标记	参数	范围		单位
		最小	最大	
$T_{TIMEOUT}$	检测时钟低电平超时	25	35	ms
$T_{LOW:SEXT}$(1)	累积时钟低电平延长时间(从设备)	-	25	ms
$T_{LOW:MEXT}$(2)	累积时钟低电平延长时间(主设备)	-	10	ms

表 26-5 SMBus 超时规格

1. $T_{LOW:SEXT}$ 是允许给定从设备在一条消息中从初始 START 到 STOP 的延长时钟周期的累积时间。另一个从设备或主设备也可能延长时钟，导致组合时钟低电平延长时间大于 $T_{LOW:SEXT}$。因此，该参数是在从设备作为全速主设备的唯一目标的情况下测量的。
2. $T_{LOW:MEXT}$ 是允许主设备在从 START 到 ACK，ACK 到 ACK 或 ACK 到 STOP 定义消息的每个字节内延长其时钟周期的累积时间。从设备或另一个主设备也可能延长时钟，导致组合时钟低电平时间大于给定字节上的 $T_{LOW:MEXT}$。因此，使用全速从设备作为主设备的唯一目标来测量该参数。

总线空闲检测

如果总线检测到时钟和数据信号已经持续高电平并且 T_{IDLE} 大于 $T_{HIGH.MAX}$，则主设备可以认为总线是空闲的。

该时序参数涵盖了主机已动态添加到总线并且可能未检测到 SMBCLK 或 SMBDAT 线路上的状态转换的情况。在这种情况下，主设备必须等待足够长的时间以确保当前没有进行传输。外设支持硬件总线空闲检测。

26. 4. 8 SMBus 初始化

除了 I2C 初始化之外，还必须进行一些其他特定的初始化以执行 SMBus 通信：

接收命令和数据应答控制(从机模式)

SMBus 接收器必须能够 NACK 每个接收到的命令或数据。为了在从机模式下允许 ACK 控制，必须通过设置 **I2C_CON1** 寄存器中的 SBC 位为 1 来开启从机字节控制模式。

特定地址(从机模式)

如果需要，应开启特定的 SMBus 地址。

通过设置 **I2C_CON1** 寄存器中的 SMBDEN 位为 1 开启 SMBus 设备从机地址(0b1100 001)。

通过设置 **I2C_CON1** 寄存器中的 SMBHEN 位为 1 开启 SMBus 主机从机地址(0b0001 000)。

通过设置 **I2C_CON1** 寄存器中的 ALERTEN 位为 1 开启报警响应地址(0b0001100)。

数据包错误检查

通过设置 **I2C_CON1** 寄存器中的 PECEN 位为 1 开启 PEC 计算。然后在硬件字节计数器下管理 PEC 传输: **I2C_CON1** 寄存器和 **I2C_CON2** 寄存器中的 NBYTES[15:0]位。必须先设置 PECEN 位，然后再开启 I2C。

PEC 传输由硬件字节计数器管理，因此在从机模式下连接 SMBus 时必须设置 SBC 位。在设置 PECBYTE 位为 1 且 RELOAD 位清零后，在传输 NBYTES-1 数据后传输 PEC。如果设置了 RELOAD 位，则 PECBYTE 无效。

注：开启 I2C 时，不允许更改 PECEN 设置。

超时检测

通过设置 **I2C_TIMEOUTR** 寄存器中的 TIMEOUTEN 位和 TEXTEN 位为 1 来开启超时检测。定时器必须如以下的方式设置，即它们在 SMBus 规范版本 2.0 中给出的最大检测到超时。

◆ $T_{TIMEOUT}$ 检查

为了开启 $T_{TIMEOUT}$ 检查，必须设置 TIMEOUTA[11:0]位为定时器的重载值，以检查 $T_{TIMEOUT}$ 参数。必须将 TIDLE 位设置为'0’才能检测 SCL 低电平超时。然后通过设置 **I2C_TIMEOUTR** 寄存器中的 TIMEOUTEN 位来开启定时器。如果 SCL 在大于(TIMEOUTA + 1)x 2048 x T_{I2CCLK} 的时间内被拉低，则在 **I2C_RIF** 寄存器中的 TOUT 位被设置为 1。

注：当设置 TIMEOUTEN 位为 1 时，不允许更改设置 TIMEOUTA[11:0]位和 TIDLE 位。

◆ $T_{LOW:SEXT}$ 和 $T_{LOW:MEXT}$ 检查

根据外设是配置为主机还是从机，必须配置 12 位 TIMEOUTB 定时器，以便检查从机的 $T_{LOW:SEXT}$ 和主机的 $T_{LOW:MEXT}$。由于标准仅指定最大值，因此使用者可以为两者选择相同的值。然后，通过将 **I2C_TIMEOUTR** 寄存器中的 TEXTEN 位置 1 来启用定时器。

注：当设置 TEXTEN 位为 1 时，不允许更改设置 TIMEOUTB[11:0]位。

总线空闲检测

为了开启 T_{IDLE} 检查，必须设置 TIMEOUTA[11:0]位为定时器的重载值，以获得 T_{IDLE} 参数。必须将设置 TIDLE 位为 1 开启 SCL 和 SDA 高电平超时功能。

然后，通过设置 **I2C_TIMEOUTR** 寄存器中的 TIMEOUTEN 位为 1 来开启定时器。如果 SCL 和 SDA 都保持高电平的时间大于(TIMEOUTA + 1)x 4 x T_{I2CCLK}，则在 **I2C_RIF** 寄存器中的 TOUT 位被设置为 1。

注：设置 TIMEOUTEN 时，不允许更改设置 TIMEOUTA 位和 TIDLE 位。

26. 4. 9 SMBus: I2C_TIMEOUTR 寄存器配置的例子

◆ 将 $T_{TIMEOUT}$ 的最大持续时间配置为 25 ms：

F_{I2CCLK}	TIMEOUT[11:0] bits	TIDLE bit	TIMEOUTEN bit	$T_{TIMEOUT}$
8 MHz	0x61	0	1	98x2048x125 ns = 25 ms
16 MHz	0xC3	0	1	196x2048x62.5 ns = 25 ms
32 MHz	0x186	0	1	391x2048x31.25 ns = 25 ms

表 26-6 各种 I2CCLK 频率的 TIMEOUTA 设置示例(最大值 $T_{TIMEOUT}$ = 25 ms)

◆ 将 $T_{LOW:SEXT}$ 和 $T_{LOW:MEXT}$ 的最大持续时间配置为 8 ms

F_{I2CCLK}	TIMEOUT[11:0] bits	TXMEOUTEN bit	$T_{LOW:SEXT}$
8 MHz	0x1F	1	32x2048x125 ns = 8 ms
16 MHz	0x3F	1	64x2048x62.5 ns = 8 ms
32 MHz	0x7C	1	125x2048x31.25 ns = 8 ms

表 26-7 各种 I2CCLK 频率的 TIMEOUTB 设置示例

◆ 将 T_{IDLE} 的最大持续时间配置为 50 µs

F_{I2CCLK}	TIMEOUT[11:0] bits	TIDLE bit	TIMEOUTEN bit	T_{IDLE}
8 MHz	0x63	1	1	100x4x125 ns = 50 µs
16 MHz	0xC7	1	1	200x4x62.5 ns = 50 µs
32 MHz	0x18F	1	1	400x4x31.25 ns = 50 µs

表 26-8 各种 I2CCLK 频率的 TIMEOUTA 设置示例(最大 T_{IDLE} =50 µs)

26. 4. 10 DMA 请求

使用 DMA 发送

通过设置 **I2C_CON1** 寄存器中的 TXDMAEN 位为 1，可以开启 DMA 进行发送。只要 TXE 位被设置为 1，就会使用 DMA 外设配置的 SRAM 区域加载数据到 **I2C_TXDATA** 寄存器。只有数据通过 DMA 发送。

使用 DMA 接收

通过设置 **I2C_CON1** 寄存器中的 RXDMAEN 位为 1，可以开启 DMA 进行接收。只要 RXNE 位被设置为 1，就会将读取 **I2C_RXDATA** 寄存器数据加载到使用 DMA 外设配置的 SRAM 区域。仅使用 DMA 传输数据(包括 PEC)。

26. 4. 11 错误情况

以下是可能导致通信失败的错误情况。

总线错误(BERR)

总线错误是指在总线上不在 9 个 SCL 时钟脉冲的倍数之后检测到 START 或 STOP 条件。仅当 I2C 作为主机或寻址从机进行传输时(不在从机模式下的地址阶段)，才会设置总线错误标志。

如果在从机模式下检测到错误的 START 或 RESTART，则 I2C 会进入地址识别状态，就像正确的 START 条件一样。

检测到总线错误时，**I2C_RIF** 寄存器中的 BERR 位被设置为 1，如果 **I2C_IER** 寄存器中的 BERR 位为 1，则会产生中断。

仲裁丢失(ARLO)

仲裁丢失为当在 SDA 上发送高电平时，但在 SCL 上升沿上采样到低电平。

- 在主机模式下，在地址阶段，数据阶段和数据应答阶段检测仲裁丢失。在这种情况下，SDA 和 SCL 被释放，START 控制位由硬件清零，主机自动切换到从机模式。
- 在从机模式下，会在数据阶段和数据应答阶段检测仲裁丢失。在这种情况下，传输停止，SCL 和 SDA 被释放。当检测到仲裁丢失时，I2C_RIF 寄存器中的 ARLO 位被设置为 1，如果 **I2C_IER** 寄存器中的 ARLO 位为 1，则会产生中断。

接收溢出 / 发送下溢错误(RXOV / TXUD)

当 NOSTRETCH = 1 时，在从机模式下检测到溢出或下溢错误：

- 当接收到新字节且接收非空时。新接收的字节将会丢失，并且自动发送 NACK 作为对新字节的应答。
- 在传输中：
  - 当应发送新字节且尚未写入发送器时，将发送 0xFF。

当检测到接收溢出或发送下溢错误时，在 **I2C_STAT** 寄存器中的 TXUD 位与 RXOV 位被设置为 1，如果 **I2C_IER** 寄存器中的 TXUD 位或 RXOV 位为 1，则会产生中断。

26. 4. 12 I2C 中断

I2C 中的中断由一组六个寄存器控制。

- 中断控制(IER，IDR，IVS)

  I2C 中断开启寄存器(**I2C_IER**)通过设置为 1 来开启中断功能。同样，I2C 中断关闭寄存器(**I2C_IDR**)通过设置为 1 来关闭中断功能。IER 和 IDR 寄存器只能写入，上述寄存器中的结果可由中断功能有效状态寄存器(**I2C_IVS**)表示。IVS 寄存器只能读取，使用'1’或'0’来表示中断功能是否有效。

- 原始中断状态寄存器(RIF)

  I2C 原始中断状态寄存器(**I2C_RIF**)是一个只能读取的寄存器，用于读取模块的中断状态。该寄存器中的位表示 I2C 中断的真实状态。当观察到以下条件时，I2C 可以产生中断：

  - SMBus 警报
  - 发生超时
  - PEC 错误
  - 仲裁丢失
  - 总线错误
  - 传送完成并重载
  - 传送完成
  - 检测 STOP
  - 收到非应答
  - 地址匹配
  - 接收器不为空
  - 发送器为空
  - 发生接收溢出或发送下溢

- 中断标志位状态寄存器(IFM)
  - I2C 中断标志位状态寄存器(**I2C_IFM**)用于读取模块的标志位中断状态，表示是哪个中断。IFM 中的每个位是 IVS 和 RIF 中各个位的逻辑 AND。
- 中断清除(ICR) 向该寄存器中的位设置为 1，可以清除相应的中断。

26. 4. 13 调试模式

当微控制器进入调试模式(Cortex™-M0 核停止运行)，根据 SYSCFG 章节中 SYSCFG_CFG 寄存器配置，选择将 SMBus 超时计数器继续正常工作或停止计数。

26. 5 特殊功能寄存器

26. 5. 1 寄存器列表

I2C 寄存器列表			
名称	偏移地址	类型	描述
I2Cx_CON1	0000_H	R/W	I2C 控制寄存器 1
I2Cx_CON2	0004_H	R/W	I2C 控制寄存器 2
I2Cx_ADDR1	0008_H	R/W	I2C 本机地址寄存器 1
I2Cx_ADDR2	$000C_H$	R/W	I2C 本机地址寄存器 2
I2Cx_TIMINGR	0010_H	R/W	I2C 时钟寄存器
I2Cx_TIMEOUTR	0014_H	R/W	I2C 超时寄存器
I2Cx_STAT	0018_H	R	I2C 状态寄存器
I2Cx_PECR	0020_H	R/W	I2C PEC 寄存器
I2Cx_RXDATA	0024_H	R	I2C 接收器数据寄存器
I2Cx_TXDATA	0028_H	W	I2C 发送器数据寄存器
I2Cx_IER	$002C_H$	W1	I2C 中断开启寄存器
I2Cx_IDR	0030_H	W1	I2C 中断关闭寄存器
I2Cx_IVS	0034_H	R	I2C 中断功能有效状态寄存器
I2Cx_RIF	0038_H	R	I2C 原始中断状态寄存器
I2Cx_IFM	$003C_H$	R	I2C 中断标志位状态寄存器
I2Cx_ICR	0040_H	C_W1	I2C 中断清除寄存器

26. 5. 2 寄存器描述

26. 5. 2. 1 I2C 控制寄存器 1 (I2Cx_CON1)

I2C 控制寄存器 1 (I2Cx_CON1)																															
偏移地址：0x00																															
复位值：0x0000 0000																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NBYTES <15:8>								PECEN	ALERTEN	SMBDEN	SMBHEN	GCEN	—	NOSTRETCH	SBC	RXDMAEN	TXDMAEN	—	—	DNF<3:0>				—	—	—	—	—	—	—	PE

NBYTES	Bit 31-24	R/W	**字节数** 参照CON2.NBYTES描述 注: 在接收模式且 RELOAD 開啟時，該位域必須保持為'0'。
PECEN	Bit 23	R/W	**PEC 开启** 0: 关闭 PEC 计算 1: 开启 PEC 计算 注意: 如果不支持 SMBus 功能，则该位保留并由硬件强制为“0”。
ALERTEN	Bit 22	R/W	**SMBus 警报开启** 设备模式(SMBHEN = 0)： 0: 释放 SMBA 引脚为高电平且关闭警报响应地址标头: 0001100x 回应非应答。 1: 将 SMBA 引脚驱动为低电平且开启警报响应地址标头: 0001100x 回应应答。 主机模式(SMBHEN = 1) : 0: 不支持 SMBus 警报引脚(SMBA)。 1: 支持 SMBus 警报引脚(SMBA)。 注: 当 ALERTEN=0 时，SMBA 引脚可用作标准 GPIO。如果不支持 SMBus 功能，则该位保留并由硬件强制为“0”。
SMBDEN	Bit 21	R/W	**SMBus 设备从机地址启用** 0: 关闭设备从机地址。地址 0b1100001x 回应非应答。 1: 开启设备从机地址。地址 0b1100001x 回应应答。 注: 如果不支持 SMBus 功能，则该位保留并

			由硬件强制为“0”。
SMBHEN	Bit 20	R/W	**SMBus 主机地址启用** 0: 关闭主机地址。地址 0b0001000x 回应非应答。 1: 开启主机地址。地址 0b0001000x 回应应答。 注: 如果不支持 SMBus 功能，则该位保留并由硬件强制为“0”。
GCEN	Bit 19	R/W	**广播呼叫开启** 0: 关闭广播呼叫。地址 0b00000000 回应非应答。 1: 开启广播呼叫。地址 0b00000000 回应应答。
—	Bit 18	—	—
NOSTRETCH	Bit 17	R/W	**时钟延长关闭** 该位用于关闭从机模式下的时钟延长。在主机模式下必须保持清除状态。 0: 开启时钟延长 1: 关闭时钟延长 注: 只有在关闭 I2C(PE=0)时才能对该位进行设置。
SBC	Bit 16	R/W	**从字节控制** 该位用于在从机模式下开启硬件字节控制。 0: 关闭从字节控制 1: 开启从字节控制
RXDMAEN	Bit 15	R/W	**开启 DMA 接收器请求** 0: 关闭 DMA 模式进行接收器 1: 开启 DMA 模式进行接收器
TXDMAEN	Bit 14	R/W	**开启 DMA 发送器请求** 0: 关闭 DMA 模式进行发送器 1: 开启 DMA 模式进行发送器
—	Bit 13-12	—	—
DNF	Bit 11-8	R/W	**数字杂讯滤波器** 该位用于配置 SDA 和 SCL 输入上的数字噪声滤波器。数字滤波器将过滤长度高达 DNF[3:0] x T_{I2CCLK} 的宽度 0000: 关闭数字滤波器 0001: 开启数字滤波器，滤波宽度高达 1

			T_{I2CCLK} … 1111: 开启数字滤波器，滤波宽度高达 15 T_{I2CCLK} 注: 只有在关闭 I2C(PE=0)时才能对该位进行设置。
—	Bit 7-1	—	—
PE	Bit 0	R/W	**I2C 开启** 0: I2C 关闭 1: I2C 开启 注: 当 PE=0 时，I2C SCL 和 SDA 被释放。内部状态机和状态位将恢复为其复位值。清零后，PE 必须保持低电平至少 3 个 APB 时钟周期。

26. 5. 2. 2 I2C 控制寄存器 2 (I2Cx_CON2)

此寄存器必须按字(32 位)访问。

I2C 控制寄存器 2 (I2Cx_CON2)

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					PEC BYTE	AUTO END	RE LOAD	NBYTES<7:0>								NACK	STOP	START	HEAD 10R	ADD10	RD_WRN	SADD<9:0>										

—	Bits 31-27	—	—
PECBYTE	Bit 26	R/W1	**数据包错误检查字节** 该位由软件设置，当传输 PEC 时，或者当接收器到 STOP 条件、匹配的地址或当 PE=0 时，由硬件清零。 0: 没有 PEC 传输。 1: 请求 PEC 发送器/接收器 注: 向该位写'0’无效。 设置 RELOAD 时，该位无效。 当 SBC=0 时，该位对从机模式无效。 如果不支持 SMBus 功能，则该位保留并由硬件强制为'0'。
AUTOEND	Bit 25	R/W	**自动结束模式(主机模式)**

			该位由软件设置和清除。 0: 软件结束模式: 发送器完 NBYTES 笔数据时设置 TC 标志，将 SCL 拉低。 1: 自动结束模式: 发送器完 NBYTES 笔数据时自动发送器 STOP 条件。 注: 该位在从机模式或设置 RELOAD 位为 1 时无效。
RELOAD	Bit 24	R/W	**NBYTES 重载模式** 该位由软件设置和清除。 0: 在 NBYTES 笔数据传输之后完成传输(接下来是 STOP 或 RESTART)。 1: NBYTES 笔数据传输后将继续传输(NBYTES 将重载)。发送器完 NBYTES 笔数据后设置 TCR 标志，将 SCL 拉低。
NBYTES	Bit 23-16	R/W	**字节数** 此位与 CON1.NBYTES 组合成 16 位，NBYTES={CON1.NBYTES[7:0],CON2.NBYTES[7:0]} 在此设置要发送器/接收器的字节数。 在 SBC=0 的从机模式下，该位无效。 注: 不允许在设置 START 位时更改该位。
NACK	Bit 15	R/W1	**NACK 产生(从机模式)** 该位由软件设置，在发送器 NACK 时由硬件清零，或在接收器到 STOP 条件或地址匹配时，或当 PE=0 时由硬件清零。 0: 在下一个接收器的字节发送器 ACK。 1: 在下一个接收器的字节发送器 NACK。 注: 向该位写'0’无效。 该位仅用于从机模式: 在主机接收器模式下，无论 NACK 位值如何，在 STOP 或 RESTART 条件之前的最后一个字节之后自动产生 NACK。 当从机接收器 NOSTRETCH 模式发生溢出时，无论 NACK 位值如何，都会自动产生 NACK。当开启硬件 PEC 检查(PECBYTE=1)时，PEC 确认值不依赖于 NACK 值。
STOP	Bit 14	R/W1	**STOP 产生(主机模式)** 该位由软件设置，当检测到停止条件时，或

			当 PE=0 时由硬件清零。 在主机下: 0: 无 STOP 产生。 1: 当前字节传输后 STOP 产生。 注: 向该位写'0’无效。
START	Bit 13	R/W1	**START 产生** 该位由软件设置，并在起始位后跟随地址序列发送器、仲裁丢失、检测超时错误或 PE=0 时由硬件清零。 0: 无 START 产生。 1: RESTART/START 产生： - 如果 I2C 处于主机且 AUTOEND=0，则在 NBYTES 传输结束后，当 RELOAD=0 时，将该位设置为 1 会并产生重复起始条件。 - 否则，一旦总线空闲，将该位设置为 1 产生 START 条件。 注: 向该位写'0’无效。 即使总线忙，也可以设置 START 位。在 10 位地址模式下，如果在地址的第一部分接收器收到 NACK，则 START 位不会被硬件清零，主机将重新发送地址序列，除非 START 位被软件清零
HEAD10R	Bit 12	R/W	**10 位地址标头仅读取方向(主机接收器模式)** 0: 主机发送器完整的 10 位从机地址读取序列: 在写入方向上起始 + 2 字节 10 位地址 + 在读取方向上重新起始 + 10 位地址的第 7 位。 1: 主机仅发送器 10 位地址的前 7 位，然后发送器读取方向。 注: 不允许在设置 START 位时更改该位。
ADD10	Bit 11	R/W	**10 位地址模式(主机模式)** 0: 主机使用 7 位地址模式 1: 主机使用 10 位地址模式 注: 不允许在设置 START 位时更改该位。
RD_WRN	Bit 10	R/W	**传输方向(主机模式)** 0: 主机请求写入传输。 1: 主机请求读取传输。 注: 不允许在设置 START 位时更改该位。

SADD	Bit 9-0	R/W	**从机地址位 0(主机模式)** 在 7 位地址模式下(ADD10=0): 无效 在 10 位地址模式下(ADD10=1): 写入发送器的从地址第 0 位 **从机地址位 7:1(主机模式)** 在 7 位地址模式下(ADD10=0): 写入发送器的 7 位从地址 在 10 位地址模式下(ADD10=1): 写入发送器的从地址第 7:0 位 **从机地址位 9:8(主机模式)** 在 7 位地址模式下(ADD10=0): 无效 在 10 位地址模式下(ADD10=1): 写入发送器的从地址的第 9:8 位 注: 不允许在设置 START 位时更改该位。

26. 5. 2. 3 I2C 本机地址寄存器 1 (I2Cx_ADDR1)

I2C 本机地址寄存器 1 (I2Cx_ADDR1)

偏移地址：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																OA1EN					OA1MODE	OA1<9:8>		OA1<7:1>							OA1<0>

—	Bits 31-16	—	—
OA1EN	Bit 15	R/W	**本机地址 1 开启** 0: 关闭本机地址 1。接收器到的从机地址 OA1 响应非应答。 1: 开启本机地址 1。接收器到的从机地址 OA1 响应应答。
—	Bit 14-11	—	—
OA1MODE	Bit 10	R/W	**本机地址 1，10 位地址模式启用** 0: 本机地址 1 使用 7 位地址模式。 1: 本机地址 1 使用 10 位地址模式。 注: 当 OA1EN=0 时才能写入该位。
OA1	Bit 9:0	R/W	**OA1[0]: 本机地址 1** 7 位地址模式: 无效

			10 位地址模式: 地址的第 0 位 **OA1[7:1]: 本机地址 1** 7 位地址模式: 7 位地址 10 位地址模式: 10 位地址的第 7:1 位 **OA1[9:8]: 本机地址 1** 7 位地址模式: 无效 10 位地址模式: 地址的第 9:8 位 注: 当 OA1EN=0 时才能写入该位。

26. 5. 2. 4 I2C 本机地址寄存器 2 (I2Cx_ADDR2)

I2C 本机地址寄存器 2 (I2Cx_ADDR2)

偏移地址：0x0C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																OA2EN					OA2MSK<2:0>			OA2<6:0>							

—	Bits 31-16	—	—
OA2EN	Bit 15	R/W	**本机地址 2 开启** 0: 关闭本机地址 2。接收器到的从机地址 OA2 响应非应答。 1: 开启本机地址 2。接收器到的从机地址 OA2 响应应答。
—	Bit 14-11	—	—
OA2MSK	Bit 10-8	R/W	**本机地址 2 屏蔽** 000: 没有屏蔽 001: OA2 [1]被屏蔽。仅比较 OA2 [7:2]。 010: OA2 [2:1]被屏蔽。仅比较 OA2 [7:3]。 011: OA2 [3:1]被屏蔽。仅比较 OA2 [7:4]。 100: OA2 [4:1]被屏蔽。仅比较 OA2 [7:5]。 101: OA2 [5:1]被屏蔽。仅比较 OA2 [7:6]。 110: OA2 [6:1]被屏蔽。仅比较 OA2 [7]。 111: OA2 [7:1]被屏蔽。不进行比较，并且应答所有(保留位除外)7 位接收器地址。 注: 当 OA2EN=0 时才能写入该位。 一旦 OA2MSK 不等于 0，则 I2C 即使比较匹

			配，也不会应答保留地址(0b0000xxx 和 0b1111xxx)。
OA2	Bit 7-1	R/W	**本机地址 2** 7 位地址模式: 7 位地址 注: 当 OA2EN=0 时才能写入该位。
—	Bit 0	—	—

26. 5. 2. 5 I2C 时钟寄存器 (I2Cx_TIMINGR)

I2C 时钟寄存器 (I2Cx_TIMINGR)

偏移地址：0x10

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRESC<3:0>								SCLDEL<3:0>				SDADEL<3:0>				SCLH<7:0>								SCLL<7:0>							

PRESC	Bit 31-28	R/W	**时钟预分频器** 该位用于预分频 I2CCLK，以产生用于数据建立和保持计数器以及 SCL 高电平和低电平计数器的时钟周期 T_{PRESC}。 T_{PRESC} =(PRESC + 1)x T_{I2CCLK} 只有在关闭 I2C(PE=0)时才能对该位进行设置。
—	Bit 27-24	—	—
SCLDEL	Bit 23-20	R/W	**数据设置时间** 该位用于在 SDA 边沿和 SCL 上升沿之间产生延迟 T_{SCLDEL}。在主机和从机模式下，NOSTRETCH=0 时，SCL 线在 T_{SCLDEL} 期间拉低。 T_{SCLDEL} =(SCLL-SCLDEL)x T_{PRESC} 注: T_{SCLDEL} 用于产生 $T_{SU:DAT}$ 时序。 只有在关闭 I2C(PE=0)时才能对该位进行设置。
SDADEL	Bit 19-16	R/W	**数据保持时间** 该位用于在 SCL 下降沿和 SDA 边沿之间产生延迟 T_{SDADEL}。在主机和从机模式下，NOSTRETCH=0 时，SCL 线在 T_{SDADEL} 期间

			拉低。 T_{SDADEL}= SDADEL x T_{PRESC} 注: SDADEL 用于产生 $T_{HD:DAT}$ 时序。 只有在关闭 I2C(PE=0)时才能对该位进行设置。
SCLH	Bit 15-8	R/W	**SCL 高电平期间(主机模式)** 该位用于在主机模式下产生 SCL 高电平周期。 T_{SCLH} =(SCLH + 1)x T_{PRESC} 注: SCLH 还用于产生 $T_{SU:STO}$ 和 $T_{HD:STA}$ 时序。 只有在关闭 I2C(PE=0)时才能对该位进行设置。
SCLL	Bit 7-0	R/W	**SCL 低电平周期(主机模式)** 该位用于在主机模式下产生 SCL 低电平周期. T_{SCLL} =(SCLL + 1)x T_{PRESC} 注: SCLL 还用于产生 TBUF 和 $T_{SU:STA}$ 时序。 只有在关闭 I2C(PE=0)时才能对该位进行设置。

26. 5. 2. 6 I2C 超时寄存器 (I2Cx_TIMEOUTR)

I2C 超时寄存器 (I2Cx_TIMEOUTR)

偏移地址：0x14

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEXTEN	—	—	—	TIMEOUTB <11:0>												TIMEOUTEN	—	—	TIDLE	TIMEOUTA <11:0>											

TEXTEN	Bit 31	R/W	**累积时钟延长超时开启** 0: 关闭累积时钟延长超时检测 1: 开启累积时钟延长超时检测。 当 I2C 接口完成累积 SCL 延长超过 $T_{LOW:EXT}$ 时，会检测到超时错误(TOUT=1)。
—	Bit 30-28	—	—
TIMEOUTB	Bit 27-16	R/W	**总线超时 B** 该位用于配置累积时钟延长超时： 在主机模式下，检测到主机累积时钟低延长时间($T_{LOW:MEXT}$)。

			在从机模式下，检测到从机累积时钟低延长时间($T_{LOW:SEXT}$)。 $T_{LOW:EXT}$ = (TIMEOUTB + 1)x 2048 x T_{I2CCLK} 注：当 TEXTEN=0 时才能写入该位。
TIMEOUTEN	Bit 15	R/W	**时钟超时开启** 0：关闭 SCL 超时检测 1：开启 SCL 超时检测：当 SCL 为低电平超过 $T_{TIMEOUT}$(TIDLE=0)或高电平超过 T_{IDLE}(TIDLE=1)时，检测到超时错误(TOUT=1)。
—	Bit 14-13	—	—
TIDLE	Bit 12	R/W	**空闲时钟超时检测** 0: TIMEOUTA 用于检测 SCL 低超时 1: TIMEOUTA 用于检测 SCL 和 SDA 高超时(总线空闲状态) 注：当 TIMEOUTEN=0 时才能写入该位。
TIMEOUTA	Bit 11-0	R/W	**总线超时 A** 该位用于配置： - 当 TIDLE=0 时，SCL 低超时条件 $T_{TIMEOUT}$ $T_{TIMEOUT}$ =(TIMEOUTA + 1)x 2048 x T_{I2CCLK} - 当 TIDLE=1 时，总线空闲状态(SCL 和 SDA 均为高电平) T_{IDLE} =(TIMEOUTA + 1)x 4 x T_{I2CCLK} 注：当 TIMEOUTEN=0 时才能写入该位。

26. 5. 2. 7 I2C 状态寄存器 (I2Cx_STAT)

I2C 状态寄存器 (I2Cx_STAT)

偏移地址：0x18

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
|	|	|	|	|	|	|	|	ADDCODE<6:0>							DIR	BUSY	|	|	|	TCR	TC	RXTH	RXUD	RXOV	RXF	RXE	TXTH	TXUD	TXOV	TXF	TXE

—	Bits 31-24	—	—
ADDCODE	Bit 23-17	R	**地址匹配代码(从机模式)** 当发生地址匹配事件(ADDR = 1)时，使用接

			收器的地址更新该位。在 10 位地址的情况下，ADDCODE 提供 10 位标头与地址的 2 个 MSB。
DIR	Bit 16	R	**传输方向(从机模式)** 发生地址匹配事件(ADDR = 1)时更新此标志。 0: 写入传输，从机进入接收器模式。 1: 读取传输，从机进入发送器模式。
BUSY	Bit 15	R	**总线忙** 该标志表示总线上正在进行通信。检测到 START 条件时由硬件设置为 1。当检测到停止条件或 PE=0 时，由硬件清零。
—	Bit 14-12	—	—
TCR	Bit 11	R	**传输完成并重载** 当 RELOAD=1 且已将 NBYTES 笔数据传输完成时，此标志由硬件设置为 1。当 NBYTES 位写入非零值时，由硬件清零。 注: 当 PE=0 时，该位由硬件清零。该标志仅用于主机，或者用于从模式且设置 SBC 位为 1 时。
TC	Bit 10	R	**传输完成(主机模式)** 当 RELOAD=0、AUTOEND=0 且已将 NBYTES 笔数据传输完成时，该标志由硬件设置为 1。当设置 START 位或 STOP 位为 1 时，由硬件清零。 注: 当 PE=0 时，该位由硬件清零。
—	Bit 9	—	—
RXUD	Bit 8	R	**接收器下溢** 读取 I2C_STAT 后，由硬件清零。 0: 接收器没有下溢 1: 接收器下溢
RXOV	Bit 7	R	**接收器溢出** 读取 I2C_STAT 后，由硬件清零。 0: 接收器没有溢出 1: 接收器溢出
—	Bit 6	—	—
RXNE	Bit 5	R	**接收器非空** 0: 接收器空

			1: 接收器非空
—	Bit 4	—	—
TXUD	Bit 3	R	**发送器下溢** 读取 I2C_STAT 后，由硬件清零。 0: 发送器没有下溢 1: 发送器下溢
TXOV	Bit 2	R	**发送器溢出** 读取 I2C_STAT 后，由硬件清零。 0: 发送器没有溢出 1: 发送器溢出
—	Bit 1	—	—
TXE	Bit 0	R	**发送器空** 0: 发送器没有空 1: 发送器空

26. 5. 2. 8 I2C PEC 寄存器 (I2Cx_PECR)

I2C PEC 寄存器 (I2Cx_PECR)

偏移地址：0x20

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																								PEC<7:0>							

—	Bits 31-8	—	—
PEC	Bits 7-0	R	**数据包错误检查寄存器** 当 PECEN = 1 时，该位包含内部 PEC。 当 PECEN = 0 时，PEC 由硬件清零。

26. 5. 2. 9 I2C 接收器数据寄存器 (I2Cx_RXDATA)

I2C 接收器数据寄存器 (I2Cx_RXDATA)

偏移地址：0x24

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																								RXDATA<7:0>							

—	Bits 31-8	—	—
RXDATA	Bits 7-0	R	**8 位接收器数据** 从 I2C 总线接收器的数据字节。

26. 5. 2. 10 I2C 发送器数据寄存器 (I2Cx_TXDATA)

I2C 发送器数据寄存器 (I2Cx_TXDATA)

偏移地址：0x28

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																								TXDATA<7:0>							

—	Bits 31-8	—	—
TXDATA	Bits 7-0	W	**8 位发送器资料** 要传输到 I2C 总线的数据字节。

26. 5. 2. 11 I2C 中断开启寄存器 (I2Cx_IER)

I2C 中断开启寄存器(I2Cx_IER)																														
偏移地址：0x2C																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	ALERT	TOUT	PECE	ARLO	BERR	—	STOP	NACK	ADDR	TCR	TC	—	RXUD	RXOV	—	RXNE	—	TXUD	TXOV	—	TXE

—	Bits 31-21	—	—
ALERT	Bit 20	W1	**开启 SMBus 报警中断功能** 此位设置时，开启中断功能，硬件侦测 SMBus 报警事件时发生中断
TOUT	Bit 19	W1	**开启超时中断功能** 此位设置时，开启中断功能，硬件侦测超时事件时发生中断
PECE	Bit 18	W1	**开启 PEC 错误中断功能** 此位设置时，开启中断功能，硬件侦测 PEC 错误事件时发生中断
ARLO	Bit 17	W1	**开启仲裁丢失中断功能** 此位设置时，开启中断功能，硬件侦测仲裁丢失事件时发生中断
BERR	Bit 16	W1	**开启总线错误中断功能** 此位设置时，开启中断功能，硬件侦测总线错误事件时发生中断
—	Bit 15	—	—
STOP	Bit 14	W1	**开启检测停止中断功能** 此位设置时，开启中断功能，硬件侦测检测停止位事件时发生中断
NACK	Bit 13	W1	**开启接收器 NACK 中断功能** 此位设置时，开启中断功能，硬件侦测接收器 NACK 事件时发生中断
ADDR	Bit 12	W1	**开启地址匹配中断功能** 此位设置时，开启中断功能，硬件侦测地址匹配事件时发生中断
TCR	Bit 11	W1	**开启传输完成并重载中断功能** 此位设置时，开启中断功能，硬件侦测传输完

			成并重载事件时发生中断
TC	Bit 10	W1	**开启传输完成中断功能** 此位设置时，开启中断功能，硬件侦测传输完成事件时发生中断
—	Bit 9	—	—
RXUD	Bit 8	W1	**开启接收器下溢中断功能** 此位设置时，开启中断功能，硬件侦测接收器下溢事件时发生中断
RXOV	Bit 7	W1	**开启接收器溢出中断功能** 此位设置时，开启中断功能，硬件侦测接收器溢出事件时发生中断
—	Bit 6	—	—
RXNE	Bit 5	W1	**开启接收器非空中断功能** 此位设置时，开启中断功能，硬件侦测接收器非空事件时发生中断
—	Bit 4	—	—
TXUD	Bit 3	W1	**开启发送器下溢中断功能** 此位设置时，开启中断功能，硬件侦测发送器下溢事件时发生中断
TXOV	Bit 2	W1	**开启发送器溢出中断功能** 此位设置时，开启中断功能，硬件侦测发送器溢出事件时发生中断
—	Bit 1	—	—
TXE	Bit 0	W1	**开启发送器空中断功能** 此位设置时，开启中断功能，硬件侦测发送器空事件时发生中断

26. 5. 2. 12 I2C 中断关闭寄存器 (I2Cx_IDR)

I2C 中断关闭寄存器(I2Cx_IDR)																														
偏移地址：0x30																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	ALERT	TOUT	PECE	ARLO	BERR	—	STOP	NACK	ADDR	TCR	TC	—	RXUD	RXOV	—	RXNE	—	TXUD	TXOV	—	TXE

—	Bit 31-21	—	—
ALERT	Bit 20	W1	**关闭 SMBus 报警中断功能** 此位设置时，关闭 SMBus 报警中断功能
TOUT	Bit 19	W1	**关闭超时中断功能** 此位设置时，关闭超时中断功能
PECE	Bit 18	W1	**关闭 PEC 错误中断功能** 此位设置时，关闭 PEC 错误中断功能
ARLO	Bit 17	W1	**关闭仲裁丢失中断功能** 此位设置时，关闭仲裁丢失中断功能
BERR	Bit 16	W1	**关闭总线错误中断功能** 此位设置时，关闭总线错误中断功能
—	Bit 15	—	—
STOP	Bit 14	W1	**关闭检测停止中断功能** 此位设置时，关闭检测停止位中断功能
NACK	Bit 13	W1	**关闭接收器 NACK 中断功能** 此位设置时，关闭接收器 NACK 中断功能
ADDR	Bit 12	W1	**关闭地址匹配中断功能** 此位设置时，关闭地址匹配中断功能
TCR	Bit 11	W1	**关闭传输完成并重载中断功能** 此位设置时，关闭传输完成并重载中断功能
TC	Bit 10	W1	**关闭传输完成中断功能** 此位设置时，关闭传输完成中断功能
—	Bit 9	—	—
RXUD	Bit 8	W1	**关闭接收器下溢中断功能** 此位设置时，关闭接收器下溢中断功能
RXOV	Bit 7	W1	**关闭接收器溢出中断功能** 此位设置时，关闭接收器溢出中断功能
—	Bit 6	—	—

RXNE	Bit 5	W1	**关闭接收器非空中断功能** 此位设置时，关闭接收器非空中断功能
—	Bit 4	—	—
TXUD	Bit 3	W1	**关闭发送器下溢中断功能** 此位设置时，关闭发送器下溢中断功能
TXOV	Bit 2	W1	**关闭发送器溢出中断功能** 此位设置时，关闭发送器溢出中断功能
—	Bit 1	—	—
TXE	Bit 0	W1	**关闭发送器空中断功能** 此位设置时，关闭发送器空中断功能

26. 5. 2. 13 I2C 中断功能有效状态寄存器 (I2Cx_IVS)

I2C 中断功能有效状态寄存器 (I2Cx_IVS)

偏移地址：0x34

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	ALERT	TOUT	PECE	ARLO	BERR	—	STOP	NACK	ADDR	TCR	TC	—	RXUD	RXOV	—	RXNE	—	TXUD	TXOV	—	TXE

—	Bit 31-21	—	—
ALERT	Bit 20	R	**SMBus 报警中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
TOUT	Bit 19	R	**超时中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
PECE	Bit 18	R	**PEC 错误中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
ARLO	Bit 17	R	**仲裁丢失中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
BERR	Bit 16	R	**总线错误中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
—	Bit 15	—	—

STOP	Bit 14	R	**检测停止位中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
NACK	Bit 13	R	**接收器 NACK 中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
ADDR	Bit 12	R	**地址匹配中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
TCR	Bit 11	R	**传输完成并重载中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
TC	Bit 10	R	**传输完成中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
—	Bit 9	—	—
RXUD	Bit 8	R	**接收器下溢中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
RXOV	Bit 7	R	**接收器溢出中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
—	Bit 6	—	—
RXNE	Bit 5	R	**接收器非空中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
—	Bit 4	—	—
TXUD	Bit 3	R	**发送器下溢中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
TXOV	Bit 2	R	**发送器溢出中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态
—	Bit 1	—	—
TXE	Bit 0	R	**发送器空中断功能状态** 0: 中断功能处于关闭状态 1: 中断功能处于开启状态

I2C_IVS 寄存器，是实时反映系统配置 I2C_IER 与 I2C_IDR 的中断开启状态。 此寄存器状态是将 I2C_IER 与 I2C_IDR 进行硬件运算，公式如下：I2C_IVS = I2C_IER & ~I2C_IDR

26. 5. 2. 14 I2C 原始中断状态寄存器 (I2Cx_RIF)

I2C 原始中断状态寄存器 (I2Cx_RIF)

偏移地址：0x38

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	ALERT	TOUT	PECE	ARLO	BERR	—	STOP	NACK	ADDR	TCR	TC	—	RXUD	RXOV	—	RXNE	—	TXUD	TXOV	—	TXE

—	Bits 31-21	—	—
ALERT	Bit 20	R	**SMBus 报警，原始中断状态** 0: 无发生中断 1: 已发生中断
TOUT	Bit 19	R	**超时，原始中断状态** 0: 无发生中断 1: 已发生中断
PECE	Bit 18	R	**PEC 错误，原始中断状态** 0: 无发生中断 1: 已发生中断
ARLO	Bit 17	R	**仲裁丢失，原始中断状态** 0: 无发生中断 1: 已发生中断
BERR	Bit 16	R	**总线错误，原始中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 15	—	—
STOP	Bit 14	R	**检测停止位，原始中断状态** 0: 无发生中断 1: 已发生中断
NACK	Bit 13	R	**接收器 NACK，原始中断状态** 0: 无发生中断 1: 已发生中断
ADDR	Bit 12	R	**地址匹配，原始中断状态** 0: 无发生中断

			1: 已发生中断
TCR	Bit 11	R	**传输完成并重载，原始中断状态** 0: 无发生中断 1: 已发生中断
TC	Bit 10	R	**传输完成，原始中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 9	—	—
RXUD	Bit 8	R	**接收器下溢，原始中断状态** 0: 无发生中断 1: 已发生中断
RXOV	Bit 7	R	**接收器溢出，原始中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 6	—	—
RXNE	Bit 5	R	**接收器非空，原始中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 4	—	—
TXUD	Bit 3	R	**发送器下溢，原始中断状态** 0: 无发生中断 1: 已发生中断
TXOV	Bit 2	R	**发送器溢出，原始中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 1	—	—
TXE	Bit 0	R	**发送器空，原始中断状态** 0: 无发生中断 1: 已发生中断

26. 5. 2. 15 I2C 中断标志位状态寄存器 (I2Cx_IFM)

I2C 中断标志位状态寄存器 (I2Cx_IFM)																														
偏移地址：0x3C																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	ALERT	TOUT	PECE	ARLO	BERR	—	STOP	NACK	ADDR	TCR	TC	—	RXUD	RXOV	—	RXNE	—	TXUD	TXOV	—	TXE

—	Bits 31-21	—	—
ALERT	Bit 20	R	**SMBus 报警，标志位中断状态** 0: 无发生中断 1: 已发生中断
TOUT	Bit 19	R	**超时，标志位中断状态** 0: 无发生中断 1: 已发生中断
PECE	Bit 18	R	**PEC 错误，标志位中断状态** 0: 无发生中断 1: 已发生中断
ARLO	Bit 17	R	**仲裁丢失，标志位中断状态** 0: 无发生中断 1: 已发生中断
BERR	Bit 16	R	**总线错误，标志位中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 15	—	—
STOP	Bit 14	R	**检测停止位，标志位中断状态** 0: 无发生中断 1: 已发生中断
NACK	Bit 13	R	**接收器 NACK，标志位中断状态** 0: 无发生中断 1: 已发生中断
ADDR	Bit 12	R	**地址匹配，标志位中断状态** 0: 无发生中断 1: 已发生中断
TCR	Bit 11	R	**传输完成并重载，标志位中断状态** 0: 无发生中断

			1: 已发生中断
TC	Bit 10	R	**传输完成，标志位中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 9	—	—
RXUD	Bit 8	R	**接收器下溢，标志位中断状态** 0: 无发生中断 1: 已发生中断
RXOV	Bit 7	R	**接收器溢出，标志位中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 6	—	—
RXNE	Bit 5	R	**接收器非空，标志位中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 4	—	—
TXUD	Bit 3	R	**发送器下溢，标志位中断状态** 0: 无发生中断 1: 已发生中断
TXOV	Bit 2	R	**发送器溢出，标志位中断状态** 0: 无发生中断 1: 已发生中断
—	Bit 1	—	—
TXE	Bit 0	R	**发送器空，标志位中断状态** 0: 无发生中断 1: 已发生中断

I2C_IFM 寄存器，是滤除已关闭中断功能的中断事件，只关注开启中断功能的事件， 此寄存器状态是将 I2C_RIF 与 I2C_IVS 进行硬件运算，公式如下：
I2C_IFM = I2C_RIF & I2C_IVS

26. 5. 2. 16 I2C 中断清除寄存器 (I2Cx_ICR)

I2C 中断清除寄存器 (I2Cx_ICR)																														
偏移地址：0x40																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	ALERT	TOUT	PECE	ARLO	BERR	—	STOP	NACK	ADDR	TCR	TC	—	RXUD	RXOV	—	RXNE	—	TXUD	TXOV	—	TXE

—	Bits 31-21	—	—
ALERT	Bit 20	C_W1	**SMBus 报警中断清除** 此位设置时，清除中断状态(I2C_RIF 与 I2C_IFM)
TOUT	Bit 19	C_W1	**超时中断清除** 此位设置时，清除中断状态(I2C_RIF 与 I2C_IFM)
PECE	Bit 18	C_W1	**PEC 错误中断清除** 此位设置时，清除中断状态(I2C_RIF 与 I2C_IFM)
ARLO	Bit 17	C_W1	**仲裁丢失中断清除** 此位设置时，清除中断状态(I2C_RIF 与 I2C_IFM)
BERR	Bit 16	C_W1	**总线错误中断清除** 此位设置时，清除中断状态(I2C_RIF 与 I2C_IFM)
—	Bit 15	—	—
STOP	Bit 14	C_W1	**检测停止位中断清除** 此位设置时，清除中断状态(I2C_RIF 与 I2C_IFM)
NACK	Bit 13	C_W1	**接收器 NACK 中断清除** 此位设置时，清除中断状态(I2C_RIF 与 I2C_IFM)
ADDR	Bit 12	C_W1	**地址匹配中断清除** 此位设置时，清除中断状态(I2C_RIF 与 I2C_IFM)
TCR	Bit 11	C_W1	**传输完成并重载中断清除** 此位设置时，清除中断状态(I2C_RIF 与

			I2C_IFM)
TC	Bit 10	C_W1	**传输完成中断清除** 此位设置时，清除中断状态(I2C_RIF 与 I2C_IFM)
—	Bit 9	—	—
RXUD	Bit 8	C_W1	**接收器下溢中断清除** 此位设置时，清除中断状态(I2C_RIF 与 I2C_IFM)
RXOV	Bit 7	C_W1	**接收器溢出中断清除** 此位设置时，清除中断状态(I2C_RIF 与 I2C_IFM)
—	Bit 6	—	—
RXNE	Bit 5	C_W1	**接收器非空中断清除** 此位设置时，清除中断状态(I2C_RIF 与 I2C_IFM)
—	Bit 4	—	—
TXUD	Bit 3	C_W1	**发送器下溢中断清除** 此位设置时，清除中断状态(I2C_RIF 与 I2C_IFM)
TXOV	Bit 2	C_W1	**发送器溢出中断清除** 此位设置时，清除中断状态(I2C_RIF 与 I2C_IFM)
—	Bit 1	—	—
TXE	Bit 0	C_W1	**发送器空中断清除** 此位设置时，清除中断状态(I2C_RIF 与 I2C_IFM)

I2C_ICR 寄存器设置时，将清除 I2C_RIF 与 I2C_IFM 中断标志状态；此设置不影响中断 I2C_IER、I2C_IDR 与 I2C_IVS 寄存器，只清除标志状态 I2C_RIF 与 I2C_IFM。 此寄存器通过硬件清除中断，公式如下：
I2C_RIF = I2C_RIF & ~I2C_ICR

第27章 串行外设接口 (SPI) /集成电路内置音频总线 (I2S)

27. 1 概述

SPI 接口提供两个主要功能，支持 SPI 协议或 I2S 音频协议。默认情况下，选择的是 SPI 功能。可通过软件将接口从 SPI 切换到 I2S。

串行外设接口(SPI)可与外部 SPI 设备进行半双工或全双工的同步串行通信。该接口可配置为主机模式或从机模式。在配置为主机模式下，它可为外部 SPI 从设备提供通信时钟(SCK)。该接口还能够在多主机模式配置下工作。

I2S 协议也是同步串行通信接口。它可在全双工模式(使用 4 引脚)或半双工模式(使用 3 个引脚)下作为从机或主机工作。当 I2S 配置为通信主机模式时，该接口可以向外部 I2S 从设备提供主时钟(MCLK)。它可以满足四种不同的音频标准，包括 I2S Philips 标准、MSB 和 LSB 对齐标准以及 PCM 标准。

27. 2 特性

27. 2. 1 SPI 的主要特点

- 支持主机或从机模式操作
- 基于三条线的全双工同步传输
- 基于双线的半双工同步传输，其中一条可作为双向数据线
- 基于双线的单工同步传输，其中一条作为单向数据线
- 8 位或 16 位传输帧格式选择
- 支持多主机模式功能
- 8 个主机模式波特率预分频器，最高可达 fPCLK/2
- 从机模式频率最高可达 fPCLK/2
- 对于主机模式和从机模式都可通过硬件或软件进行 NSS 控制
- 时钟极性和相位可编程
- 数据顺序可编程，如最先移位 MSB 或 LSB
- 具有发送或接收的 FIFO 缓存状态标志
- 具有显示 SPI 总线忙状态标志
- 支持 SPI 摩托罗拉协议
- 支持 SPI TI 协议
- 用于确保可靠通信的硬件 CRC 功能：
  - 在发送模式下可将 CRC 值作为最后一个字节数据发送

- 根据收到的最后一个字节自动进行 CRC 错误校验

◆ 提供独立 16 级深度的发送和接收 FIFO 数据缓存

◆ 提供 12 种中断事件可触发中断

◆ 支持 DMA 传输：发送和接收请求

27. 2. 2 I2S 的主要特点

◆ 全双工通信

◆ 半双工通信(仅作为发送器或接收器)

◆ 支持主机或从机模式操作

◆ 8 位可编程线性预分频器，可达到精确的音频采样频率(从 8kHz 到 96kHz)

◆ 数据格式可以是 16 位、24 位或 32 位

◆ 数据长度由音频通道固定为 16 位(可容纳 16 位数据帧)或 32 位(可容纳 16 位、24 位、32 位数据帧)

◆ 可编程时钟极性(就绪时的电平状态)

◆ 提供 9 种中断事件可触发中断

◆ 支持的 I2S 协议：

- I2S Philips 标准
- MSB 对齐标准(左对齐)
- LSB 对齐标准(右对齐)
- PCM 标准

◆ 数据方向始终为 MSB 在前

◆ 支持 DMA 传输(16 位宽): 发送和接收请求

◆ 可输出主时钟以驱动外部音频组件。比率固定为 256×F_S(其中 F_S 为音频采样频率)

◆ 提供独立 16 级深度的发送和接收 FIFO 数据缓存

27. 3 SPI 实现

本手册介绍了 SPI1、SPI2 和 SPI3 中实现的全部功能。

SPI 模式/特性	SPI1	SPI2	SPI3
Rx 和 TxFIFO 大小(N)[x 8 位]	16	4	4
I2S 功能	有	无	无

表 27-1 SPI 特性

27. 4 SPI 结构图

SPI 允许 MCU 与外部设备之间进行同步串行通信。应用软件可以通过轮询状态标志或使用专用 SPI 中断来管理通信。SPI 的主要模块及其相互关系如下面的框图所示。

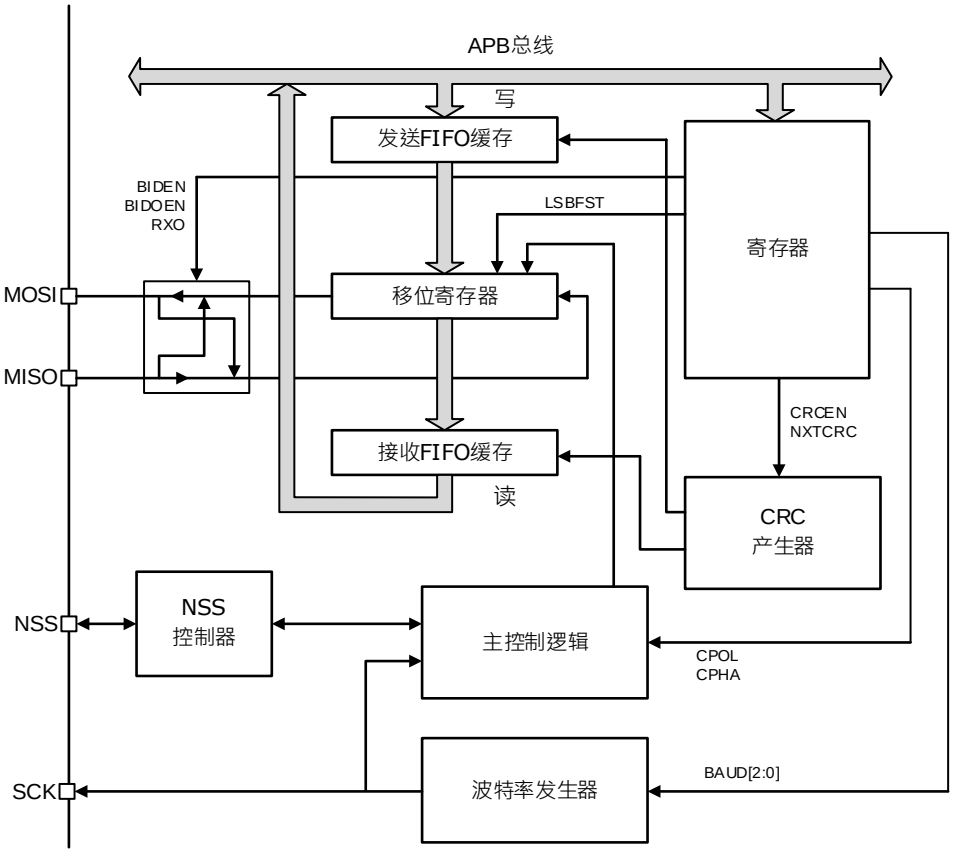


图 27-1 SPI 电路结构框图

通常，SPI 使用四个 I/O 引脚来与外部器件连接:

- MISO: 主机输入/从机输出数据引脚。此引脚可用于在从机模式下发送数据和在主机模式下接收数据。
- MOSI: 主机输出/从机输入数据引脚。此引脚可用于在主机模式下发送数据和在从机模式下接收数据。
- SCK: 用于 SPI 主机的串行时钟输出以及 SPI 从机的串行时钟输入。
- NSS: 从机选择引脚。此引脚用作“片选”，可让 SPI 主机与从机进行单独通信，从而避免数据线上的竞争。从机的 NSS 输入可由主机上的标准 IO 端口驱动。

当配置为主机模式(**SPI_CON1**.MSTREN=1)。在 SPI_CON2 寄存器中 NSSOE 位置 1 时，NSS 引脚配置为输出，传输时硬件驱动 NSS 引脚为低电平。在 **SPI_CON2** 寄存器中 NSSOE 位置 0 时，NSS 引脚配置为输入，如果 NSS 被拉至低电平将产生冲突，**SPI_CON1**.MSTREN 位将自动清零，SPI 将进入模式错误状态：(更多信息请参见 28.5.14.11 模式故障(MODF))。

27. 5 SPI 功能描述

在 SPI 通信期间，接收和发送操作同时执行。串行时钟(SCK)同步数据线上信息的移位和采样。通信格式取决于时钟相位、时钟极性和数据帧格式。为了能够一起通信，主机和从机必须遵循相同的通信格式。

27. 5. 1 时钟相位和极性控制

通过配置 **SPI_CON1**.CPOL 和 **SPI_CON1**.CPHA 位，可以用软件选择四种可能的时序关系。**SPI_CON1**.CPOL(时钟极性)位控制空闲时时钟线上的电平状态，此位对主机和从机都有作用。如果复位 **SPI_CON1**.CPOL 位，SCK 引脚在空闲状态时处于低电平。如果将 **SPI_CON1**.CPOL 位置 1，SCK 引脚在空闲状态时处于高电平。

如果将 **SPI_CON1**.CPHA 位置 1，则 SCK 引脚上的第二个边沿(如果 **SPI_CON1**.CPOL 位配置为 0，则为下降沿；如果 **SPI_CON1**.CPOL 位配置为 1，则为上升沿)对 MSB 采样。即在第二个时钟边沿锁存数据。如果复位 CPHA 位，则 SCK 引脚上的第一个边沿(如果 **SPI_CON1**.CPOL 位配置为 0，则为上升沿；如果 **SPI_CON1**.CPOL 位配置为 1，则为下降沿)对 MSB 采样。即在第一个时钟边沿锁存数据。

使用者通过组合 **SPI_CON1**.CPOL 和 **SPI_CON1**.CPHA 位来选择数据捕获的时钟边沿。

下图显示了在 **SPI_CON1**.CPHA 和 **SPI_CON1**.CPOL 位的四种组合下的 SPI 传输。可以将该图解释为主机或从机时序图，其中 SCK 引脚、MISO 引脚、MOSI 引脚直接连接在主机和从机之间。

注意:

1. 在切换 SPI_CON1.CPOL 或 SPI_CON1.CPHA 位之前，必须通过复位 SPI_CON1.SPIEN 位来关闭 SPI。
2. 必须以同一时序模式对主机和从机进行编程。
3. 主机和从机的时序需要配置成相同，通信才能正常。
4. SCK 的空闲状态必须与 SPI_CON1 寄存器中选择的极性相对应(如果 SPI_CON1.CPOL=1，则上拉 SCK；如果 SPI_CON1.CPOL=0，则下拉 SCK)。
5. 通过 SPI_CON1.FLEN 位选择数据帧长度(8 或 16 位)，该格式决定了发送与接收过程中的数据长度。

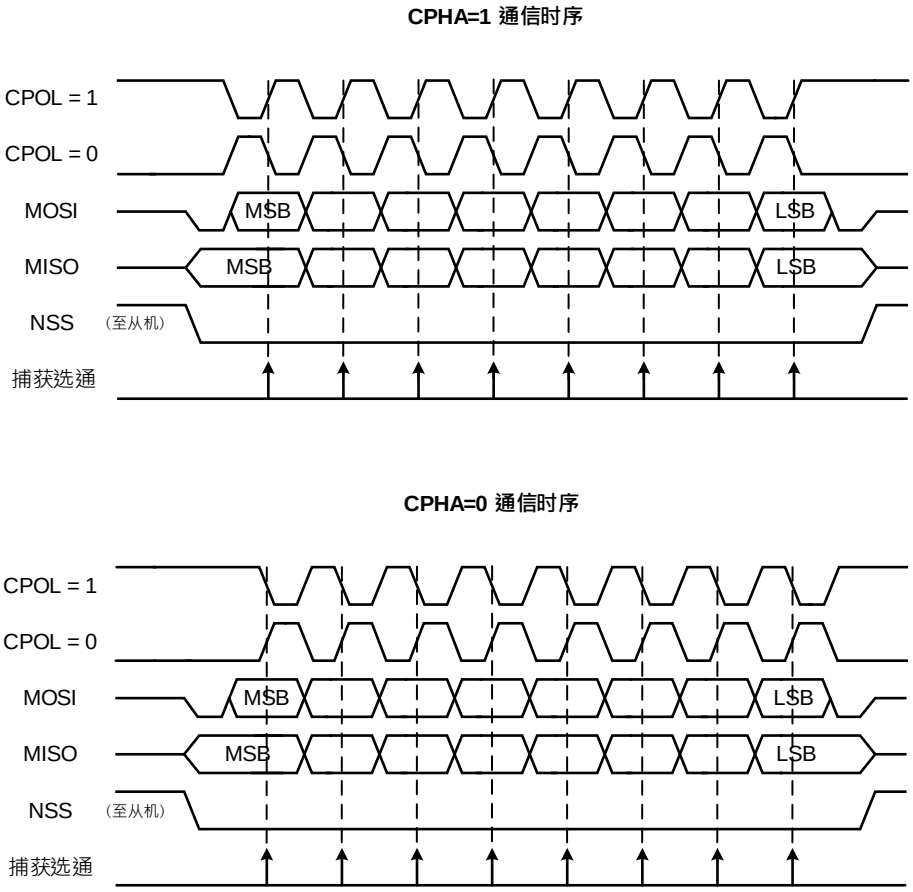


图 27-2 SPI 格式

注意：上图中显示的是当 SPI_CON1.LSBFST 处于复位状态时的时序图。

27. 5. 2 数据帧格式

SPI 移位寄存器可以设置为移出 MSB 优先或 LSB 优先，具体取决于 **SPI_CON1**.LSBFST 位的值。

每个数据帧的长度均为 8 位或 16 位，具体取决于 **SPI_CON1**.FLEN 位的配置。所选的数据帧长度适用于发送和接收。

27. 5. 3 从机片选(NSS)引脚管理

可以使用 **SPI_CON1**.SSEN 位设置硬件或软件控制从机片选。

- 软件控制 NSS(**SPI_CON1**.SSEN = 1)从机片选是由内部 **SPI_CON1**.SSOUT 位的值决定。
- 硬件管理 NSS(**SPI_CON1**.SSEN = 0)根据 NSS 输出配置(**SPI_CON2**.NSSOE 位)，硬件管理 NSS 有两种模式。
  - NSS 输出使能(**SPI_CON1**.SSEN = 0，**SPI_CON2**.NSSOE = 1)仅当 SPI 设备在主机模式下工作时才使用此配置。当主机开始传输数据时，NSS 信号驱动为低电平，

并保持到数据传输结束为止。

◇ NSS 输出禁止(**SPI_CON1**.SSEN = 0，**SPI_CON2**.NSSOE = 0)对于在主机模式下工作的设备，此配置允许多主机模式功能。对于设置为从机模式的设备，NSS 引脚用作传统 NSS 输入：在 NSS 为低电平时片选该从机，在 NSS 为高电平时取消对它的片选。

27. 5. 4 主机与从机的单对单通讯应用

SPI 允许 MCU 使用不同的配置进行通信，具体取决于所针对的设备和应用要求。当使用软件 NSS 管理时通过 2 或 3 线进行通信，使用硬件 NSS 管理时通过 3 或 4 线进行通信。通信始终由主机发起。

27. 5. 4. 1 全双工通信

默认情况下，SPI 配置为全双工通信。在此配置中，MOSI 引脚连接在一起，MISO 引脚连接在一起。通过这种方式，主机和从机之间以串行方式传输数据(最高有效位在前)。

通信始终由主机发起。当主机通过 MOSI 引脚向从机发送数据时，从机同时通过 MISO 引脚发出准备好的数据。这是一个数据输出和数据输入都由同一时钟进行同步的全双工通信过程，时钟信号由主机的 SCK 引脚发出提供给从机。

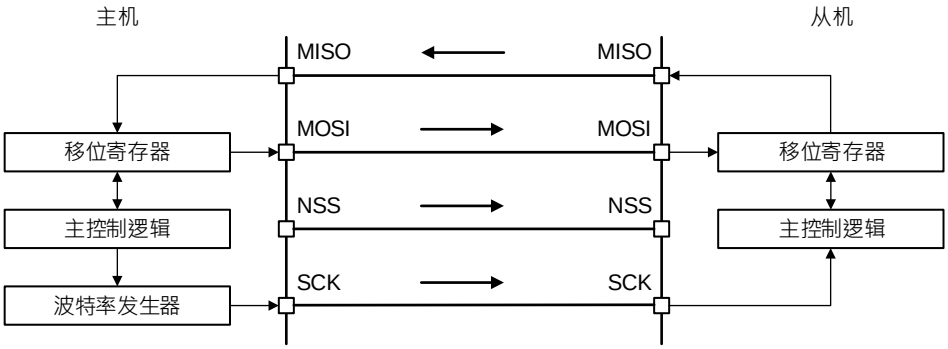


图 27-3 全双工通信

27. 5. 4. 2 半双工通信

SPI 可将 **SPI_CON1**.BIDEN 位置 1 来使能此模式。在此模式下，SCK 作为时钟信号输出引脚，MOSI(主机模式下)或 MISO(从机模式下)作为数据通信引脚。通过 **SPI_CON1**.BIDOEN 位来选择传输方向(输入或输出)。当该位置 1 时数据线为输出，该位置 0 时为输入。

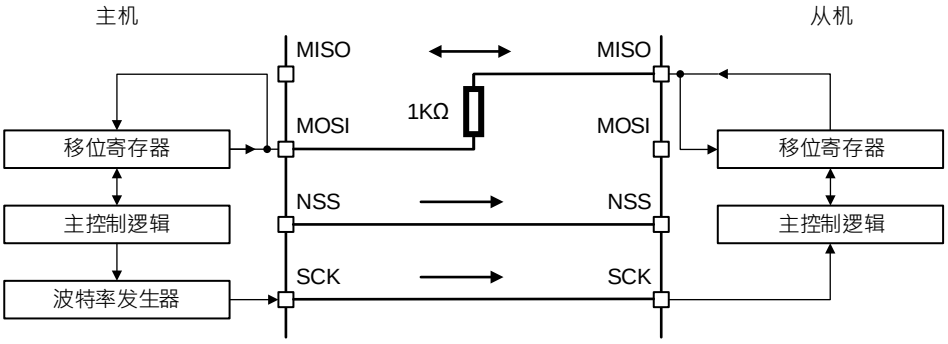


图 27-4 半双工通信

注意：

1. NSS 引脚可用于在主机和从机之间提供硬件控制流。如果不使用 NSS 引脚的话，必须在主机和从机的处理程序增加控制流。有关更多详细信息，请参见 28.5.3 从机片选(NSS)引脚管理。
2. 在此配置中，主机的 MISO 引脚和从机的 MOSI 引脚可用作 GPIO。
3. 当在双向模式下工作的两个节点之间的通信方向更改不同步或同时在公共线上临时提供相反的输出电平时进行斗争时。建议在 MISO 和 MOSI 引脚之间插入一个串联电阻，以保护输出并在这种情况下限制它们之间的电流。

27. 5. 4. 3 单工通信

SPI 可以在单工模式下通信，方法是使用 **SPI_CON1**.RXO 位将 SPI 设置为只发送或只接收。在这种配置中，只有一条线路用于主机和从机之间的数据传输。

- 只发送模式类似于全双工模式(**SPI_CON1**.BIDEN=0、**SPI_CON1**.RXO=0)：在发送引脚(主机模式下的 MOSI 或从机模式下的 MISO)上发送数据。接收引脚(主机模式下的 MISO 或从机模式下的 MOSI)可用作通用 IO。在此模式下接收的数据是无意义的，应用程序只需要忽略接收 FIFO 缓存。
- 只接收模式下，应用程序可将 **SPI_CON1**.RXO 位置 1 来关闭 SPI 输出功能。在这种情况下，发送 IO 引脚(主机模式下的 MOSI 或从机模式下的 MISO)可用于其它用途。

当 SPI 设置为只接收模式时：

- 一旦在主机模式下使能 SPI 后，主机会立即从 SCK 引脚发送时钟，即意味着通信开启，当 **SPI_CON1**.SPIEN 位清 0 后，SPI 模块关闭，通信也立即停止。此模式下无需读取 BUSY 标志，因为开始通信后此标志一直为 1。
- 在从机模式下，只要 NSS 引脚被拉低(或在 NSS 软件模式下将 **SPI_CON1**.SSOUT 位清零)，意味着从机被选中，同时一直有来自主机的 SCK 输入，SPI 就会继续接收。

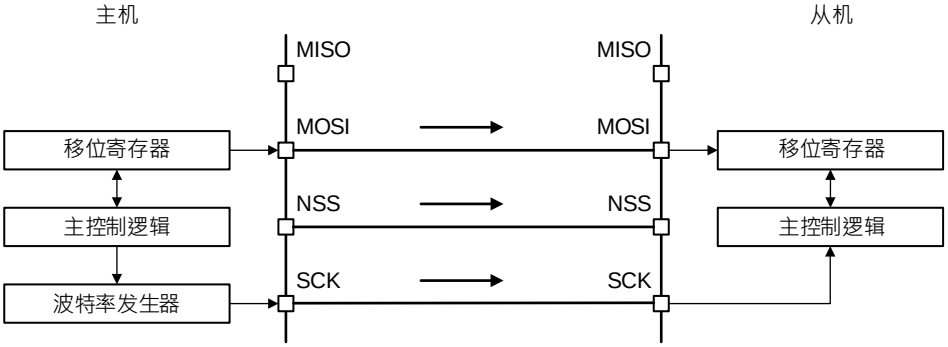


图 27-5 单工通信(主机模式下的只发送与从机模式下的只接收)

27. 5. 5 标准多从机通讯应用

在具有两个或更多独立从机的配置中，主机使用 GPIO 引脚来管理每个从机的芯片选择线，请见下图。 主机必须通过拉低连接到从机 NSS 输入的 GPIO 来单独选择一个从机，实现主机和被选择从机的专用通信。

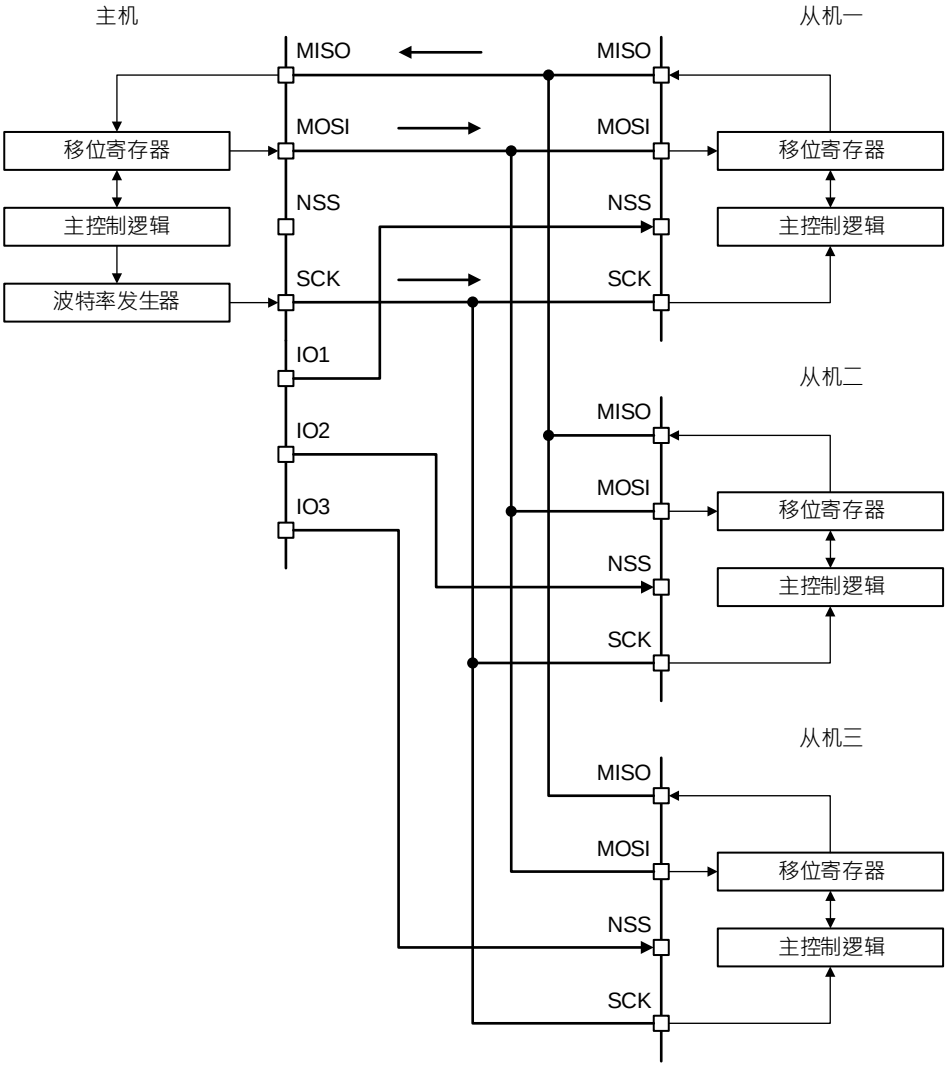


图 27-6 多从机通讯(一个主机和三个从机)

27. 5. 6 多主机通讯应用

多主机模式仅支持的两个 SPI 节点，因为一次只有一个节点可以将其输出应用于公共数据线上。可以使用内置功能来检测主控总线的两个节点之间的潜在冲突。对于此检测必须将 NSS 引脚配置为硬件输入模式。

当节点处于非活动状态时，默认情况下两个节点都处于从机模式。一旦一个节点想要超越总线上的控制，它就会切换到主机模式并通过专用的 GPIO 引脚对另一个节点的从机选择输入应用活动电平。会话完成后释放活动的从机选择信号，节点控制总线临时返回被动从机模式，等待下一个会话启动。

如果可能两个节点同时提出了它们的主控请求，则会出现总线冲突事件(参见 28.5.14.11 模式故障(MODF))。使用者可以应用一些简单的仲裁过程(例如通过在两个节点上定义不同的超时机制来推迟下一次请求)。

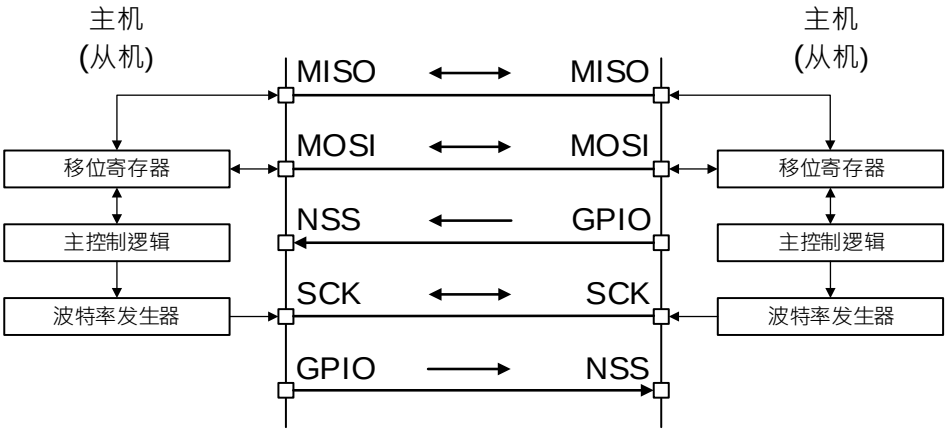


图 27-7 多主机通讯应用

27. 5. 7 SPI 配置成从机模式

SPI 作为从机时，时钟信号由主机提供，所以建议先使能从机，然后主机再发送时钟，否则数据传输可能不正常。建议按以下步骤配置 SPI 为从机：

步骤

1. 先配置时钟，将 **SPI_CON1**.CPOL 和 **SPI_CON1.**CPHA 位配置好，以定义数据传输和时钟之间的关系，注意从机和主机的这两位配置需保持一致。
2. 通过 **SPI_CON1**.FLEN 位设置数据帧的长度，可选择 8 位或 16 位。
3. 帧格式(MSB 在前或 LSB 在前取决于 **SPI_CON1**.LSBFST 位的值)必须与主机的帧格式相同。
4. 在硬件模式下(请参见 28.5.3 从机片选(NSS)引脚管理)，NSS 引脚在整个字节发送序列期间都会保持低电平。在 NSS 软件模式下将 **SPI_CON1**.SSEN 位置 1，将 **SPI_CON1**.SSOUT 位清零。
5. 将 **SPI_CON1**.MSTREN 位清零，并将 **SPI_CON1**.SPIEN 位置 1。
6. 在此配置中，MOSI 引脚作为数据输入，MISO 引脚作为数据输出。

发送序列

数据字节在写周期内被并行加载到发送 FIFO 缓存中。

当从机收到时钟信号并在 MOSI 引脚上收到数据的最高有效位时，发送序列开始。其余位(8 位数据帧长度中的 7 个位，16 位数据帧长度中的 15 个位)将加载到移位寄存器中。**SPI_STAT**.TXE 标志在发送 FIFO 缓存的最后一笔数据加载到移位寄存器时置 1，并且在 **SPI_IER**.TXE 位置 1 时将生成中断。

接收序列

对于接收器在数据传输完成时，移位寄存器中的数据将传输到接收 FIFO 缓存，并且将 **SPI_STAT**.RXNE 位置 1。

在出现最后一个采样时钟边沿后，将 **SPI_STAT**.RXNE 位置 1，移位寄存器中接收的数据字节被拷贝到接收 FIFO 缓存中，并且在 **SPI_IER**.RXNE 位置 1 时将生成中断。当读取 **SPI_DATA** 寄存器时，SPI 外设将返回此缓冲值。

27. 5. 8 SPI 配置成主机模式

时钟信号由主机从 SCK 引脚发出传输给从机。

步骤

1. 先配置时钟，设置 **SPI_CON1**.BAUD 位域，定义时钟波特率。
2. 配置 **SPI_CON1**.CPOL 和 **SPI_CON1**.CPHA 位，以定义数据传输和串行时钟之间的关系(四种关系中的一种)(参见 图 27-2)。
3. 通过 **SPI_CON1**.FLEN 位设置数据帧的长度，可选择 8 位或 16 位。
4. 通过 **SPI_CON1**.LSBFST 位设置定义帧格式，可选择 MSB 在前或 LSB 在前。
5. 当 NSS 引脚配置成输入时，在 NSS 硬件模式下，NSS 引脚在整个发送序列期间必须连接到高电平信号；在 NSS 软件模式下，需要将 **SPI_CON1**.SSEN 和 **SPI_CON1**.SSOUT 位都置 1。如果 NSS 引脚配置成输出，只需要将 **SPI_CON2**.NSSOE 位置 1 即可。
6. **SPI_CON1**.MSTREN 位置 1 使 SPI 工作在主机模式下，然后 **SPI_CON1**.SPIEN 位置 1 使能 SPI 模块(当 NSS 引脚配置成输入且在 NSS 硬件模式时，NSS 引脚必须维持高电平信号，这两个位才保持置 1)。
7. 在此配置中，MOSI 引脚作为数据输出，MISO 引脚作为数据输入。

发送序列

在 **SPI_DATA** 寄存器写入字节时，发送序列开始。在第一个位传输期间，数据(从内部总线)并行加载到移位寄存器中，然后以串行方式移出到 MOSI 引脚，至于是 MSB 在前还是 LSB 在前则取决于 **SPI_CON1**.LSBFST 位。TXE 标志在发送 FIFO 缓存的最后一笔数据加载到移位寄存器时置 1，并且在 **SPI_IER**.TXE 位置 1 时将生成中断。

接收序列

对于接收器，在数据传输最后一个采样时钟边沿时，将 **SPI_STAT**.RXNE 位置 1，移位寄存器中接收的数据字节被拷贝到接收 FIFO 缓存中，并且在 **SPI_IER**.RXNE 位置 1 时将生成中断。当读取 **SPI_DATA** 寄存器时，SPI 外设将返回此缓冲值。

如果在发送开始后将要发送的下一个数据置于发送 FIFO 缓存，则可保持连续的发送流。请注意，仅当 **SPI_STAT**.TXF 位为 0 时，才可以对发送 FIFO 缓存执行写操作。

注意：如果与之通信的从机需要在每个字节传输之间拉低片选信号，必须将该主机的 NSS 配置成 GPIO，或使用另外 GPIO，通过软件控制从机的片选。

27. 5. 9 数据发送和接收

27. 5. 9. 1 接收和发送 FIFO 缓存

所有 SPI 数据传输都通过嵌入式 16 级深度的 FIFO 缓存。使 SPI 能够连续传输工作。发送和接收都有自己的 FIFO 缓存。

对 **SPI_DATA** 寄存器的读访问将返回存储在接收 FIFO 缓存中但尚未读取的最旧的值。对 **SPI_DATA** 的写访问将已写数据存储在发送队列末尾的发送 FIFO 缓存中。**SPI_STAT** 寄存器中 RXFLV 和 TXFLV 位域指示两个 FIFO 缓存的有效数据个数。

对 **SPI_DATA** 寄存器的读访问必须由 RXTH 事件管理。当数据存储在接收 FIFO 缓存中并且达到阈值(由 **SPI_CON2** 寄存器中 RXFTH 位域定义)时，触发此事件。当 RXTH 被清除时，表示接收 FIFO 缓存中的有效数据个数小于阈值。以类似的方式，要发送的数据帧的写访问由 TXTH 事件管理。当发送 FIFO 缓存有效数据个数小于或等于阈值(由 **SPI_CON2** 寄存器中 TXFTH 位域定义)时将触发此事件。

27. 5. 9. 2 在主机模式下启动通信序列

- 在全双工通信(**SPI_CON1**.BIDEN=0 且 **SPI_CON1**.RXO=0)
  - ◇ 将数据写入到 **SPI_DATA** 寄存器(发送 FIFO 缓存)后，启动通信序列。
  - ◇ 随后在第一个位的发送期间，将数据从发送 FIFO 缓存并行加载到 8 位移位寄存器中,然后以串行方式将其移出到 MOSI 引脚。
  - ◇ 同时，将 MISO 引脚上接收的数据以串行方式移入 8 位移位寄存器，然后并行加载到 **SPI_DATA** 寄存器(接收 FIFO 缓存)中。
- 在单工通信-只接收模式(**SPI_CON1**.BIDEN=0 且 **SPI_CON1**.RXO=1)
  - ◇ 只要 **SPI_CON1**.SPIEN = 1，通信序列就立即开始。
  - ◇ MISO 引脚上接收的数据会先以串行方式移入 8 位移位寄存器，接着再从移位寄存器并行加载到 **SPI_DATA** 寄存器(接收 FIFO 缓存)中。
- 在半双工通信-发送模式(**SPI_CON1**.BIDEN=1 且 **SPI_CON1**.BIDOEN=1)
  - ◇ 将数据写入到 **SPI_DATA** 寄存器(发送 FIFO 缓存)时，通信序列启动。
  - ◇ 随后在第一个位的发送期间，将数据从发送缓冲区并行加载到 8 位移位寄存器中，然后以串行方式将其移出到 MOSI 引脚。
  - ◇ 不接收任何数据。
- 在半双工通信-接收模式(**SPI_CON1**.BIDEN=1 且 **SPI_CON1**.BIDOEN=0)
  - ◇ 只要 **SPI_CON1**.SPIEN=1 且 **SPI_CON1**.BIDOEN=0，通信序列就立即开始。
  - ◇ 在 MOSI 引脚上接收的数据以串行方式移入 8 位移位寄存器，然后并行加载到 **SPI_DATA** 寄存器(接收 FIFO 缓存)中。
  - ◇ 不会有数据以串行方式移出 MOSI 引脚。

27. 5. 9. 3 在从机模式下启动通信序列

- 在全双工模式(**SPI_CON1**.BIDEN=0 且 **SPI_CON1**.RXO=0)
  - ◇ 当从机收到时钟信号并在 MOSI 引脚上收到数据的第一个位时，通信序列开始。其余 7 个位将加载到移位寄存器中。
  - ◇ 同时，在第一个位的发送期间，将数据从发送缓冲区并行加载到 8 位移位寄存器中，然后以串行方式将其移出到 MISO 引脚。在 SPI 主机启动传输前，软件必须已把要从机发送的数据写入发送 FIFO 缓存。
- 在单工通信-只接收模式(**SPI_CON1**.BIDEN=0 且 **SPI_CON1**.RXO=1)
  - ◇ 当从机收到时钟信号并在 MOSI 引脚上收到数据的第一个位时，通信序列开始。其余 7 个位将加载到移位寄存器中。
  - ◇ 不会有数据以串行方式移出 MISO 引脚。
- 在半双工通信-发送模式(**SPI_CON1**.BIDEN=1 且 **SPI_CON1**.BIDOEN=1)
  - ◇ 当从机收到时钟信号，并且 MISO 引脚上发出发送 FIFO 缓存中的第一位数据时，通信序列开始。
  - ◇ 随后在第一个位的发送期间，将数据从发送 FIFO 缓存并行加载到 8 位移位寄存器中，然后以串行方式将其移出到 MISO 引脚。在 SPI 主机启动传输前，软件必须已把要从机发送的数据写入发送 FIFO 缓存。
  - ◇ 不接收任何数据。
- 在半双工通信-接收模式(**SPI_CON1**.BIDEN=1 且 **SPI_CON1**.BIDOEN=0)
  - ◇ 当从机收到时钟信号并在 MOSI 引脚上收到数据的第一个位时，通信序列开始。
  - ◇ 在 MISO 引脚上接收的数据以串行方式移入 8 位移位寄存器，然后并行加载到 **SPI_DATA** 寄存器(接收 FIFO 缓存)中。
  - ◇ 不会有数据以串行方式移出 MISO 引脚。

27. 5. 9. 4 处理数据发送与接收

全双工通信(SPI_CON1.BIDEN=0 且 SPI_CON1.RXO=0)，发送和接收数据的处理过程

直接存取操作模式(参见图 27-8):

1. 通过将 **SPI_CON1**.SPIEN 位置 1 来使能 SPI，将第一个要发送的数据项写入 **SPI_DATA** 寄存器(此操作会将 **SPI_STAT**.TXE 位清零)。
2. 等待 **SPI_STAT**.TXE=1，然后写入要发送的第二个数据项。然后等待 **SPI_STAT**.RXNE=1，读取 **SPI_DATA** 以获取第一个接收到的数据(此操作会将 **SPI_STAT**.RXNE 位清零)。对每个要发送和接收的数据项重复此操作，直到发送并接收完最后的数据。
3. 检查 **SPI_STAT**.TXE=1，然后等待至 **SPI_STAT**.BUSY=0，再关闭 SPI。
4. 此外，还可以使用 TXE 或 RXNE 中断事件对应的各个中断子程序来实现该过程。

FIFO 缓存操作模式(参见图 27-9):

1. 通过将 **SPI_CON1**.SPIEN 位置 1 来使能 SPI。

2. 配置 **SPI_CON2**.TXFTH 与 **SPI_CON2**.RXFTH。
3. 当 **SPI_STAT**.TXTH=1，将要发送的数据写入 **SPI_DATA** 寄存器(写入的数据个数必须大于 **SPI_CON2**.TXFTH 设定的阀值)，当 **SPI_STAT**.RXTH=1，读取 **SPI_DATA** 寄存器以获取接收到的数据(读取的数据个数必须为 **SPI_CON2**.RXFTH 设定的阀值)，重复此操作直到写入最后要发送的数据。
4. 等待至 **SPI_STAT**.BUSY=0，读取 **SPI_DATA** 寄存器以获取接收到的数据直到 **SPI_STAT**.RXFLV 位域为 0，再关闭 SPI。
5. 此外，还可以使用 TXTH 或 RXTH 中断事件对应的各个中断子程序来实现该过程。

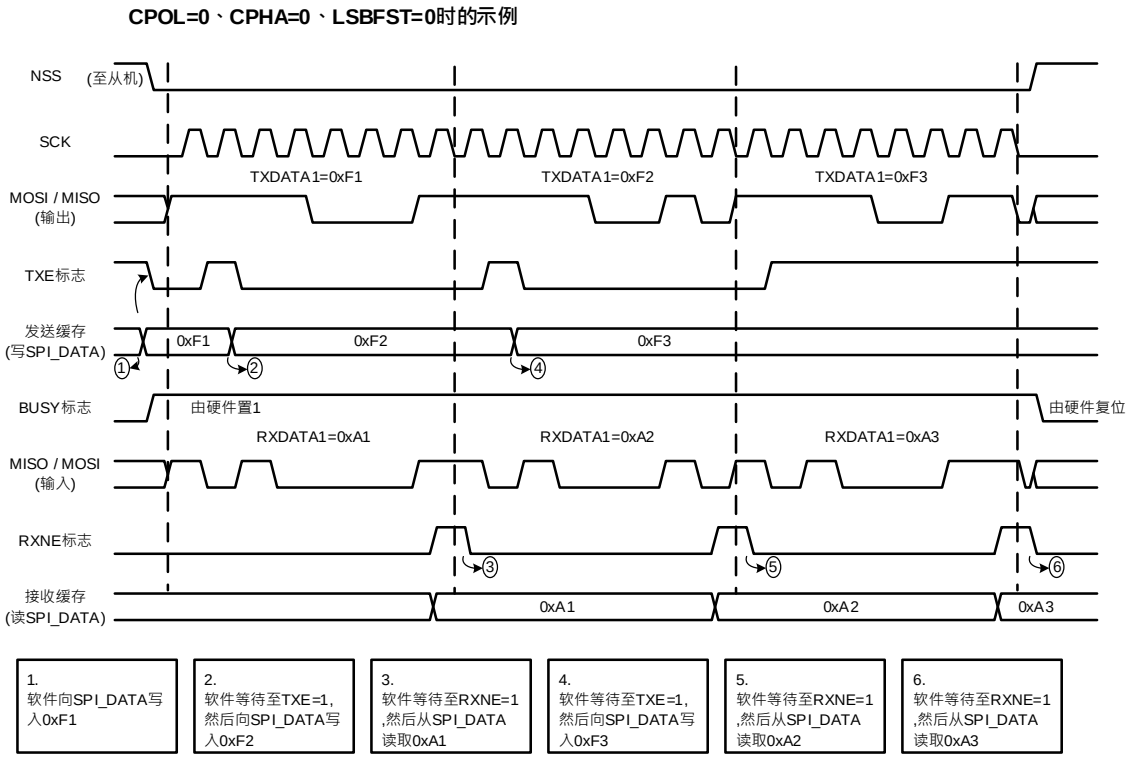


图 27-8 全双工通信(SPI_CON1.BIDEN=0 且 SPI_CON1.RXO=0)的 TXE、RXNE、BUSY 行为(直接存取操作模式在连续传输的情况下)

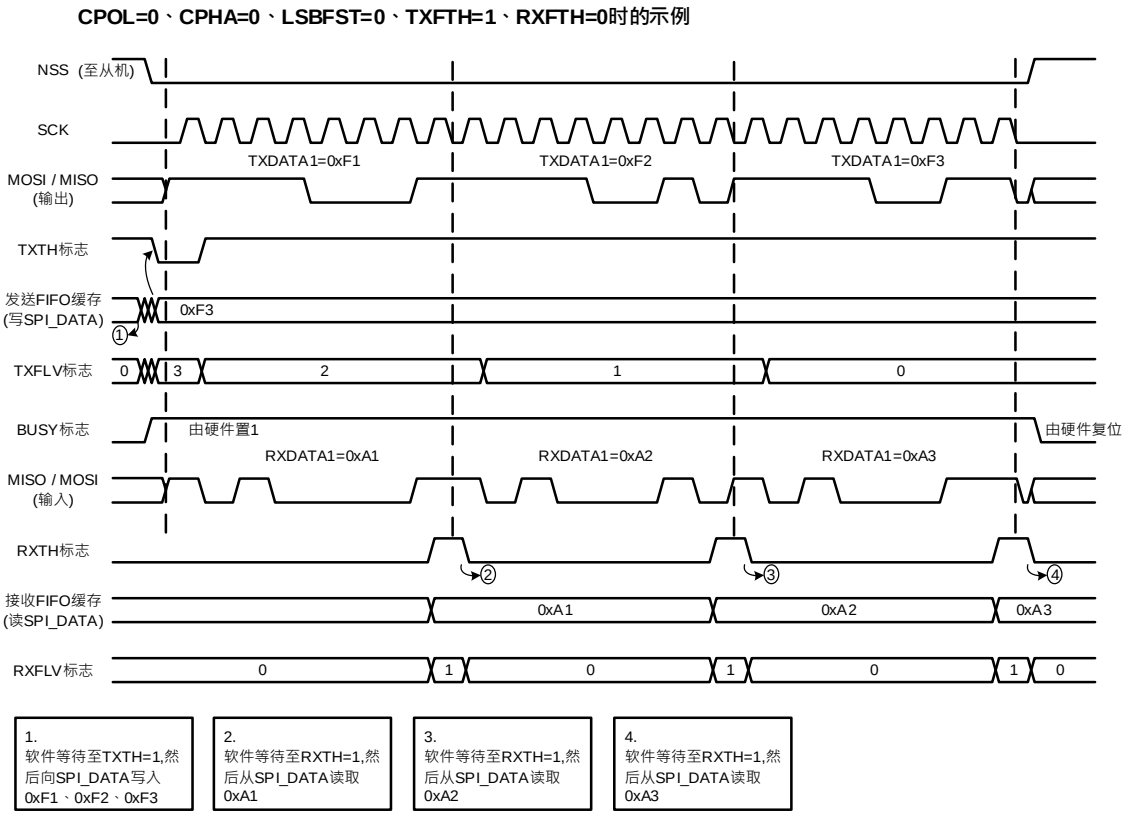


图 27-9 全双工通信(SPI_CON1.BIDEN=0 且 SPI_CON1.RXO=0)的 TXTH、RXTH、TXFLV、RXFLV、BUSY 行为(FIFO 缓存操作模式在连续传输的情况下)

单工通信-只发送模式(SPI_CON1.BIDEN=0、SPI_CON1.RXO=0)，发送数据的处理过程

直接存取操作模式(参见图 27-10):

1. 通过将 **SPI_CON1**.SPIEN 位置 1 来使能 SPI。
2. 等待 **SPI_STAT**.TXE=1 然后写入要发送的数据。对每个要发送的数据项重复此步骤。
3. 将最后一个数据写入 **SPI_DATA** 寄存器后，等待至 **SPI_STAT**.TXE=1，然后等待至 **SPI_STAT**.BUSY=0 再关闭 SPI，这表示最后的数据发送完成。
4. 此外，还可以使用在 TXE 中断事件对应的中断子程序来实现该过程。

FIFO 缓存操作模式(参见图 27-11):

1. 通过将 **SPI_CON1**.SPIEN 位置 1 来使能 SPI。
2. 配置 **SPI_CON2**.TXFTH。
3. 当 **SPI_STAT**.TXTH=1，将要发送的数据写入 **SPI_DATA** 寄存器(写入的数据个数必须大于 **SPI_CON2**.TXFTH 设定的阀值)，重复此操作直到写入最后要发送的数据。
4. 等待至 **SPI_STAT**.BUSY=0 再关闭 SPI。
5. 此外，还可以使用 TXTH 中断事件对应的中断子程序来实现该过程。

注意：

1. 在不连续通信期间，在对 SPI_DATA 寄存器执行写操作与 SPI_STAT.BUSY 位置 1 之间有延迟。因此在只发送模式下，写入最后的数据后，必须先等待 SPI_STAT.TXE 位置 1，然后等待 SPI_STAT.BUSY 位清零。
2. 在只发送模式下，发送 17 个数据项后，SPI_STAT.RXOV 标志将置 1，因为始终不会读取接收的数据。

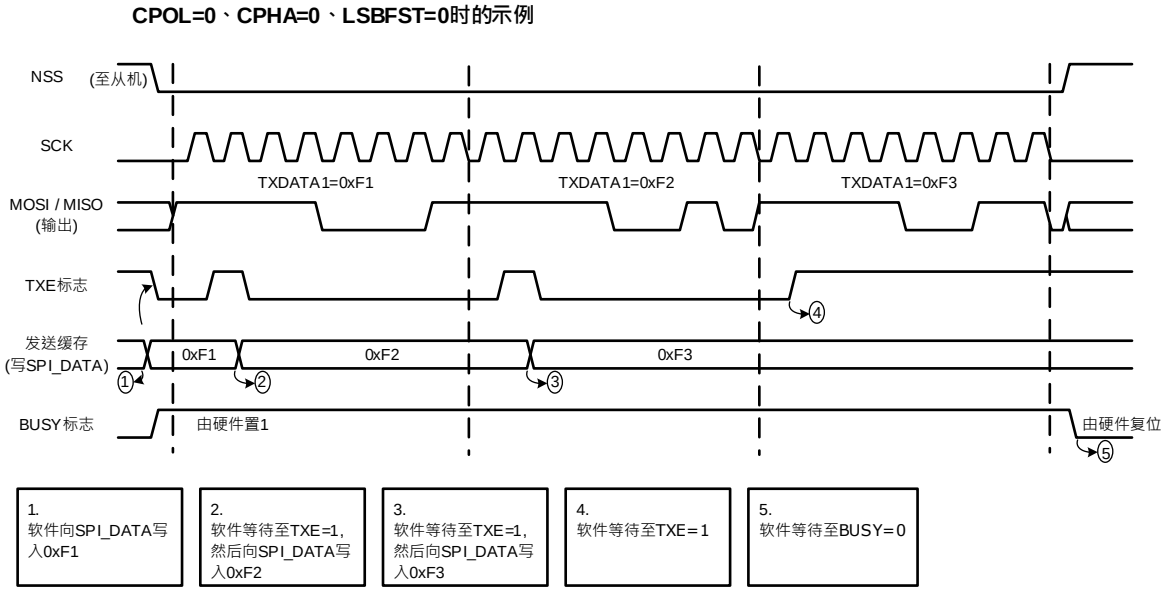


图 27-10 单工通信-只发送模式(SPI_CON1.BIDEN=0 且 SPI_CON1.RXO=0)的 TXE、BUSY 行为(直接存取操作模式在连续传输的情况下)

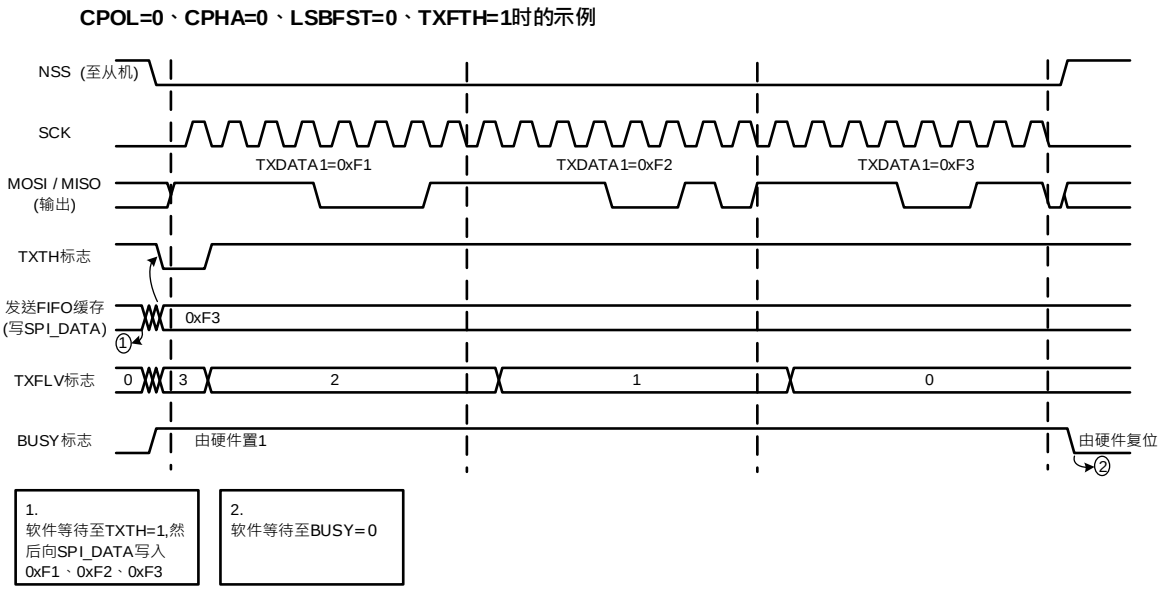


图 27-11 单工通信-只发送模式(SPI_CON1.BIDEN=0 且 SPI_CON1.RXO=0)的 TXTH、TXFLV、BUSY 行为(FIFO 缓存操作模式在连续传输的情况下)

半双工通信-发送模式(SPI_CON1.BIDEN=1 且 SPI_CON1.BIDOEN=1)，发送数据的处理过程

此模式与单工通信-只发送模式数据的处理过相似，但是在 SPI 模块使能前，必须将 **SPI_CON1**.BIDEN 位和 **SPI_CON1**.BIDOEN 位置 1。

单工通信-只接收模式(SPI_CON1.BIDEN=0 且 SPI_CON1.RXO=1)，接收数据的处理过程

直接存取操作模式(参见图 27-12):

1. 将 **SPI_CON1**.RXO 位置 1。
2. 通过将 **SPI_CON1**.SPIEN 位置 1 使能 SPI。
3. 等待 **SPI_STAT**.RXNE=1，然后读取 **SPI_DATA** 寄存器以获取接收的数据(此操作会将 **SPI_STAT**.RXNE 位清零)。对每个要接收的数据项重复此操作。
4. 此外，还可以使用 RXNE 中断事件对应的中断子程序来实现该过程。

FIFO 缓存操作模式(参见图 27-13):

1. 将 **SPI_CON1**.RXO 位置 1。
2. 配置 **SPI_CON2**.RXFTH。
3. 通过将 **SPI_CON1**.SPIEN 位置 1 使能 SPI。
4. 当 **SPI_STAT**.RXTH=1，读取 **SPI_DATA** 寄存器以获取接收到的数据(读取的数据个数必须为 **SPI_CON2**.RXFTH 设定的阀值)，重复此操作直到获取最后要接收的数据。
5. 此外，还可以使用 RXTH 中断事件对应的中断子程序来实现该过程。

注意：

1. 在主机模式下，一旦 SPI 使能后 SCK 会立即发送时钟，从机接收到时钟后会发送数据，直到主机关闭 SPI 功能结束通信。
2. 在从机模式下，当 NSS 被拉低并且接收到 SCK 时钟后开始接收数据。
3. 如果需要在最后一次传输后关闭 SPI，请参见 28.5.10 SPI 关闭流程

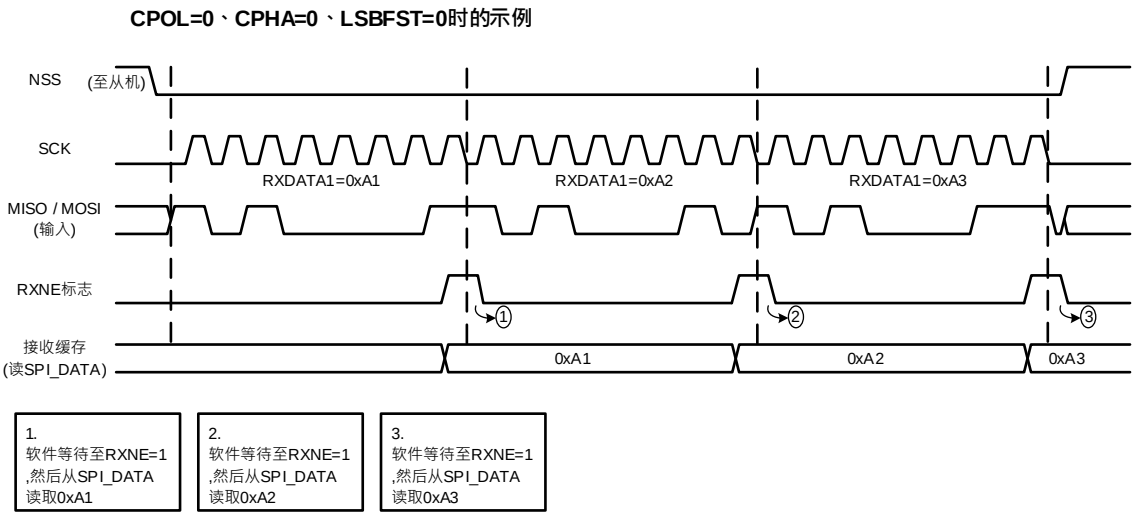


图 27-12 单工通信-只接收模式(SPI_CON1.BIDEN=0 且 SPI_CON1.RXO=1)的 RXNE 行为(直接存取操作模式在连续传输的情况下)

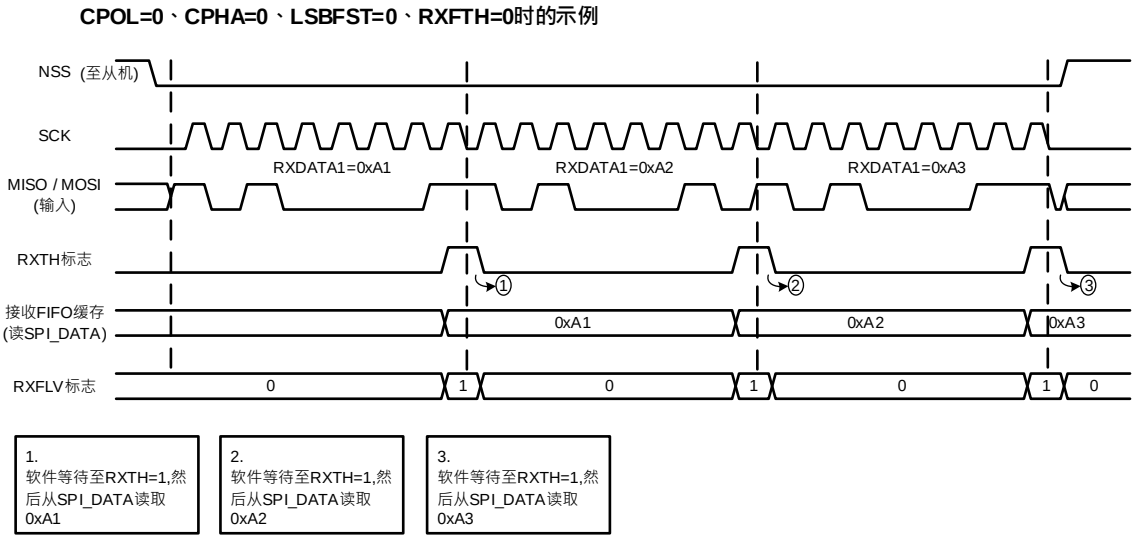


图 27-13 单工通信-只接收模式(SPI_CON1.BIDEN=0 且 SPI_CON1.RXO=1)的 RXTH、RXFLV 行为(FIFO 缓存操作模式在连续传输的情况下)

半双工通信-接收模式(SPI_CON1.BIDEN=1 和 SPI_CON1.BIDOEN=0)，接收数据的处理过程

此模式与单工通信-只接收模式数据的处理过程相似，但是在 SPI 模块使能之前，需要将 **SPI_CON1**.BIDEN 位置 1,并将 **SPI_CON1**.BIDOEN 与 **SPI_CON1**.RXO 位清 0。

连续传输和间断传输

在主机模式下发送数据时，如果软件处理速度足够快，可以在检测到 **SPI_STAT**.TXE=1(或发生 TXE 中断事件)，并且当前数据传输未结束，立即将下一次的数据写入 **SPI_DATA** 寄存器，则能实现连续的通信。或者配置 **SPI_CON2**.TXFTH 检测当 **SPI_STAT**.TXTH=1(或发生 TXTH 中断事件),将要发送的数据写入 **SPI_DATA** 寄存器(写入的数据个数必须大于 **SPI_CON2**.TXFTH 设定的阀值)，实现连续的通信。观察到的现象是 **SPI_STAT**.BUSY 位一直为 1 不被清除，并且每个数据的 SPI 时钟保持连续。

相反，如果软件速度不够快，则可能导致通信中断。在这种情况下，各数据传输之间会清零 **SPI_STAT**.BUSY 位。

在主机或从机模式下的单工通信-只接收模式(**SPI_CON1**.RXO=1)，通信始终是连续的，且 **SPI_STAT**.BUSY 位始终为 1。

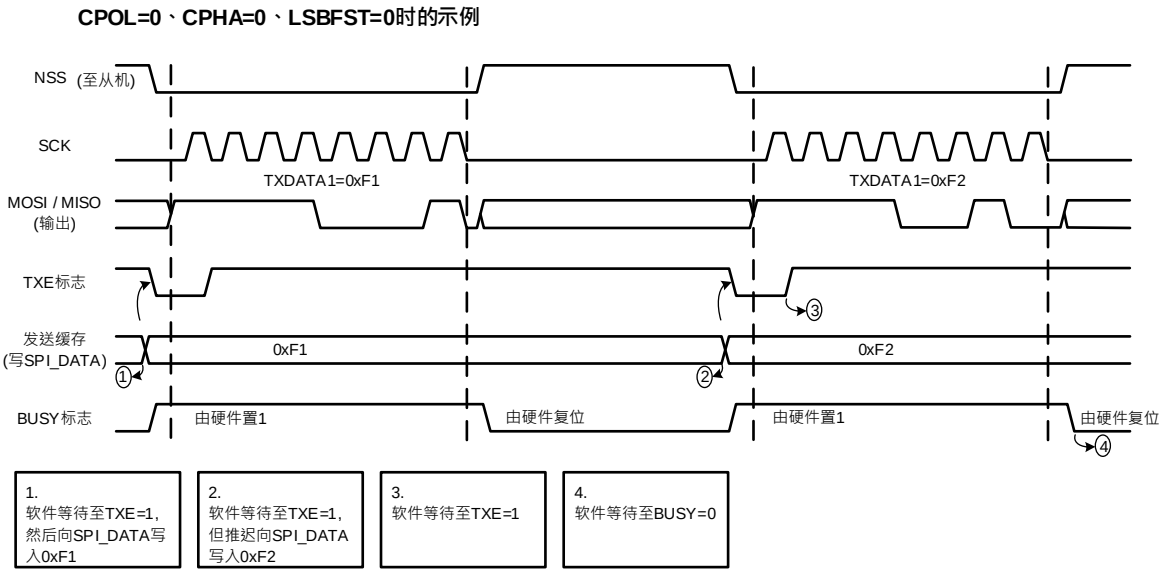


图 27-14 发送时(SPI_CON1.BIDEN =0 且 SPI_CON1.RXO=0)的 TXE、BUSY 行为(在间断传输的情况下)

27. 5. 10 SPI 关闭流程

传输终止时，通过清除 **SPI_CON1**.SPIEN 位来关闭 SPI 模块。

建议在关闭 SPI 时按以下步骤操作：

27. 5. 10. 1 在主机或从机的全双工通信(SPI_CON1.BIDEN=0、SPI_CON1.RXO=0)

1. 等待 **SPI_STAT**.RXNE=1 或 **SPI_STAT**.RXFLV!=0 以接收最后的数据。
2. 等待 **SPI_STAT**.TXE=1，并且 **SPI_STAT**.BUSY=0。
3. 设置 **SPI_CON1**.SPIEN=0 以关闭 SPI，最后进入停止模式(或关闭外设时钟)。

27. 5. 10. 2 在主机或从机的单工通信-只发送模式(SPI_CON1.BIDEN=0、SPI_CON1.RXO=0)或半双工通信-发送模式(SPI_CON1.BIDEN=1、SPI_CON1.BIDOEN=1)

最后的数据写入 **SPI_DATA** 寄存器后：

1. 等待 **SPI_STAT**.TXE=1。
2. 然后等待 **SPI_STAT**.BUSY=0。
3. 设置 **SPI_CON1**.SPIEN=0 以关闭 SPI，最后进入停止模式(或关闭外设时钟)。

27. 5. 10. 3 在主机的单工通信-只接收模式(SPI_CON1.MSTREN=1、SPI_CON1.BIDEN=0、SPI_CON1.RXO=1) 或半双工通信-接收模式(SPI_CON1.MSTREN=1、SPI_CON1.BIDEN=1、SPI_CON1.BIDOEN=0)

避免多余的 SPI 数据传输,必须以特殊方式管理这种情况：

1. 等待倒数第二个数据(第 n-1 个)对应的 RXNE 标志位置 1。
2. 在单工通信下将 **SPI_CON1** 寄存器中 RXO 位清零。在半双工通信下则将 **SPI_CON1** 寄存器中 BIDOEN 置 1。
3. 再等待最后的 **SPI_STAT**.RXNE=1 或 **SPI_STAT**.RXFLV!=0，才能关闭 SPI(SPIEN=0)然后进入停止模式(或关闭外设时钟)。

27. 5. 10. 4 在从机的单工通信-只接收从模式(SPI_CON1.MSTREN=0、SPI_CON1.BIDEN=0、SPI_CON1.RXO=1) 或半双工通信-接收模式(SPI_CON1.MSTREN=0、SPI_CON1.BIDEN=1、SPI_CON1.BIDOEN=0)

1. 可以随时关闭 SPI(写入 **SPI_CON1**.SPIEN=0)。当前传输将舍弃并立即关闭 SPI。
2. 如果要进入停止模式，则必须首先等待至 **SPI_STAT**.BUSY = 0，才能关闭 SPI(SPIEN=0)，然后才能进入停止模式(或关闭外设时钟)。

27. 5. 11 DMA 请求

为了更方便的实现高速通信，SPI 提供了 DMA 功能。DMA 请求条件是根据 **SPI_CON2** 寄存器中的 TXFTH 与 RXFTH 位域配置，当使能 **SPI_CON2** 寄存器中相应的 DMA 使能位时，将请求 DMA 访问。发送 FIFO 缓存和接收 FIFO 缓存会发出各自的 DMA 请求(参见图 27-15 和图 27-16：

- 在发送过程中，当 **SPI_STAT**.TXTH 位置 1 时会发出 DMA 请求。DMA 随后对 **SPI_DATA** 寄存器执行写操作(此操作会将 **SPI_STAT**.TXTH 位清零)。
- 在接收过程中，当 **SPI_STAT**.RXTH 位置 1 时会发出 DMA 请求。DMA 随后对 **SPI_DATA** 寄存器执行读操作(此操作会将 **SPI_STAT**.RXTH 位清零)。

当 SPI 仅用于只发送数据时，可以只使能 SPI TX DMA 通道。在这种情况下，**SPI_STAT**.RXOV 位会置 1，因为未读取接收的数据。

当 SPI 仅用于接收数据时，可以只使能 SPI RX DMA 通道。

在发送模式下，DMA 完成了所有要发送数据的传输后，**DMA_RIF** 寄存器会产生相对应通道的传输完成标志，使用者可以对 BUSY 标志进行监视，以确保 SPI 通信已完成。在关闭 SPI 或进入停止模式前必须等待 **SPI_STAT**.BUSY=0。

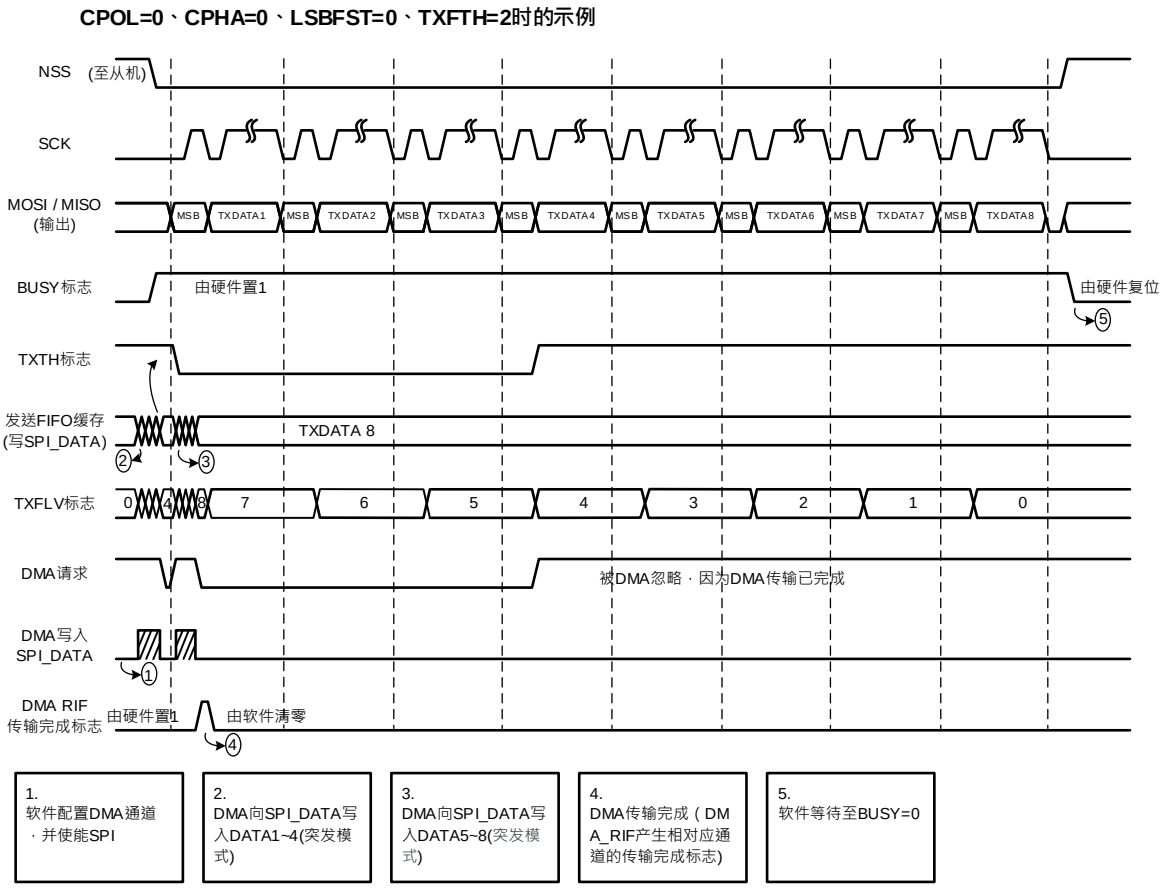


图 27-15 使用 DMA 进行发送

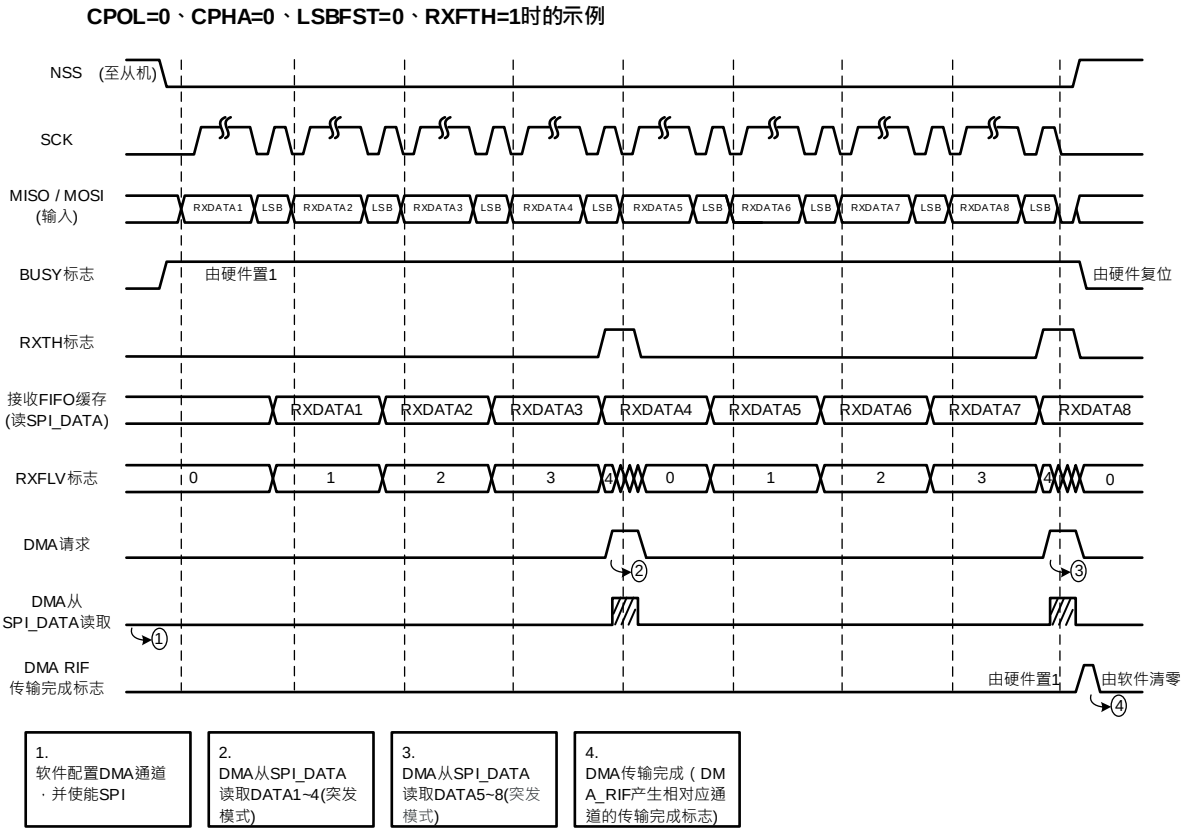


图 27-16 使用 DMA 进行接收

27. 5. 12 CRC 计算

为确保通信的可靠性，SPI 模块实现了硬件 CRC 功能。

针对发送或接收的数据帧宽度有 8 位和 16 位的选择，硬件 CRC 计算也提供了两种计算标准，分别为 8 位数据的 CRC8 和 16 位数据的 CRC16。CRC 是使用 **SPI_CRCPOLY** 寄存器中编程的多项式串行计算的。

将 **SPI_CON1**.CRCEN 位置 1 来使能 CRC 计算功能，此操作会复位 CRC 寄存器(**SPI_RXCRC** 和 **SPI_TXCRC**)。在全双工或只发送模式下，如果传输由软件(CPU 模式)管理，在连续传输的情况下,可以在最后一笔数据写入前任意时间点将 **SPI_CON1**.NXTCRC 位置 1，当最后一次数据传输结束时，将发送 **SPI_TXCRC** 寄存器内的值。在间断传输的情况下,必须在最后传输的数据写入 **SPI_DATA** 后，立即对 **SPI_CON1**.NXTCRC 位执行写操作，当最后一次数据传输结束时，将发送 **SPI_TXCRC** 寄存器内的值。如果传输由 DMA 管理，则在使能发送 FIFO 缓存 DMA 前，将 **SPI_CON1**.NXTCRC 位置 1，当最后一次数据传输结束时，将发送 **SPI_TXCRC** 寄存器内的值。

在只接收模式下，如果传输由软件(CPU 模式)管理，在连续传输的情况下,可以在接收到最后一个数据前将 **SPI_CON1**.NXTCRC 位置 1，在收到最后一个数据后会收到 CRC，然后执行 CRC 校验。在间断传输的情况下,则在接收到倒数第二个数据后，必须对 **SPI_CON1**.NXTCRC 位执行写操作，在收到最后一个数据后会收到 CRC，然后执行 CRC 校验。如果传输由 DMA 管理，则在使能接收 FIFO 缓存 DMA 前，将 **SPI_CON1**.NXTCRC 位置 1，在收到最后一个数据后会收到 CRC，然后执行 CRC 校验。

如果传输过程中出现数据损坏，则在数据和 CRC 传输结束时，**SPI_RIF**.CRCERR 位将置 1。

如果发送 FIFO 缓存中存在数据，则只有在发送数据字节后才会发送 CRC 值。在 CRC 发送期间，CRC 计算器处于关闭状态且寄存器值保持不变。

可通过以下步骤使用 CRC 进行 SPI 通信：

1. 对 **SPI_CON1**.BAUD、**SPI_CON1**.CPOL、**SPI_CON1**.CPHA、**SPI_CON1**.LSBFST、**SPI_CON1**.SSEN、**SPI_CON1**.SSOUT 和 **SPI_CON1**.MSTREN 值进行设置。
2. 向 **SPI_CRCPOLY** 寄存器中写入计算 CRC 的多项式。
3. 通过将 **SPI_CON1**.CRCEN 位置 1 来使能 CRC 计算。此操作还会将 **SPI_RXCRC** 和 **SPI_TXCRC** 寄存器清零。
4. 通过将 **SPI_CON1**.SPIEN 位置 1 使能 SPI。
5. 启动并保持通信，直到只剩下一个字节或半字未发送或接收。
   - ◇ 在全双工或只发送模式下，如果传输由软件管理，在连续传输的情况下,可以在最后一笔数据写入前任意时间点将 **SPI_CON1**.NXTCRC 位置 1，以表示在发送完最后一个字节后将发送 CRC。在间断传输的情况下,必须在最后传输的数据写入 **SPI_DATA** 后，立即对 **SPI_CON1**.NXTCRC 位执行写操作，以表示在发送完最后一个字节后将发送 CRC。

◇ 在只接收模式下，在连续传输的情况下,可以在接收到最后一个数据前将 **SPI_CON1**.NXTCRC 位置 1,以便使 SPI 准备好在接收完最后一个数据后进入 CRC 阶段。在间断传输的情况下,则在接收到倒数第二个数据后，必须对 **SPI_CON1**.NXTCRC 位执行写操作,以便使 SPI 准备好在接收完最后一个数据后进入 CRC 阶段。在 CRC 传输期间，CRC 计算将冻结。

6. 传输完最后一个字节或半字后，SPI 进入 CRC 传输和校验阶段。在全双工模式或只接收模式下，将接收的 CRC 与 **SPI_RXCRC** 值进行比较。如果两个值不匹配，则 **SPI_RIF**.CRCERR 位将置 1，并且在 **SPI_IER**.CRCERR 位置 1 时会产生中断。

当 SPI 处于从机模式时，注意只能在时钟稳定(时钟处于空闲电平)时使能 CRC 计算。否则，可能导致 CRC 计算错误。

在 SPI 通信时钟频率较高的情况下，发送 CRC 时务必小心。应于在 CRC 传输阶段 CPU 尽可能保持空闲，因此禁止在 CRC 发送阶段调用函数，以便避免最后的数据和 CRC 接收出错。实际上在发送或接收最后的数据之前必须对 **SPI_CON1**.NXTCRC 位执行写操作。

SPI 通信时钟频率较高时，建议使用 DMA 模式来避免由于 CPU 访问影响 SPI 带宽而导致 SPI 速度性能下降。

如果将 SPI 配置为从机，并且使用 NSS 硬件模式，则需要在数据阶段和 CRC 阶段之间将 NSS 引脚保持为低电平。

在对从机片选的切换期间内，应在主机和从机两端同时将 CRC 值清零，以重新同步主机和机双方的 CRC 计算。

要将 CRC 值清零，请按以下步骤操作：

1. 将 **SPI_CON1**.CRCEN 位清零。
2. 将 **SPI_CON1**.CRCEN 位置 1。

27. 5. 13 SPI 状态标志

27. 5. 13. 1 发送 FIFO 缓存为空(TXE)

此标志置 1 时，表示发送 FIFO 缓存为空，此时可以将待发送的数据加载到发送 FIFO 缓存中。对 **SPI_DATA** 寄存器执行写操作时，会将 TXE 标志清零。

27. 5. 13. 2 发送 FIFO 缓存为满(TXF)

此标志置 1 时，表示发送 FIFO 缓存为满，此时无法将待发送的数据加载到发送 FIFO 缓存中。当从发送 FIFO 缓存加载一个数据到移位寄存器时，会将 TXF 标志清零。

27. 5. 13. 3 发送 FIFO 缓存上溢(TXOV)

当发送 FIFO 缓存已满时，使用者对 **SPI_DATA** 寄存器执行写操作。在这种情况下，新写入的数据不会加载到发送 FIFO 缓存中，并将此标志置 1。对 **SPI_STAT** 寄存器执行读访问时，将 TXOV 标志清零。

27. 5. 13. 4 发送 FIFO 缓存下溢(TXUD)

在从机模式下当发送 FIFO 缓存为空时，但主机提出数据请求。在这种情况下，不会有数据从发送 FIFO 缓存加载到移位寄存器中,并将此标志置 1。对 **SPI_STAT** 寄存器执行读访问时，将 TXUD 标志清零。

27. 5. 13. 5 发送 FIFO 缓存阈值(TXTH)

此标志置 1 时，表示发送 FIFO 缓存中的有效数据个数少于或者等于 **SPI_CON2**.TXFTH 设置的值，此时可以将待发送的数据加载到发送 FIFO 缓存中。当加载到 FIFO 缓存中的有效数据个数大于 **SPI_CON2**.TXFTH 设置的值时，会将 TXTH 标志清零。

27. 5. 13. 6 接收 FIFO 缓存为非空(RXNE)

此标志置 1 时，表示接收 FIFO 缓存中存在有效的已接收数据。此时使用者可读取 **SPI_DATA** 寄存器，当读取后接收 FIFO 缓存中没有效数据时，此标志位会被清零。

27. 5. 13. 7 接收 FIFO 缓存为满(RXF)

此标志置 1 时，表示接收 FIFO 缓存为满，此时无法将接收的数据加载到接收 FIFO 缓存中。对 **SPI_DATA** 寄存器执行读访问时，将 RXF 标志清零。

27. 5. 13. 8 接收 FIFO 缓存上溢(RXOV)

当接收 FIFO 缓存已满时，使用者没对 **SPI_DATA** 寄存器执行读访问。在这种情况下，主机发送的下一个数据帧不会加载到接收 FIFO 缓存中,同时将此标志置 1。对 **SPI_STAT** 寄存器执行读访问时，会将 RXOV 标志清零。

27. 5. 13. 9 接收 FIFO 缓存下溢(RXUD)

当接收 FIFO 缓存为空时，但使用者对 **SPI_DATA** 寄存器执行读访问。在这种情况下，读访问不会从接收FIFO缓存中读到有效的数据,并将此标志置1。对**SPI_STAT**寄存器执行读访问时，

会将 RXUD 标志清零。

27. 5. 13. 10 接收 FIFO 缓存阈值(RXTH)

此标志置 1 时，表示接收 FIFO 缓存中的有效数据个数大于或者等于 **SPI_CON2**.RXFTH 设置的值，此时对 **SPI_DATA** 寄存器执行读访问读取接收 FIFO 缓存中的数据。当读取到 FIFO 缓存中的有效数据个数少于 **SPI_CON2**.RXFTH 设置的值时，会将 RXTH 标志清零。

27. 5. 13. 11 通信忙(BUSY)

BUSY 标志用于指示 SPI 通信的状态。此标志由硬件置 1 和清零。

SPI_STAT.BUSY 位置 1 时，表示 SPI 正在通信中。在通信结束前，使用者可检测 **SPI_STAT**.BUSY 位是否为 0，表示通信已结束，此时关闭 SPI 模块停止通信。
BUSY 标志还可用于避免在多主机模式系统中发生写冲突。

在以下情况硬件将清零该标志：

- 传输完成时(主机模式下的连续通信除外)
- 关闭 SPI 时
- 发生模式错误时(**SPI_RIF**.MODF=1)

当通信不连续时，BUSY 标志在各通信之间处于低电平。
当通信连续时，BUSY 标志在所有传输期间均保持高电平。

注意：请勿使用 BUSY 标志处理每次数据发送或接收，最好改用 TXTH 标志和 RXTH 标志。

27. 5. 14 SPI 中断事件

27. 5. 14. 1 发送 FIFO 缓存为空(TXE)

下列两种情况将产生 TXE 的中断事件

- **SPI_RIF** 寄存器的 TXE 位默认值为 0，当发送 FIFO 缓存为空(**SPI_STAT**.TXE=1)，且对 **SPI_IER** 寄存器中的 TXE 位置 1 时。在这种情况下，**SPI_RIF** 寄存器的 TXE 位会被设置为 1，并产生中断。通过对 **SPI_ICR** 寄存器中的 TXE 位置 1，会将 **SPI_RIF** 寄存器的 TXE 位清零并清除中断。
- 当发送 FIFO 缓存中的最后一笔有效数据加载到移位寄存器时。在这种情况下，**SPI_RIF** 寄存器的 TXE 位会被设置为 1，如果 **SPI_IER** 寄存器中的 TXE 位置 1 则产生中断。通过对 **SPI_ICR** 寄存器中的 TXE 位置 1，会将 **SPI_RIF** 寄存器的 TXE 位清零并清除中断。

27. 5. 14. 2 发送 FIFO 缓存上溢(TXOV)

当发送 FIFO 缓存已满(**SPI_STAT**.TXF=1)时，使用者对 **SPI_DATA** 寄存器执行写操作。在这种情况下，**SPI_RIF** 寄存器的 TXOV 位会被设置为 1，如果 **SPI_IER** 寄存器中的 TXOV 位置 1 则产生中断。通过对 **SPI_ICR** 寄存器中的 TXOV 位置 1，会将 **SPI_RIF** 寄存器的 TXOV 位清零并清除中断。

27. 5. 14. 3 发送 FIFO 缓存下溢(TXUD)

在从机模式下当发送 FIFO 缓存为空时，但主机提出数据请求。在这种情况下，**SPI_RIF** 寄存器的 TXUD 位会被设置为 1，如果 **SPI_IER** 寄存器中的 TXUD 位置 1 则产生中断。通过对 **SPI_ICR** 寄存器中的 TXUD 位置 1, 会将 **SPI_RIF** 寄存器的 TXUD 位清零并清除中断。

27. 5. 14. 4 发送 FIFO 缓存阈值(TXTH)

下列两种情况将产生 TXTH 的中断事件

- **SPI_RIF** 寄存器的 TXTH 位默认值为 0，当 **SPI_STAT**.TXTH=1 时，且对 **SPI_IER** 寄存器中的 TXTH 位置 1。在这种情况下，**SPI_RIF** 寄存器的 TXTH 位会被设置为 1，并产生中断。通过对 **SPI_ICR** 寄存器中的 TXTH 位置 1，会将 **SPI_RIF** 寄存器的 TXTH 位清零并清除中断。
- 当发送 FIFO 缓存中的数据加载到移位寄存器时，使 FIFO 缓存中的有效数据个数等于 **SPI_CON2**.TXFTH 设置的值。在这种情况下，**SPI_RIF** 寄存器的 TXTH 位会被设置为 1，如果 **SPI_IER** 寄存器中的 TXTH 位置 1 则产生中断。通过对 **SPI_ICR** 寄存器中的 TXTH 位置 1，会将 **SPI_RIF** 寄存器的 TXTH 位清零并清除中断。

27. 5. 14. 5 接收 FIFO 缓存为非空(RXNE)

下列两种情况将产生 RXNE 的中断事件

- 当 **SPI_STAT**.RXNE=1 时，且对 **SPI_IER** 寄存器中的 RXNE 位置 1。在这种情况下，**SPI_RIF** 寄存器的 RXNE 位会被设置为 1，并产生中断。通过对 **SPI_ICR** 寄存器中的 RXNE 位置 1，会将 **SPI_RIF** 寄存器的 RXNE 位清零并清除中断。
- 当接收的数据加载到 FIFO 缓存中，使接收 FIFO 缓存为非空的时候。在这种情况下，**SPI_RIF** 寄存器的 RXNE 位会被设置为 1，如果 **SPI_IER** 寄存器中的 RXNE 位置 1 则产

生中断。通过对 **SPI_ICR** 寄存器中的 RXNE 位置 1，会将 **SPI_RIF** 寄存器的 RXNE 位清零并清除中断。

27. 5. 14. 6 接收 FIFO 缓存为满(RXF)

下列两种情况将产生 RXF 的中断事件

- 当 **SPI_STAT**.RXF=1 时，且对 **SPI_IER** 寄存器中的 RXF 位置 1。在这种情况下，**SPI_RIF** 寄存器的 RXF 位会被设置为 1，并产生中断。通过对 **SPI_ICR** 寄存器中的 RXF 位置 1，会将 **SPI_RIF** 寄存器的 RXF 位清零并清除中断。
- 当接收的数据加载到 FIFO 缓存中，使接收 FIFO 缓存为满的时候。在这种情况下，**SPI_RIF** 寄存器的 RXF 位会被设置为 1，如果 **SPI_IER** 寄存器中的 RXF 位置 1 则产生中断。通过对 **SPI_ICR** 寄存器中的 RXF 位置 1，会将 **SPI_RIF** 寄存器的 RXF 位清零并清除中断。

27. 5. 14. 7 接收 FIFO 缓存上溢(RXOV)

当接收 FIFO 缓存已满时，下一个接收的数据帧不会加载到接收 FIFO 缓存中。在这种情况下，**SPI_RIF** 寄存器的 RXOV 位会被设置为 1，如果 **SPI_IER** 寄存器中的 RXOV 位置 1 则产生中断。通过对 **SPI_ICR** 寄存器中的 RXOV 位置 1，会将 **SPI_RIF** 寄存器的 RXOV 位清零并清除中断。

27. 5. 14. 8 接收 FIFO 缓存下溢(RXUD)

当接收 FIFO 缓存为空时，但使用者对 **SPI_DATA** 寄存器执行读访问。在这种情况下，**SPI_RIF** 寄存器的 RXUD 位会被设置为 1，如果 **SPI_IER** 寄存器中的 RXUD 位置 1 则产生中断。通过对 **SPI_ICR** 寄存器中的 RXUD 位置 1，会将 **SPI_RIF** 寄存器的 RXUD 位清零并清除中断。

27. 5. 14. 9 接收 FIFO 缓存阈值(RXTH)

下列两种情况将产生 RXTH 的中断事件

- 当 **SPI_STAT**.RXTH=1 时，且对 **SPI_IER** 寄存器中的 RXTH 位置 1。在这种情况下，**SPI_RIF** 寄存器的 RXTH 位会被设置为 1,并产生中断。通过对 **SPI_ICR** 寄存器中的 RXTH 位置 1，会将 **SPI_RIF** 寄存器的 RXTH 位清零并清除中断。
- 当接收的数据帧加载到接收 FIFO 缓存时，使 FIFO 缓存中的有效数据个数等于 **SPI_CON2**.RXFTH 设置的值。在这种情况下，**SPI_RIF** 寄存器的 RXTH 位会被设置为 1，如果 **SPI_IER** 寄存器中的 RXTH 位置 1 则产生中断。通过对 **SPI_ICR** 寄存器中的 RXTH 位置 1，会将 **SPI_RIF** 寄存器的 RXTH 位清零并清除中断。

27. 5. 14. 10 CRC 错误(CRCERR)

当 **SPI_CON1** 寄存器中的 CRCEN 位置 1 时，此标志用于验证接收数据的有效性。如果移位寄存器中接收的值与 **SPI_RXCRC** 的值不匹配，**SPI_RIF** 寄存器中的 CRCERR 位将置 1。如果 **SPI_IER** 寄存器中的 CRCERR 位置 1 则产生中断。通过对 **SPI_ICR** 寄存器中的 CRCERR 位置 1，会将 **SPI_RIF** 寄存器的 CRCERR 位清零并清除中断。

27. 5. 14. 11 模式故障(MODF)

当主机的 NSS 引脚拉低(NSS 硬件模式下)或 **SPI_CON1**.SSOUT 位为 0(NSS 软件模式下)时，会发生模式错误，这会自动将 **SPI_RIF**.MODF 位置 1。模式错误会在以下几方面影响 SPI 外

设：

- 如果 **SPI_IER** 寄存器中的 MODF 位置 1 则产生中断。
- **SPI_CON1**.SPIEN 位清零。这将关闭所有输出，并关闭 SPI 接口。
- **SPI_CON1**.MSTREN 位清零，从而强制 SPI 进入从机模式。

通过对 **SPI_ICR** 寄存器中的 MODF 位置 1，会将 **SPI_RIF** 寄存器的 MODF 位清零并清除中断。

为避免包含多个 MCU 的系统中发生多从机模式冲突，必须在 **SPI_RIF**.MODF 位清零前将 NSS 引脚拉高。在 **SPI_RIF**.MODF 位清零后可以将 **SPI_CON1**.SPIEN 和 **SPI_CON1**.MSTREN 位恢复到原始状态。

硬件不允许在 **SPI_RIF**.MODF 位为 1 时将 **SPI_CON1**.SPIEN 和 **SPI_CON1**.MSTREN 位置 1。

在多主机模式配置中，可在 **SPI_RIF**.MODF 位为 1 时处于从机模式。在这种情况下，**SPI_RIF**.MODF 位指示系统控制可能存在多主机模式冲突。可使用中断程序从此状态完全恢复，方法是执行复位或返回到默认状态。

27. 5. 14. 12 TI 模式帧格式错误(FRE)

如果 SPI 在从机模式下工作，并配置为符合 TI 模式协议，则在持续通信期间出现 NSS 脉冲时，将检测到 TI 模式帧格式错误。出现此错误时，**SPI_RIF** 寄存器中的 FRE 位将置 1。 发生错误时不会关闭 SPI，但会忽略 NSS 脉冲，并且 SPI 会等待至下一个 NSS 脉冲，然后再开始新的传输。由于错误检测可能导致丢失两个数据字节，因此数据可能会损坏。

如果 **SPI_IER** 寄存器中的 FRE 位置 1，则检测到帧格式错误时将产生中断。在这种情况下，由于无法保证数据的连续性，应关闭 SPI 并在重新使能 SPI 后，由主机重新发起通信。

通过对 **SPI_ICR** 寄存器中的 FRE 位置 1，会将 **SPI_RIF** 寄存器的 FRE 位清零并清除中断。

27. 5. 15 SPI TI 模式

SPI 接口与 TI 协议兼容。**SPI_CON2** 寄存器的 FRF 位可用于配置 SPI 以符合此协议。

无论 **SPI_CON1** 寄存器中设置的值如何，都必须强制时钟极性和相位符合 TI 协议要求。NSS 管理也特定于 TI 协议，在这种情况下无法通过 **SPI_CON1** 和 **SPI_CON2** 寄存器(SSEN、SSOUT、NSSOE)配置 NSS 管理。

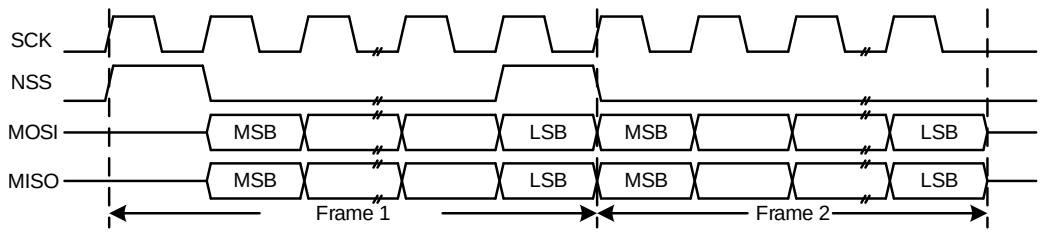


图 27-17 TI 格式

27.6 I2S 结构图

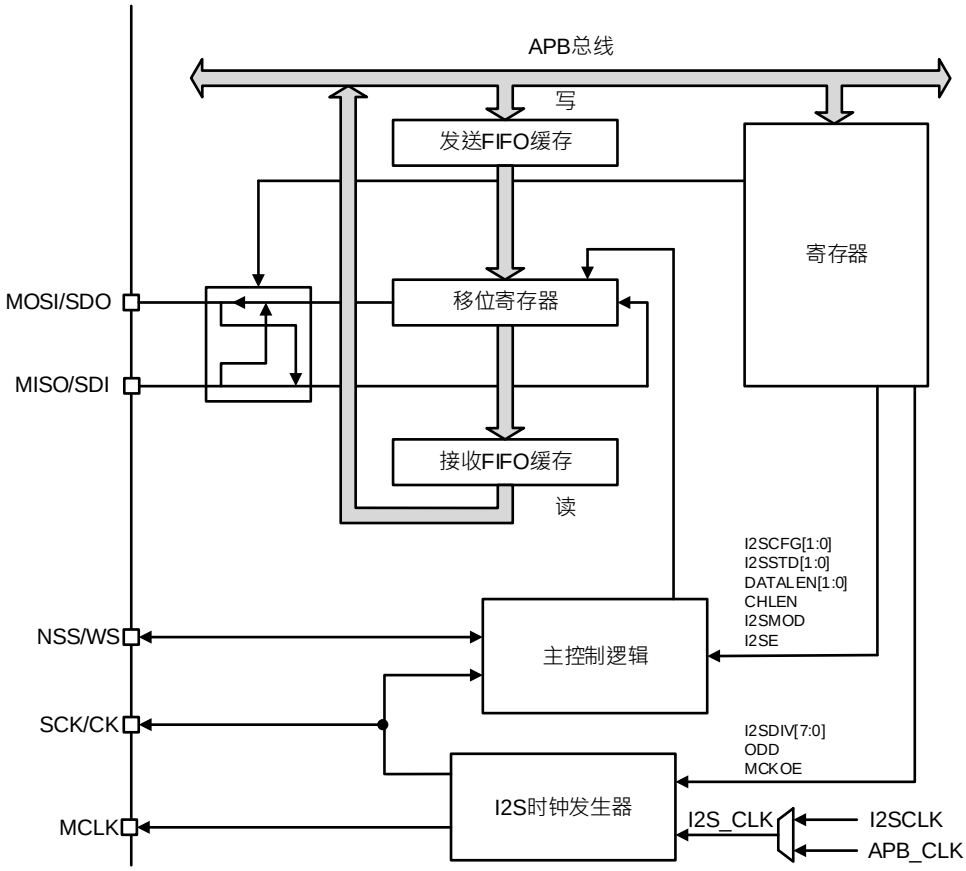


图 27-18 I2S 电路结构框图

当 I2S 功能使能时(通过设置 **SPI_I2SCFG**.I2SMOD 位)，SPI 可用作音频 I2S 接口。该接口主要使用与 SPI 相同的引脚、标志和中断。

I2S 与 SPI 共享四个引脚：

- SDO: 串行数据输出(映射在 MOSI 引脚上)，此引脚在主机模式和从机模式下为发送数据。
- SDI: 串行数据输入(映射在 MISO 引脚上)，此引脚在主机模式和从机模式下为接收数据。
- WS: 声道选择(映射在 NSS 引脚上)，此引脚在主机模式下输出的数据控制信号，在从机模式下输入的数据控制信号。
- CK: 串行时钟(映射在 SCK 引脚上)，此引脚在主机模式下的串行时钟输出和从机模式下的串行时钟输入。

当某些外部音频设备需要主时钟输出时，可以使用额外的引脚：

- MCLK: 当 I2S 配置为主机模式时(以及当 **SPI_I2SPR**.MCKOE 位置 1 时)，使用主时钟(单独映射)输出此附加时钟，输出以预先配置的频率等于 256×F_S 生成的附加时钟，其中 F_S 是音频采样频率。

当 I2S 设置为主机模式时，它使用自己的时钟发生器产生通信时钟。在 I2S 模式下有两个额外

的寄存器，一个是 **SPI_I2SPR** 寄存器用于配置时钟发生器，另一个是 **SPI_I2SCFG** 寄存器配置 I2S 的基本设定(音频标准、从机或主机模式、数据长度、通道长度和时钟极性等)。

在 I2S 模式下不使用 **SPI_CON1** 寄存器和所有 CRC 寄存器，以及不使用 **SPI_CON2** 寄存器中的 NSSOE、NSSP、FRF 位和所有中断寄存器中的 MODF、CRCERR 位。

I2S 的数据传输与 SPI 使用相同的 **SPI_DATA** 寄存器进行数据传输。

27.7 I2S 功能描述

27.7.1 音频协议

四线总线在处理时分复用的两个通道(右声道和左声道)上的音频数据。由于只有一个 16 位寄存器进行数据发送或接收，因此当软件向 **SPI_DATA** 寄存器写入数据或者读取数据，其数据顺序为先左声道然后右声道。**SPI_STAT** 寄存器中 CHSIDE 位仅提供用户观察当前通道状态为左声道或右声道(CHSIDE 对 PCM 协议没有意义)。

提供四种数据和通道长度组合：

- 16 位通道帧中有一个 16 位数据帧
- 32 位通道帧中有一个 16 位数据帧
- 32 位通道帧中有一个 24 位数据帧
- 32 位通道帧中有一个 32 位数据帧

当在一个 32 位通道帧上使用一个 16 位数据帧时，只有 16 位是有效位,因此仅需要一个读或写的操作。另外的 16 位会被硬件强制为 0，无需任何软件操作或 DMA 请求。

在一个 32 位通道帧上使用一个 24 位或 32 位数据帧时，在软件操作情况下则需要对 **SPI_DATA** 寄存器进行两次 CPU 读或写操作，当使用 DMA 功能时则会产生两次 DMA 读或写操作。对于 24 位数据帧，硬件会将 8 位非有效位强制为 0。

对于所有数据格式和通信标准，始终首先发送最高有效位(MSB 优先)。

I2S 接口支持四种音频标准，可使用 **SPI_I2SCFG** 寄存器中的 I2SSTD 和 PCMSYNC 位对其进行配置。

27.7.1.1 I2S 飞利浦标准

对于该标准使用 WS 信号来指示正在传输数据是哪个通道。该信号从当前通道数据的第一个位(MSB)之前的一个 CK 时钟周期开始有效。

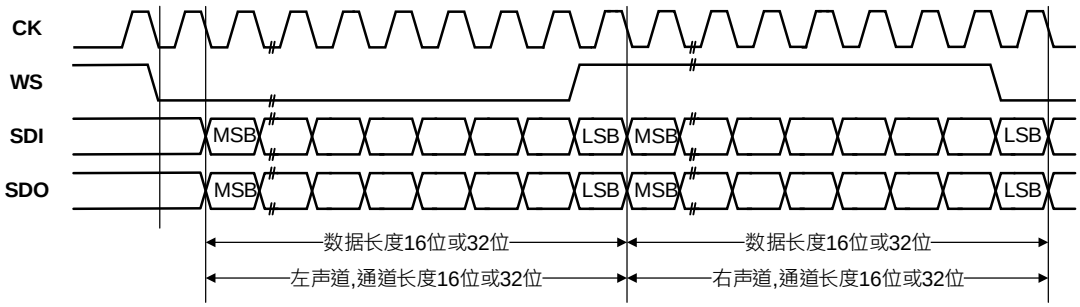


图 27-19 I2S 飞利浦协议波形(16 或 32 位的数据与通道帧，CKPOL = 0)

发送方在时钟信号(CK)的下降沿改变数据，接收方在上升沿读取数据。WS 信号也在 CK 的下降沿变化。

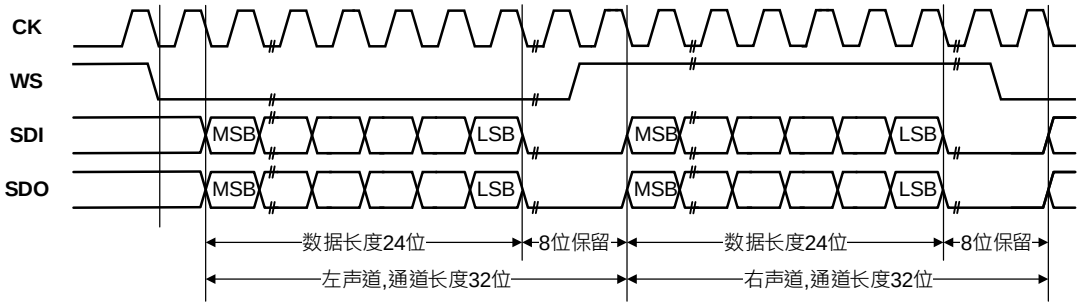


图 27-20 I2S 飞利浦标准波形(24 位数据帧，CKPOL = 0)

在发送模式下：

如果要发送的数据为 0x123456(24 位)，则软件或 DMA 需要对 **SPI_DATA** 寄存器进行两次写操作。

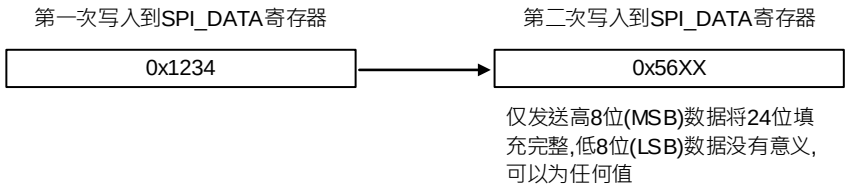


图 27-21 发送 0x123456

在接收模式下：

如果接收的数据为 0x123456(24 位)，则软件或 DMA 需要对 **SPI_DATA** 寄存器进行两次读操作。

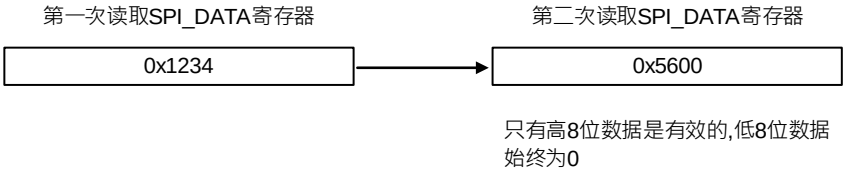


图 27-22 接收 0x123456

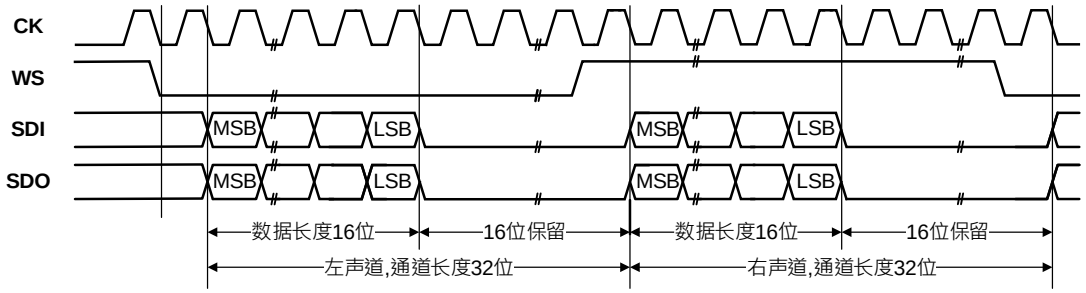


图 27-23 I2S 飞利浦标准波形(16 位数据帧扩展到 32 位通道帧，CKPOL = 0)

当在 I2S 配置阶段选择将 16 位数据帧扩展到 32 位通道帧时，只需要访问一次 **SPI_DATA** 寄存器。其余 16 位由硬件强制为 0x0000，以便将数据扩展为 32 位格式。

如果要传输的数据或接收的数据是 0x4567(0x4567 0000 扩展到 32 位)，则需要执行下图所示的操作。

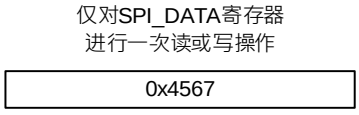


图 27-24 16 位数据帧扩展到 32 位通道帧的示例

27. 7. 1. 2 MSB 对齐标准

对于该标准 WS 信号与第一个数据位(MSBit)同时生成。

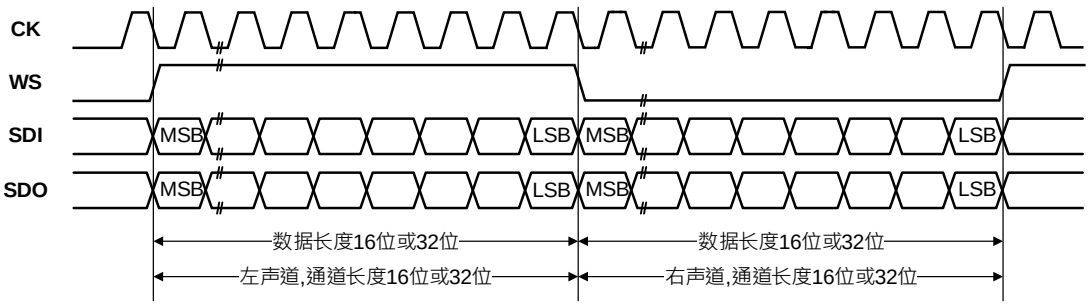


图 27-25 MSB 对齐协议波形(16 或 32 位的数据与通道帧，CKPOL = 0)

发送方在时钟信号(CK)的下降沿改变数据，接收方在上升沿读取数据。WS 信号也在 CK 的下降沿变化。

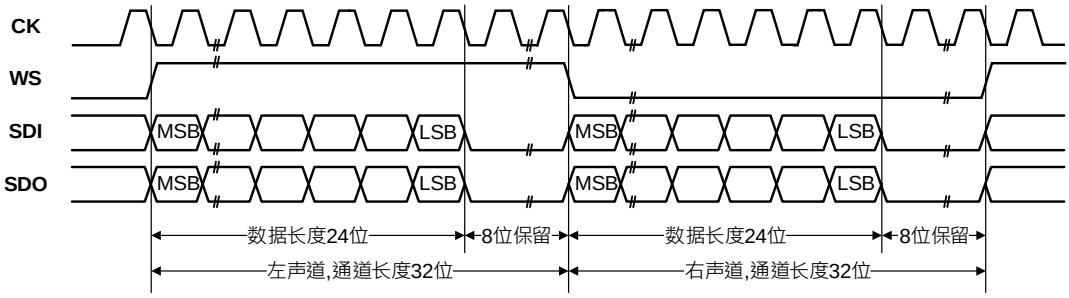


图 27-26 MSB 对齐协议波形(24 位数据帧，CKPOL = 0)

在发送模式下：

如果要发送的数据为 0x123456(24 位)，则软件或 DMA 需要对 **SPI_DATA** 寄存器进行两次写操作。

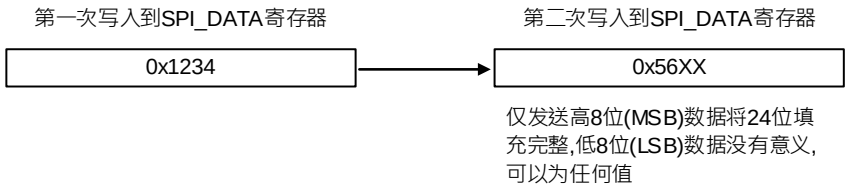


图 27-27 发送 0x123456

在接收模式下：

如果接收的数据为 0x123456(24 位)，则软件或 DMA 需要对 **SPI_DATA** 寄存器进行两次读操作。

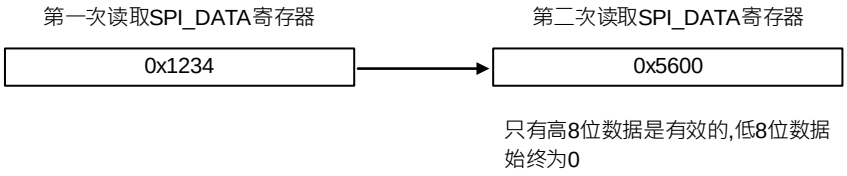


图 27-28 接收 0x123456

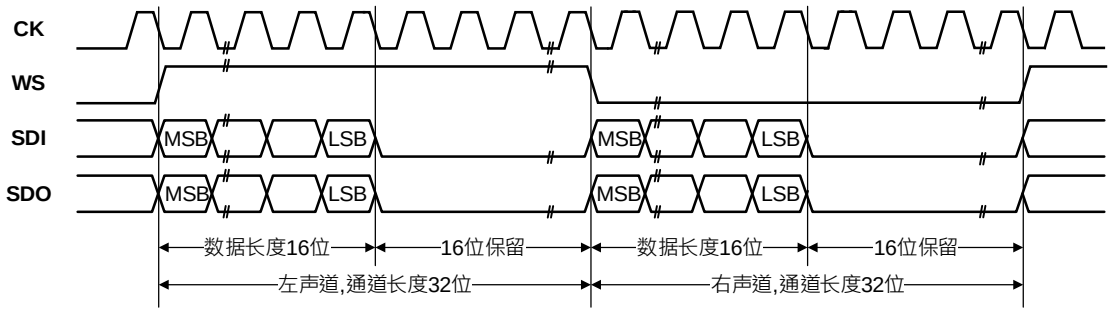


图 27-29 MSB 对齐协议波形(16 位数据帧扩展到 32 位通道帧，CKPOL = 0)

当在 I2S 配置阶段选择将 16 位数据帧扩展到 32 位通道帧时，只需要访问一次 **SPI_DATA** 寄存器。其余 16 位由硬件强制为 0x0000，以便将数据扩展为 32 位格式。

如果要传输的数据或接收的数据是 0x4567(0x4567 0000 扩展到 32 位)，则需要执行下图所示的操作。

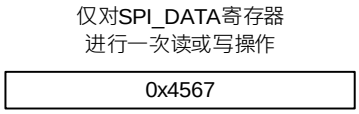


图 27-30　16 位数据帧扩展到 32 位通道帧的示例

27. 7. 1. 3　LSB 对齐标准

该标准类似于 MSB 对齐标准(16 位和 32 位通道帧格式没有区别)。

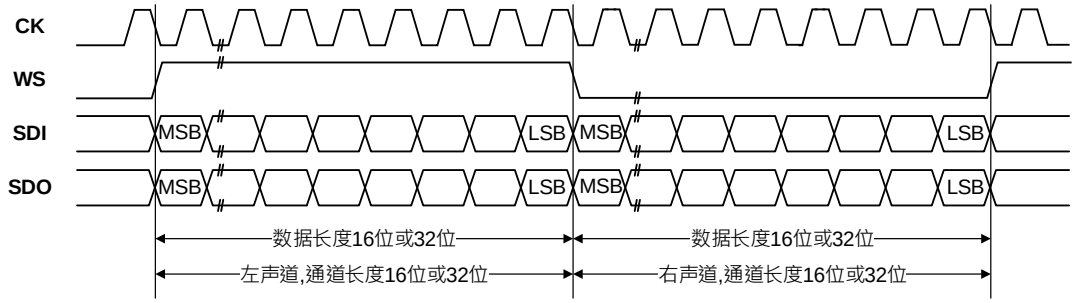


图 27-31　LSB 对齐协议波形(16 或 32 位的数据与通道帧，CKPOL = 0)

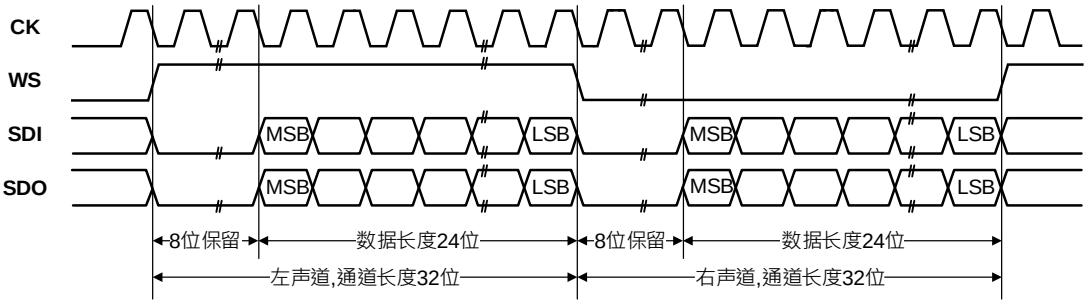


图 27-32　LSB 对齐协议波形(24 位数据帧，CKPOL = 0)

在发送模式下：

如果要发送的数据为 0x123456(24 位)，则软件或 DMA 需要对 **SPI_DATA** 寄存器进行两次写操作。

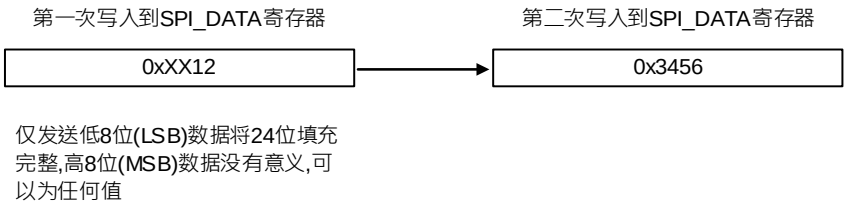


图 27-33　发送 0x123456

在接收模式下：

如果接收的数据为 0x123456(24 位)，则软件或 DMA 需要对 **SPI_DATA** 寄存器进行两次读操作。

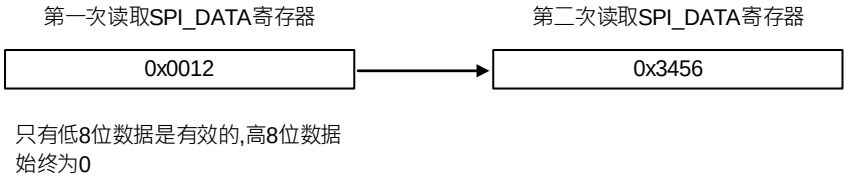


图 27-34 接收 0x123456

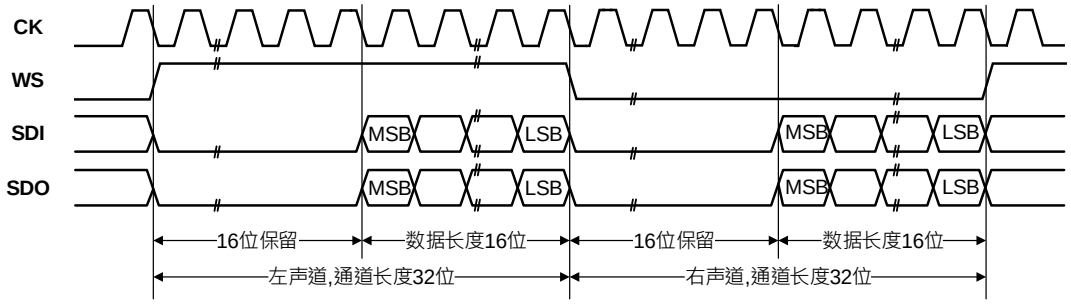


图 27-35 MSB 对齐协议波形(16 位数据帧扩展到 32 位通道帧，CKPOL = 0)

当在 I2S 配置阶段选择将 16 位数据帧扩展到 32 位通道帧时，只需要访问一次 **SPI_DATA** 寄存器。其余 16 位由硬件强制为 0x0000，以便将数据扩展为 32 位格式。

如果要传输的数据或接收的数据是 0x4567(0x0000 4567 扩展到 32 位)，则需要执行下图所示的操作。

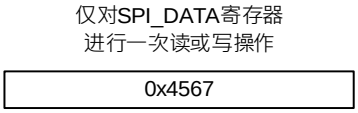


图 27-36 16 位数据帧扩展到 32 位通道帧的示例

27. 7. 1. 4 PCM 标准

对于 PCM 标准，无需使用通道信息(CHSIDE)。使用 **SPI_I2SCFG** 中的 PCMSYNC 位来配置两种 PCM 模式(短帧和长帧)。

对于长帧同步，在主机模式下固定将 WS 信号持续 13 个周期。

对于短帧同步，WS 同步信号只有一个周期。

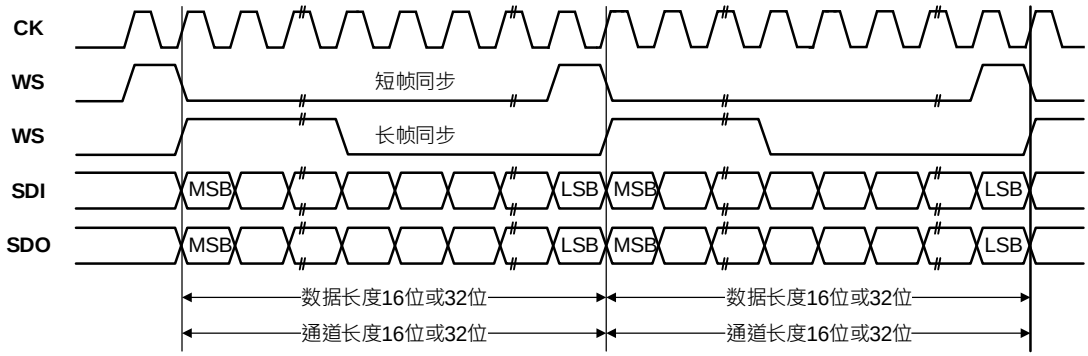


图 27-37 PCM 标准波形(16 或 32 位的数据与通道帧)

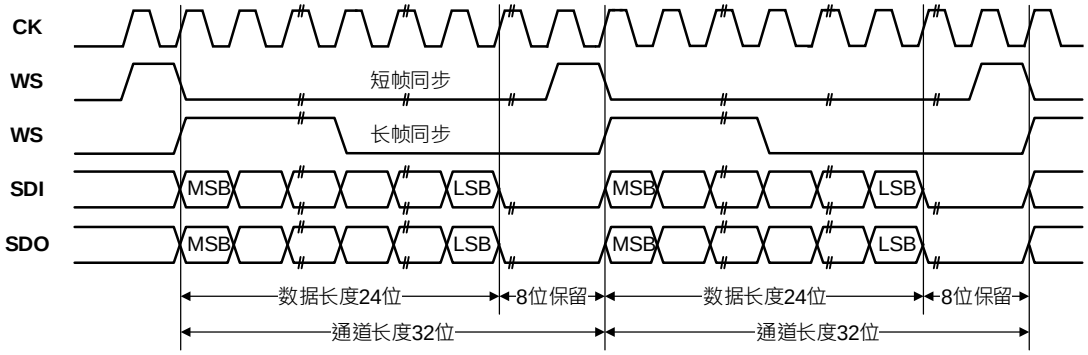


图 27-38 PCM 标准波形(24 位数据帧)

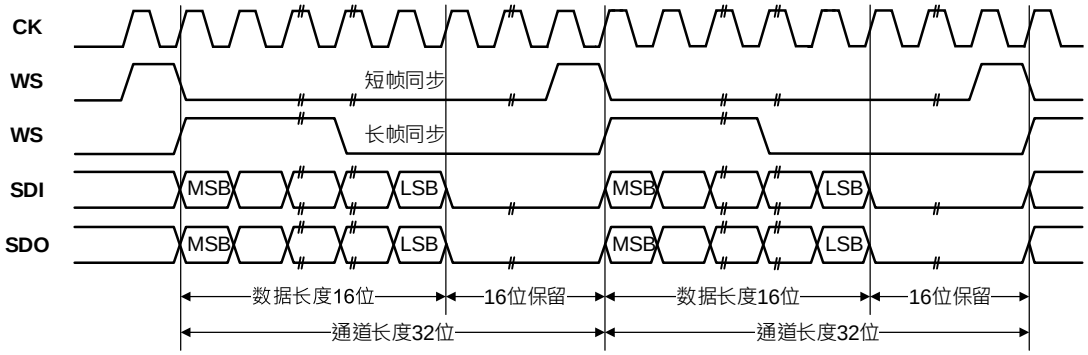


图 27-39 PCM 标准波形(16 位数据帧扩展到 32 位通道帧)

注意：对于两种模式(主机和从机)以及两种同步(短帧和长帧)，即使在从机模式下，也需要指定两个连续数据(以及两个同步信号)之间的位数(SPI_I2SCFG.DATLEN 和 SPI_I2SCFG.CHLEN 位)。

27. 7. 2 时钟产生器

I2S 比特率决定 I2S 数据线上的数据流和 I2S 时钟信号频率。

I2S 比特率=每个通道长度×通道数×采样音频

对于通道长度为 16 位的双通道音频(左右声道)，I2S 比特率计算如下：

I2S 比特率= 16×2×F_S

如果通道长度为 32 位的双通道音频(左右声道)，则 I2S 比特率= 32×2×F_S。

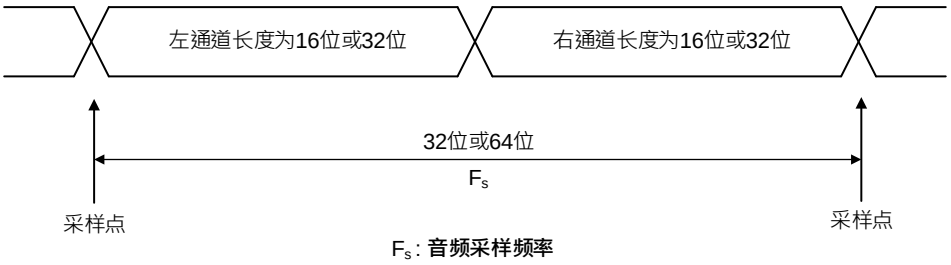


图 27-40 音频采样频率定义

I2S_CLK 时钟源可通过 **SPI_I2SPR** 寄存器中的 EXTCKEN 位选择 APB_CLK 或是 I2SCLK。要实现高品质的音频性能，建议选择 I2SCLK 作为 **I2S_CLK** 时钟源。音频采样频率可以是 96kHz、48kHz、44.1kHz、32kHz、22.05kHz、16kHz、11.025kHz 或 8kHz(或该范围内的任何其他值)为了达到所需频率，需要根据以下公式对线性分频器进行编程：

在 I2S 飞利浦、MSB 与 LSB 模式时通道数(CH)为 2。

在 PCM 模式时通道数(CH)为 1。

当产生主时钟时(SPI_I2SPR 寄存器中的 MCKOE 位置 1)：

- 当通道长度为 16 位时，F_S = I2S_CLK / [(16 * 2)*((CH * I2SDIV) + ODD) * 8]
- 当通道长度为 32 位时，F_S = I2S_CLK / [(32 * 2)*((CH * I2SDIV) + ODD) * 4]

禁用主时钟时(SPI_I2SPR 寄存器中的 MCKOE 位清零)：

- 当通道长度为 16 位时，F_S = I2S_CLK / [(16 * 2)*((CH * I2SDIV) + ODD)]
- 当通道长度为 32 位时，F_S = I2S_CLK / [(32 * 2)*((CH * I2SDIV) + ODD)]

下表提供了当 I2S_CLK 时钟源选择 APB_CLK 时,针对不同时钟配置的示例精度值。

APB_CLK (MHz)	Data length	I2SDIV	I2SODD	MCLK	Target fs(Hz)	Real fs (Hz)	Error
48	16	8	0	No	96000	93750	2.3738%
48	32	4	0	No	96000	93750	2.3438%
48	16	15	1	No	48000	48387.0968	0.8065%
48	32	8	0	No	48000	46875	2.3438%
48	16	17	0	No	44100	44117.6471	0.0400%
48	32	8	1	No	44100	44117.6471	0.0400%
48	16	23	1	No	32000	31914.8936	0.2660%
48	32	11	1	No	32000	32608.6957	1.9022%
48	16	34	0	No	22050	22058.8235	0.0400%
48	32	17	0	No	22050	22058.8235	0.0400%
48	16	47	0	No	16000	15957.4468	0.2660%
48	32	23	1	No	16000	15957.4468	0.2660%
48	16	68	0	No	11025	11029.4118	0.0400%
48	32	34	0	No	11025	11029.4118	0.0400%
48	16	94	0	No	8000	7978.7234	0.2660%
48	32	47	0	No	8000	7978.7234	0.2660%
48	16	1	0	Yes	96000	93750	2.3438%
48	32	1	0	Yes	96000	93750	2.3438%
48	16	2	0	Yes	48000	46875	2.3438%
48	32	2	0	Yes	48000	46875	2.3438%
48	16	2	0	Yes	44100	46875	6.2625%
48	32	2	0	Yes	44100	46875	6.2925%
48	16	3	0	Yes	32000	31250	2.3438%
48	32	3	0	Yes	32000	31250	2.3438%
48	16	4	1	Yes	22050	20833.3333	5.5178%
48	32	4	1	Yes	22050	20833.3333	5.5178%
48	16	6	0	Yes	16000	15625	2.3438%
48	32	6	0	Yes	16000	15625	2.3438%
48	16	8	1	Yes	11025	11029.4118	0.0400%
48	32	8	1	Yes	11025	11029.4118	0.0400%
48	16	11	1	Yes	8000	8152.1739	1.9022%
48	32	11	1	Yes	8000	8152.1739	1.9022%

表 27-2 音频频率精度

27.7.3 I2S 主机模式

I2S 配置为主机模式时，会从引脚 CK 输出串行时钟和引脚 WS 输出字选择信号，可以通过设置 **SPI_I2SPR** 寄存器的 MCKOE 位来选择输出或者不输出主时钟(MCLK)。主机模式可配置为单工的发送或接收模式，或者是全双工同时收发模式。

27.7.3.1 设置流程

1. 设置 **SPI_I2SPR** 寄存器的 I2SDIV 位域与 ODD 位，以定义串行时钟波特率，从而达到适当的音频采样频率。
2. 如果需要将主时钟 MCLK 提供给外部 DAC 或 ADC 音频组件，则将 **SPI_I2SPR** 寄存器的 MCKOE 位置 1(I2SDIV 和 ODD 值应根据 MCLK 输出的状态进行计算，更多详细信息，28.7.2 时钟产生器)。
3. 配置 **SPI_I2SCFG** 寄存器的 CKPOL 位以定义时钟在空闲时的电平状态，将 I2SMOD 位置 1 以激活 I2S 功能，I2S 标准是由 I2SSTD 和 PCMSYNC 位来选择，通过 DATLEN 位域选择数据长度，通过配置 CHLEN 位来择数通道长度。此外，通过 **SPI_I2SCFG** 寄存器的 I2SCFG 位域选择 I2S 主机模式的配置(单工的发送或接收模式，或者是全双工同时收发模式)。
4. 通过配置 **SPI_CON2** 寄存器 RXDMA 位或 TXDMA 位来启动 DMA 功能。
5. 通过配置 **SPI_IER** 寄存器选择所需的中断事件来触发中断。

配置 WS 和 CK 为输出模式。如果 **SPI_I2SPR** 寄存器的 MCKOE 位置 1，MCLK 也是输出模式。最后设置 **SPI_I2SCFG** 寄存器的 I2SE 位。

27.7.3.2 发送序列

当半字写入发送 FIFO 缓存时，发送序列随即开始。

写入发送 FIFO 缓存的第一个数据始终对应于左声道数据。当左声道的数据写入发送 FIFO 缓存后必须紧跟着写入对应于右声道数据。CHSIDE 标志指示当前发送的声道。

一个完整帧表示先进行左通道数据发送再进行右通道数据发送。不存在仅发送左通道的部分帧。

首位发送期间，数据按半字并行加载到 16 位移位寄存器中，然后以串行方式移位并输出到 SDO 引脚(MSB 在前)。每次数据从发送 FIFO 缓存加载到移位寄存器导致缓存中有效个数为零时,TXE 标志将置 1，并且在 **SPI_IER**.TXE 位置 1 时将生成中断。有关各种 I2S 标准模式中的写操作的更多详细信息，请参见 28.7.1 音频协议。

为了确保连续的音频数据传输，必须在当前传输结束之前将对 **SPI_DATA** 寄存器写入下一个要传输的数据。若要禁用 I2S，必须等待 TXE=1 且 BUSY=0 时，通过清除 **SPI_I2SCFG** 寄存器的 I2SE 位来关闭 I2S。

27.7.3.3 接收序列

当接收 FIFO 缓存满时,RXF 标志将置 1，如果 **SPI_IER**.RXF 位置 1 时则产生中断。根据数据和通道长度配置，右声道或左声道接收到音频数据可通过一次或两次接收操作进入接收 FIFO

缓存。通过读 **SPI_DATA** 寄存器来获取接收的音频数据。有关各种 I2S 标准模式中的读操作的更多详细信息，请参见 28.7.1 音频协议。

如果在接收 FIFO 缓存满时,且尚未读取先前接收的数据的同时接收到新的数据，则生成溢出并设置 RXOV 标志。如果 **SPI_IER** 寄存器中的 RXOV 位置 1，则会产生中断以指示错误。

27. 7. 4 I2S 从机模式

I2S 配置为从机模式时，会从引脚 CK 输入串行时钟和引脚 WS 输入字选择信号，在此模式下不输出主时钟(MCLK)，因此用户无需配置时钟。从机模式可配置为单工的发送或接收模式，或者是全双工同时收发模式。

27. 7. 4. 1 设置流程

1. 将 **SPI_I2SCFG** 寄存器的 I2SMOD 位置 1 选择 I2S 模式，I2S 标准是由 I2SSTD 和 PCMSYNC 位来选择，通过 DATLEN 位域选择数据长度，通过配置 CHLEN 位来选择通道长度。此外，通过 **SPI_I2SCFG** 寄存器的 I2SCFG 位域选择 I2S 从机模式的配置(单工的发送或接收模式，或者是全双工同时收发模式)。
2. 通过配置 **SPI_CON2** 寄存器 RXDMA 位或 TXDMA 位来启动 DMA 功能。
3. 通过配置 **SPI_IER** 寄存器选择所需的中断事件来触发中断。
4. 设置 **SPI_I2SCFG** 寄存器的 I2SE 位。

27. 7. 4. 2 自动侦测同步

当处于从机模式下，用户设置 **SPI_I2SCFG** 寄存器的 I2SE 后，硬件会先侦测到两个完整的数据控制信号(WS)。对于 I2S 飞利浦标准、MSB 对齐标准或 LSB 对齐标准，一个完整的数据控制信号表示包含左右声道。在 PCM 模式下，一个完整的数据控制信号仅包含单声道。当检测完后才会进行发送或接收序列。

27. 7. 4. 3 发送序列

首先配置从机并使能，对要传输的数据写入发送 FIFO 缓存后，外部连接的主机才能开始通信。当外部主机发送时钟并且 WS 信号请求数据传输时，发送序列开始。

对于 I2S，MSB 对齐和 LSB 对齐模式，写入发送 FIFO 缓存的第一个数据始终对应于左声道数据。当左声道的数据写入发送 FIFO 缓存后必须紧跟着写入对应于右声道数据。通信开始时，数据从发送 FIFO 缓存加载到移位寄存器。

CHSIDE 标志指示当前发送的声道。与主机传输模式相比，在从机模式下 CHSIDE 对应来自外部主机设备的 WS 信号。

首位发送期间，数据按半字并行加载到 16 位移位寄存器中，然后以串行方式移位并输出到 SDO 引脚(MSB 在前)。每次数据从发送 FIFO 缓存加载到移位寄存器导致缓存中有效个数为零时，TXE 标志将置 1，并且在 **SPI_IER**.TXE 位置 1 时将生成中断。

注意，在尝试写入发送 FIFO 缓存之前，应检查 TXF 标志为 0。

有关各种 I2S 标准模式中的写操作的更多详细信息，请参见 28.6.1, “音频协议”。

为了确保连续的音频数据传输，必须在当前传输结束之前将 **SPI_DATA** 寄存器写入下一个要传输的数据。如果在下一次数据通信的第一个时钟沿之前没有将数据写入 **SPI_DATA** 寄存器，则会产生下溢标志并产生中断。软件可以获知所传输的数据是错误的。当发生下溢中断时，若要重新开始传输，此时需要先将 I2S 禁用后，重新启动使其重新侦测并对齐左声道输出数据。

若要禁用 I2S，必须等待 TXE=1 时，通过清除 **SPI_I2SCFG** 寄存器的 I2SE 位来关闭 I2S。

27. 7. 4. 4 接收序列

无论数据长度或通道长度为何，音频数据都由 16 位数据包进行接收。根据数据和通道长度配置，右声道或左声道接收到音频数据可通过一次或两次接收操作进入接收 FIFO 缓存。通过读 **SPI_DATA** 寄存器来获取接收的音频数据。

有关各种 I2S 标准模式中的读操作的更多详细信息，请参见 28.7.1 音频协议。

如果在接收 FIFO 缓存满时,且尚未读取先前接收的数据的同时接收到新的数据，则生成溢出并设置 RXOV 标志。如果 **SPI_IER** 寄存器中的 RXOV 位置 1，则会产生中断以指示错误。

注意：外部主机应具有通过以 16 位或 32 位音频通道发送与接收数据帧的能力。

27. 7. 5 I2S 状态标志

27. 7. 5. 1 发送 FIFO 缓存为空(TXE)

此标志置 1 时，表示发送 FIFO 缓存为空，此时可以将待发送的数据加载到发送 FIFO 缓存中。对 **SPI_DATA** 寄存器执行写操作时，会将 TXE 标志清零。

27. 7. 5. 2 发送 FIFO 缓存为满(TXF)

此标志置 1 时，表示发送 FIFO 缓存为满，此时无法将待发送的数据加载到发送 FIFO 缓存中。当从发送 FIFO 缓存加载一个数据到移位寄存器时，会将 TXF 标志清零。

27. 7. 5. 3 发送 FIFO 缓存上溢(TXOV)

当发送 FIFO 缓存已满时，使用者对 **SPI_DATA** 寄存器执行写操作。在这种情况下，新写入的数据不会加载到发送 FIFO 缓存中，并将此标志置 1。对 **SPI_STAT** 寄存器执行读访问时，将 TXOV 标志清零。

27. 7. 5. 4 发送 FIFO 缓存下溢(TXUD)

在从机模式下当发送 FIFO 缓存为空时，但主机提出数据请求。在这种情况下，不会有数据从发送 FIFO 缓存加载到移位寄存器中,并将此标志置 1。对 **SPI_STAT** 寄存器执行读访问时，将 TXUD 标志清零。

27. 7. 5. 5 发送 FIFO 缓存阈值(TXTH)

此标志置 1 时，表示发送 FIFO 缓存中的有效数据个数少于或者等于 **SPI_CON2**.TXFTH 设置的值，此时可以将待发送的数据加载到发送 FIFO 缓存中。当加载到 FIFO 缓存中的有效数据个数大于 **SPI_CON2**.TXFTH 设置的值时，会将 TXTH 标志清零。

27. 7. 5. 6 接收 FIFO 缓存为非空(RXNE)

此标志置 1 时，表示接收 FIFO 缓存中存在有效的已接收数据。此时使用者可读取 **SPI_DATA** 寄存器，当读取后接收 FIFO 缓存中没有效数据时，此标志位会被清零。

27. 7. 5. 7 接收 FIFO 缓存为满(RXF)

此标志置 1 时，表示接收 FIFO 缓存为满，此时无法将接收的数据加载到接收 FIFO 缓存中。对 **SPI_DATA** 寄存器执行读访问时，将 RXF 标志清零。

27. 7. 5. 8 接收 FIFO 缓存上溢(RXOV)

当接收 FIFO 缓存已满时，使用者没对 **SPI_DATA** 寄存器执行读访问。在这种情况下，主机发送的下一个数据帧不会加载到接收 FIFO 缓存中,同时将此标志置 1。对 SPI_STAT 寄存器执行读访问时，会将 RXOV 标志清零。

27. 7. 5. 9 接收 FIFO 缓存下溢(RXUD)

当接收 FIFO 缓存为空时，但使用者对 **SPI_DATA** 寄存器执行读访问。在这种情况下，读访问不会从接收FIFO缓存中读到有效的数据,并将此标志置1。对 **SPI_STAT** 寄存器执行读访问时，会将 RXUD 标志清零。

27. 7. 5. 10 接收 FIFO 缓存阈值(RXTH)

此标志置 1 时，表示接收 FIFO 缓存中的有效数据个数大于或者等于 **SPI_CON2**.RXFTH 设置的值，此时对 **SPI_DATA** 寄存器执行读访问读取接收 FIFO 缓存中的数据。当读取到 FIFO 缓存中的有效数据个数少于 **SPI_CON2**.RXFTH 设置的值时，会将 RXTH 标志清零。

27. 7. 5. 11 通信忙(BUSY)

BUSY 标志由硬件置位和清除。当 BUSY 标志置 1 时，表示 I2S 上正在进行数据传输(I2S 总线忙)。BUSY 标志可以用于检测传输的结束，从而防止最后一次传输损坏。

在以下情况硬件将清零该标志：

- 关闭 I2S 时
- 传输完成时

当通信连续时，BUSY 标志在所有传输期间均保持高电平。

注意：请勿使用 BUSY 标志处理每次数据发送或接收，最好改用 TXTH 标志和 RXTH 标志。

27. 7. 5. 12 声道标志(CHSIDE)

此标志是提供使用者判断此时总线上正在传输的声道为左声道还右声道使用，只有在 BUSY 标志被设置时有效。该标志在 PCM 标准中没有意义(短帧和长帧模式)。

27. 7. 6 I2S 中断事件

27. 7. 6. 1 发送 FIFO 缓存为空(TXE)

下列两种情况将产生 TXE 的中断事件

- **SPI_RIF** 寄存器的 TXE 位默认值为 0，当发送 FIFO 缓存为空(**SPI_STAT**.TXE=1)，且对 **SPI_IER** 寄存器中的 TXE 位置 1 时。在这种情况下，**SPI_RIF** 寄存器的 TXE 位会被设置为 1，并产生中断。通过对 **SPI_ICR** 寄存器中的 TXE 位置 1，会将 **SPI_RIF** 寄存器的 TXE 位清零并清除中断。
- 当发送 FIFO 缓存中的最后一笔有效数据加载到移位寄存器时。在这种情况下，**SPI_RIF** 寄存器的 TXE 位会被设置为 1，如果 **SPI_IER** 寄存器中的 TXE 位置 1 则产生中断。通过对 **SPI_ICR** 寄存器中的 TXE 位置 1，会将 **SPI_RIF** 寄存器的 TXE 位清零并清除中断。

27. 7. 6. 2 发送 FIFO 缓存上溢(TXOV)

当发送 FIFO 缓存已满(**SPI_STAT**.TXF=1)时，使用者对 **SPI_DATA** 寄存器执行写操作。在这种情况下，**SPI_RIF** 寄存器的 TXOV 位会被设置为 1，如果 **SPI_IER** 寄存器中的 TXOV 位置 1 则产生中断。通过对 **SPI_ICR** 寄存器中的 TXOV 位置 1，会将 **SPI_RIF** 寄存器的 TXOV 位清零并清除中断。

27. 7. 6. 3 发送 FIFO 缓存下溢(TXUD)

在从机模式下当发送 FIFO 缓存为空时，但主机提出数据请求。在这种情况下，**SPI_RIF** 寄存器的 TXUD 位会被设置为 1，如果 **SPI_IER** 寄存器中的 TXUD 位置 1 则产生中断。通过对 **SPI_ICR** 寄存器中的 TXUD 位置 1，会将 **SPI_RIF** 寄存器的 TXUD 位清零并清除中断。

27. 7. 6. 4 发送 FIFO 缓存阈值(TXTH)

下列两种情况将产生 TXTH 的中断事件

- **SPI_RIF** 寄存器的 TXTH 位默认值为 0，当 **SPI_STAT**.TXTH=1 时，且对 **SPI_IER** 寄存器中的 TXTH 位置 1。在这种情况下，**SPI_RIF** 寄存器的 TXTH 位会被设置为 1，并产生中断。通过对 **SPI_ICR** 寄存器中的 TXTH 位置 1，会将 **SPI_RIF** 寄存器的 TXTH 位清零并清除中断。
- 当发送 FIFO 缓存中的数据加载到移位寄存器时，使 FIFO 缓存中的有效数据个数等于 **SPI_CON2**.TXFTH 设置的值。在这种情况下，**SPI_RIF** 寄存器的 TXTH 位会被设置为 1，如果 **SPI_IER** 寄存器中的 TXTH 位置 1 则产生中断。通过对 **SPI_ICR** 寄存器中的 TXTH 位置 1，会将 **SPI_RIF** 寄存器的 TXTH 位清零并清除中断。

27. 7. 6. 5 接收 FIFO 缓存为非空(RXNE)

下列两种情况将产生 RXNE 的中断事件

- 当 **SPI_STAT**.RXNE=1 时，且对 **SPI_IER** 寄存器中的 RXNE 位置 1。在这种情况下，**SPI_RIF** 寄存器的 RXNE 位会被设置为 1，并产生中断。通过对 **SPI_ICR** 寄存器中的 RXNE 位置 1，会将 **SPI_RIF** 寄存器的 RXNE 位清零并清除中断。
- 当接收的数据加载到 FIFO 缓存中，使接收 FIFO 缓存为非空的时候。在这种情况下，**SPI_RIF** 寄存器的 RXNE 位会被设置为 1，如果 **SPI_IER** 寄存器中的 RXNE 位置 1 则产

生中断。通过对 **SPI_ICR** 寄存器中的 RXNE 位置 1，会将 **SPI_RIF** 寄存器的 RXNE 位清零并清除中断。

27. 7. 6. 6 接收 FIFO 缓存为满(RXF)

下列两种情况将产生 RXF 的中断事件

- 当 **SPI_STAT**.RXF=1 时，且对 **SPI_IER** 寄存器中的 RXF 位置 1。在这种情况下，**SPI_RIF** 寄存器的 RXF 位会被设置为 1，并产生中断。通过对 **SPI_ICR** 寄存器中的 RXF 位置 1，会将 **SPI_RIF** 寄存器的 RXF 位清零并清除中断。
- 当接收的数据加载到 FIFO 缓存中，使接收 FIFO 缓存为满的时候。在这种情况下，**SPI_RIF** 寄存器的 RXF 位会被设置为 1，如果 **SPI_IER** 寄存器中的 RXF 位置 1 则产生中断。通过对 **SPI_ICR** 寄存器中的 RXF 位置 1，会将 **SPI_RIF** 寄存器的 RXF 位清零并清除中断。

27. 7. 6. 7 接收 FIFO 缓存上溢(RXOV)

当接收 FIFO 缓存已满时，下一个接收的数据帧不会加载到接收 FIFO 缓存中。在这种情况下，**SPI_RIF** 寄存器的 RXOV 位会被设置为 1，如果 **SPI_IER** 寄存器中的 RXOV 位置 1 则产生中断。通过对 **SPI_ICR** 寄存器中的 RXOV 位置 1，会将 **SPI_RIF** 寄存器的 RXOV 位清零并清除中断。

27. 7. 6. 8 接收 FIFO 缓存下溢(RXUD)

当接收 FIFO 缓存为空时，但使用者对 **SPI_DATA** 寄存器执行读访问。在这种情况下，**SPI_RIF** 寄存器的 RXUD 位会被设置为 1，如果 **SPI_IER** 寄存器中的 RXUD 位置 1 则产生中断。通过对 **SPI_ICR** 寄存器中的 RXUD 位置 1，会将 **SPI_RIF** 寄存器的 RXUD 位清零并清除中断。

27. 7. 6. 9 接收 FIFO 缓存阈值(RXTH)

下列两种情况将产生 RXTH 的中断事件

- 当 **SPI_STAT**.RXTH=1 时，且对 **SPI_IER** 寄存器中的 RXTH 位置 1。在这种情况下，**SPI_RIF** 寄存器的 RXTH 位会被设置为 1,并产生中断。通过对 **SPI_ICR** 寄存器中的 RXTH 位置 1，会将 **SPI_RIF** 寄存器的 RXTH 位清零并清除中断。
- 当接收的数据帧加载到接收 FIFO 缓存时，使 FIFO 缓存中的有效数据个数等于 **SPI_CON2**.RXFTH 设置的值。在这种情况下，**SPI_RIF** 寄存器的 RXTH 位会被设置为 1，如果 **SPI_IER** 寄存器中的 RXTH 位置 1 则产生中断。通过对 **SPI_ICR** 寄存器中的 RXTH 位置 1，会将 **SPI_RIF** 寄存器的 RXTH 位清零并清除中断。

27. 7. 6. 10 帧格式错误(FRE)

仅当 I2S 配置为从机模式时，才能通过硬件设置该标志。如果外部主机没有按照从机期望的那样改变 WS 信号，则此标志将置 1。如果同步丢失，则需要执行以下步骤以从此状态恢复并使外部主机与 I2S 从机重新同步：

1. 禁用 I2S。
2. 设置 **SPI_I2SCFG** 寄存器的 I2SE 位为 1。当使能 I2S 后硬件会自动侦测同步，请参见 28.7.4.2 自动侦测同步。

主机和从机之间的同步失效可能是由于 SCK 通信时钟或 WS 帧同步线上存在噪音干扰造成。

如果 **SPI_IER** 寄存器中的 FRE 位置 1，则可以产生帧格式错误中断。通过对 **SPI_ICR** 寄存器中的 FRE 位置 1，会将 **SPI_RIF** 寄存器的 FRE 位清零并清除中断。

27. 8 特殊功能寄存器

27. 8. 1 寄存器列表

SPI 寄存器列表			
名称	偏移地址	类型	描述
SPI_CON1	0000_H	R/W	SPI 控制寄存器 1
SPI_CON2	0004_H	R/W	SPI 控制寄存器 2
SPI_STAT	0008_H	R	SPI 状态寄存器
SPI_DATA	$000C_H$	R/W	SPI 数据寄存器
SPI_CRCPOLY	0010_H	R/W	SPI CRC 多项式寄存器
SPI_RXCRC	0014_H	R	SPI RX CRC 寄存器
SPI_TXCRC	0018_H	R	SPI TX CRC 寄存器
SPI_I2SCFG	$001C_H$	R/W	SPI I2S 配置寄存器
SPI_I2SPR	0020_H	R/W	SPI I2S 预分频寄存器
SPI_IER	0024_H	W1	SPI 中断启用寄存器
SPI_IDR	0028_H	W1	SPI 中断禁用寄存器
SPI_IVS	$002C_H$	R	SPI 中断有效状态寄存器
SPI_RIF	0030_H	R	SPI 原始中断标志状态寄存器
SPI_IFM	0034_H	R	SPI 中断标志位状态寄存器
SPI_ICR	0038_H	C_W1	SPI 中断清除寄存器

27. 8. 2 寄存器描述

27. 8. 2. 1 SPI 控制寄存器 1(SPI_CON1)

SPI 控制寄存器 1 (SPI_CON1)																													
偏移地址：0x000																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																BIDEN	BIDOEN	CRCEN	NXTCRC	FLEN	RXO	SSEN	SSOUT	LSBFST	SPIEN	BAUD<2:0>			MSTREN	CPOL	CPHA

—	Bits 31-16	—	—
BIDEN	Bit 15	R/W	**双向通信使能** 该位使能使用单线双向数据线实现半双工通信。当选择半双工通信模式时，保持 RXO 位清零。 0: 选择全双工通信数据模式 1: 选择半双工通信数据模式 注: 该位不用于 I2S 模式。
BIDOEN	Bit 14	R/W	**双向通信输出使能** 此位结合 BIDEN 位，用于选择半双工通信模式下的传输方向 0: 禁止输出(只接收模式) 1: 使能输出(只发送模式) 注: 1. 在主机模式下，使用 MOSI 引脚，在从机模式，使用 MISO 引脚。 2. 该位不用于 I2S 模式。
CRCEN	Bit 13	R/W	**CRC 硬件计算使能** 0: 禁止 CRC 计算 1: 使能 CRC 计算 注: 1. 为确保正确操作，只应在禁止 SPI(SPIEN = 0)时对此位执行写操作。 2. 该位不用于 I2S 模式。
NXTCRC	Bit 12	R/W	**下一次传输 CRC** 0: 数据传输结束时不传输 CRC 1: 数据传输结束时传输 CRC

			注: 1. SPI 配置为全双工或只发送模式时，在写入最后一个数据前将该位置 1。当 SPI 配置为只接收模式时，必须在读取最后一个数据数据前将该位置 1。 2. 该位不用于 I2S 模式。
FLEN	Bit 11	R/W	**数据帧长度** 0: 为发送/接收选择 8 位数据帧长度 1: 为发送/接收选择 16 位数据帧长度 注: 1. 为确保正确操作，只应在禁止 SPI(SPIEN = 0)时对此位执行写操作。 2. 该位不用于 I2S 模式。
RXO	Bit 10	R/W	**只接收使能** 此位结合 BIDEN 位，用于选择双线单向模式下的传输方向。此位也适用于多从机模式系统，在此类系统中，关闭未被访问的从机输出，以防止被访问的从机输出被其他从机干扰。 0: 全双工(发送和接收) 1: 关闭输出(只接收模式) 注: 该位不用于 I2S 模式。
SSEN	Bit 9	R/W	**软件控制从机使能** 当 SSEN 位置 1 时，NSS 引脚输入将被 SSOUT 位的值替换。 0: 禁止软件控制从机 1: 使能软件控制从机 注: 该位不用于 I2S 模式和 SPI TI 模式。
SSOUT	Bit 8	R/W	**软件控制片选输出** 0: NSS 引脚输入为 0 1: NSS 引脚输入为 1 仅当 SSEN 位置 1 时该位才有效。此位的值将作用到 NSS 引脚上，并忽略 NSS 引脚的 IO 值。 注: 该位不用于 I2S 模式和 SPI TI 模式。
LSBFST	Bit 7	R/W	**先发最低有效位** 0: 使用 MSB 发送与接收数据 1: 使用 LSB 发送与接收数据 注:

			1. 正在通信时不应更改此位。 2. 该位不用于 I2S 模式和 SPI TI 模式。
SPIEN	Bit 6	R/W	**SPI 模块使能** 0: 关闭 SPI 外设 1: 使能 SPI 外设 注: 该位不用于 I2S 模式。
BAUD	Bit 5-3	R/W	**波特率选择** 000: fPCLK/2 001: fPCLK/4 010: fPCLK/8 011: fPCLK/16 100: fPCLK/32 101: fPCLK/64 110: fPCLK/128 111: fPCLK/256 注: 1. 正在通信时不应更改此位。 2. 该位不用于 I2S 模式。
MSTREN	Bit 2	R/W	**主机模式使能** 0: 从机配置 1: 主机配置 注: 1. 正在通信时不应更改此位。 2. 该位不用于 I2S 模式。
CPOL	Bit 1	R/W	**时钟的极性控制** 0: 在空闲的状态下，SCK 引脚保持低电平输出 1: 在空闲的状态下，SCK 引脚保持高电平输出 注: 1. 正在通信时不应更改此位。 2. 该位不用于 I2S 模式和 SPI TI 模式。
CPHA	Bit 0	R/W	**时钟的相位控制** 0: 从第一个时钟边沿开始采样数据 1: 从第二个时钟边沿开始采样数据 注: 1. 正在通信时不应更改此位。 2. 该位不用于 I2S 模式和 SPI TI 模式。

27. 8. 2. 2 SPI 控制寄存器 2(SPI_CON2)

SPI 控制寄存器 2 (SPI_CON2)																														
偏移地址：0x004																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																RXFTH<1:0>		TXFTH<1:0>									FRF	NSSP	NSSOE	TXDMA	RXDMA

—	Bits 31-16	—	—
RXFTH	Bit 15-14	R/W	**接收 FIFO 阈值** 用于选择接收 FIFO 缓存的阈值。 00: 接收 FIFO 中有 1 笔数据 01: 接收 FIFO 中数据达到其深度的 1/4 10: 接收 FIFO 中数据达到其深度的 1/2 11: 接收 FIFO 中数据再 2 笔达到其深度 注: 如果 RXDMA 使能，该位也提供接收 FIFO 缓存的 DMA 请求条件。
TXFTH	Bit 13-12	R/W	**发送 FIFO 阈值** 用于选择发送 FIFO 缓存的阈值。 00: 发送 FIFO 内无数据 01: 发送 FIFO 中数据少于或等于 2 笔 10: 发送 FIFO 中数据少于或等于其深度的 1/4 11: 发送 FIFO 中数据少于或等于其深度的 1/2 注: 如果 TXDMA 使能，该位也提供发送 FIFO 缓存的 DMA 请求条件。
—	Bit 11-5	—	—
FRF	Bit 4	R/W	**帧格式选择** 0: SPI 摩托罗拉模式 1: SPI TI 模式 注: 1. 只有在禁止 SPI(SPIEN = 0)时才能写入该位。 2. 该位不用于 I2S 模式。
NSSP	Bit 3	R/W	**NSS 脉冲管理**

			该位仅用于主机模式。它允许 SPI 在进行连续传输时在两个连续数据之间产生 NSS 脉冲。在单次数据传输的情况下，它会在传输后强制 NSS 引脚为高电平。如果 CPHA ='1’或 FRF ='1’则没有意义。 0: 没有 NSS 脉冲 1: 产生 NSS 脉冲 注: 1. 只有在禁止 SPI(SPIEN = 0)时才能写入该位。 2. 该位不用于 I2S 模式和 SPI TI 模式。
NSSOE	Bit 2	R/W	**NSS 引脚输出使能** 0: 在主机模式下禁止 NSS 输出，可在多主机模式配置下工作 1: 在主机模式下使能 NSS 输出，不能在多主机模式环境下工作 注: 该位不用于 I2S 模式和 SPI TI 模式。
TXDMA	Bit 1	R/W	**发送 FIFO 缓存 DMA 使能** 该位置 1 时，只要 TXTH 标志置 1，就会产生 DMA 请求。 0: 关闭发送 FIFO 缓存的 DMA 1: 使能发送 FIFO 缓存的 DMA
RXDMA	Bit 0	R/W	**接收 FIFO 缓存 DMA 使能** 该位置 1 时，只要 RXTH 标志置 1，就会产生 DMA 请求。 0: 关闭接收 FIFO 缓存的 DMA 1: 使能接收 FIFO 缓存的 DMA

27. 8. 2. 3 SPI 状态寄存器(SPI_STAT)

SPI 状态寄存器(SPI_STAT)

偏移地址：0x008

复位值：0x0000 0011

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			RXFLV<4:0>								TXFLV<4:0>					BUSY	CHSIDE		RXTH	RXUD	RXOV	RXF	RXNE				TXTH	TXUD	TXOV	TXF	TXE

—	Bits 31-29	—	—
RXFLV	Bit 28-24	R	**接收 FIFO 缓存数据个数** 该位域表明接收 FIFO 缓存的有效数据个数。
—	Bit 23-21	—	—
TXFLV	Bit 20-16	R	**发送 FIFO 缓存数据个数** 该位域表明发送 FIFO 缓存的有效数据个数。
BUSY	Bit 15	R	**忙标志** 0: SPI(或 I2S)不繁忙 1: SPI(或 I2S)忙于通信 此标志由硬件置 1 和清零。
CHSIDE	Bit 14	R	**通道信息** 0: 当前正在发送或接收左声道 1: 当前正在传输或接收右声道 注: 该位不用于 SPI 模式。在 PCM 模式下没有意义。
—	Bit 13	—	—
RXTH	Bit 12	R	**接收FIFO缓存个数超出阈值** 0: 接收FIFO缓存的有效数据个数少于 RXFTH 设置的值 1: 接收FIFO缓存的有效数据个数大于或等于 RXFTH设置的值
RXUD	Bit 11	R/C_R	**接收FIFO缓存下溢** 0: 接收FIFO缓存未发生下溢 1: 接收FIFO 缓存发生下溢 注: 读取STAT寄存器清除此位。
RXOV	Bit 10	R/C_R	**接收FIFO缓存上溢** 0: 接收FIFO缓存未发生上溢 1: 接收FIFO缓存发生上溢

			注: 读取STAT寄存器清除此位。
RXF	Bit 9	R	**接收FIFO缓存满** 0: 接收FIFO缓存未满 1: 接收FIFO缓存已满
RXNE	Bit 8	R	**接收FIFO缓存非空** 0: 接收FIFO缓存为空 1: 接收FIFO缓存为非空
—	Bit 7-5	—	—
TXTH	Bit 4	R	**发送FIFO缓存个数低于阈值** 0: 发送FIFO缓存的有效数据个数大于TXFTH设置的值 1: 发送FIFO缓存的有效数据个数少于或等于TXFTH设置的值
TXUD	Bit 3	R/C_R	**发送FIFO缓存下溢** 0: 发送FIFO缓存未发生下溢 1: 发送FIFO 缓存发生下溢 注: 读取STAT寄存器清除此位。
TXOV	Bit 2	R/C_R	**发送FIFO缓存上溢** 0: 发送FIFO缓存未发生上溢 1: 发送FIFO缓存发生上溢 注: 读取STAT寄存器清除此位。
TXF	Bit 1	R	**发送FIFO缓存满** 0: 发送FIFO缓存未满 1: 发送FIFO缓存已满
TXE	Bit 0	R	**发送FIFO缓存空** 0: 发送FIFO缓存非空 1: 发送FIFO缓存为空

27. 8. 2. 4 SPI 数据寄存器(SPI_DATA)

SPI 数据寄存器 (SPI_DATA)																													
偏移地址：0x00C																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																DATA<15:0>															

—	Bits 31-16	—	—
DATA	Bits 15-0	R/W	**数据寄存器** 已接收或者要发送的数据。 数据寄存器分为2个FIFO缓存，一个用于写入(发送FIFO缓存)，一个用于读取(接收FIFO缓存)。对数据寄存器执行写操作时，数据将写入发送FIFO缓存，从数据寄存器执行读取时，将返回接收FIFO缓存中的值。 注: 数据始终是右对齐的。写入寄存器时忽略未使用的位，读取寄存器时未使用的位数据为0。

27. 8. 2. 5 SPI CRC 多项式寄存器(SPI_CRCPOLY)

SPI CRC 多项式寄存器 (SPI_CRCPOLY)																												
偏移地址：0x010																												
复位值：0x0000 0007																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																CRCPOLY<15:0>															

—	Bits 31-16	—	—
CRCPOLY	Bits 15-0	R/W	**CRC多项式寄存器** 此寄存器包含用于CRC计算的多项式。CRC多项式(0007h)是此寄存器的复位值。可根据需要配置另一个多项式。 注: 1. 多项式值应仅为奇数。没有支持偶数。 2. 该位域不用于I2S模式。

27. 8. 2. 6 SPI RX CRC 寄存器(SPI_RXCRC)

SPI RX CRC 寄存器 (SPI_RXCRC)																													
偏移地址：0x014																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																RXCRC<15:0>															

—	Bits 31-16	—	—
RXCRC	Bits 15-0	R	**接收 CRC 值** 使能 CRC 计算后，RXCRC[15:0]位将包含后续接收字节在计算后所得到的 CRC 值。当 SPI_CON1 寄存器中的 CRCEN 位写入 1 时，此寄存器复位。CRC 通过 SPI_CRCPOLY 寄存器中编程的多项式连续计算。数据帧长度设置为 8 位数据(SPI_CON1 寄存器的 FLEN 位清零)时，仅考虑 8 个 LSB 位。 CRC 计算依据任意 CRC8 标准进行。选择 16 位数据帧长度(SPI_CON1 寄存器的 FLEN 位置 1)时，考虑此寄存器的全部 16 个位。CRC 计算依据任意 CRC16 标准进行。 注: 1. 当 BUSY 标志置 1 时，读取此寄存器可能返回一个不正确的值。 2. 该位域不用于 I2S 模式。

27. 8. 2. 7 SPI TX CRC 寄存器(SPI_TXCRC)

SPI TX CRC 寄存器 (SPI_TXCRC)																													
偏移地址：0x018																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																TXCRC<15:0>															

—	Bits 31-16	—	—
TXCRC	Bits 15-0	R	**发送 CRC 值** 使能 CRC 计算后，TXCRC[15:0] 位将包含后续发送字节在计算后所得到的 CRC 值。当 SPI_CON1 寄存器中的 CRCEN 位写入 1 时，此寄存器复位。CRC 通过 SPI_CRCPOLY 寄存器中编程的多项式连续计算。数据帧长度设置为 8 位数据(SPI_CON1 寄存器的 FLEN 位清零)时，仅考虑 8 个 LSB 位。 CRC 计算依据任意 CRC8 标准进行。选择 16 位数据帧长度(SPI_CON1 寄存器的 FLEN 位置 1)时，考虑此寄存器的全部 16 个位。CRC 计算依据任意 CRC16 标准进行。 注: 1. 当 BUSY 标志置 1 时，读取此寄存器可能返回一个不正确的值。 2. 该位域不用于 I2S 模式。

27. 8. 2. 8 SPI I2S 配置寄存器(SPI_I2SCFG)

SPI I2S 配置寄存器 (SPI_I2SCFG)																												
偏移地址：0x01C																												
复位值：0x0000 0000																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																			I2SMOD	I2SE	I2SCFG <2:0>			PCMSYNC		I2SSTD<1:0>		CKPOL	DATLEN<1:0>		CHLEN

—	Bits 31-13	—	—
I2SMOD	Bit 12	R/W	**I2S 模式选择** 0: 选择 SPI 模式 1: 选择 I2S 模式 注: 应在 SPI 或 I2S 禁止时配置此位。
I2SE	Bit 11	R/W	**I2S 模块使能** 0: 关闭 I2S 外设 1: 使能 I2S 外设 注: 该位不用于 SPI 模式。
I2SCFG	Bit 10-8	R/W	**I2S 配置模式** 000: 从机 - 全双工(发送和接收) 001: 从机 - 发送 010: 从机 - 接收 100: 主机 - 全双工(发送和接收) 101: 主机 - 发送 110: 主机 - 接收 注: 1. 为确保正确操作，只应在禁止 I2S(I2SE = 0) 时对此位域执行写操作。 2. 该位域不用于 SPI 模式。
PCMSYNC	Bit 7	R/W	**PCM 帧同步** 0: 短帧同步 1: 长帧同步 注: 仅当 I2SSTD = 11(使用 PCM 标准) 时，该位才有意义。它不用于 SPI 模式。
—	Bit 6	—	—
I2SSTD	Bit 5-4	R/W	**I2S 标准选择** 00: I2S 飞利浦标准

			01: MSB 对齐标准(左对齐) 10: LSB 对齐标准(右对齐) 11: PCM 标准 注: 为了正确操作，应在禁用 I2S 时配置这些位域。它们不用于 SPI 模式。
CKPOL	Bit 3	R/W	**空闲状态的时钟电平** 0: I2S 时钟在空闲状态时钟为低电平 1: I2S 时钟在空闲状态时钟为高电平 注: 为了正确操作，应在禁用 I2S 时配置该位。它不用于 SPI 模式。
DATLEN	Bit 2-1	R/W	**传输的数据长度** 00: 16 位数据长度 01: 24 位数据长度 10: 32 位数据长度 11: 不允许 注: 为了正确操作，应在禁用 I2S 时配置这些位域。它们不用于 SPI 模式。
CHLEN	Bit 0	R/W	**通道长度(每个音频通道的位数)** 0: 16 位宽 1: 32 位宽 只有在 DATLEN 为 00 时，此位的写操作才有意义，否则无论填入何值，通道长度始终由硬件固定为 32 位。 注: 为了正确操作，应在禁用 I2S 时配置该位。它不用于 SPI 模式。

27. 8. 2. 9 SPI I2S 预分频寄存器(SPI_I2SPR)

SPI I2S 预分频寄存器 (SPI_I2SPR)																													
偏移地址：0x020																													
复位值：0x0000 0002																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																					EXTCKEN	MCKOE	ODD	I2SDIV<7:0>							

—	Bits 31-11	—	—
EXTCKEN	Bit 10	R/W	**I2S_CLK 时钟选择** 0: 选择 APB 时钟 1: 选择 I2SCLK 时钟 注: 为了正确操作，应在禁用 I2S 时配置该位。它不用于 SPI 模式。
MCKOE	Bit 9	R/W	**主时钟输出使能** 0: 禁用主时钟输出 1: 使能主时钟输出 注: 为了正确操作，应在禁用 I2S 时配置该位。仅在 I2S 处于主机模式时使用。它不用于 SPI 模式。
ODD	Bit 8	R/W	**预分频器的奇数因子** 0: 实际分频器值= I2SDIV * 2 1: 实际分频器值=(I2SDIV * 2)+ 1 注: 为了正确操作，应在禁用 I2S 时配置该位。仅在 I2S 处于主机模式时使用。它不用于 SPI 模式。
I2SDIV	Bit 7-0	R/W	**I2S 线性预分频器** I2SDIV = 0 是禁用值。 注: 为了正确操作，应在禁用 I2S 时配置该位域。仅在 I2S 处于主机模式时使用。它们不用于 SPI 模式。

27. 8. 2. 10 SPI 中断开启寄存器(SPI_IER)

SPI 中断开启寄存器 (SPI_IER)																														
偏移地址：0x024																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													FRE	MODF	CRCERR				RXTH	RXUD	RXOV	RXF	RXNE				TXTH	TXUD	TXOV		TXE

—	Bits 31-19	—	—
FRE	Bit 18	W1	**开启帧格式错误中断** 0: 写入 0 无效 1: 开启帧格式错误中断
MODF	Bit 17	W1	**开启模式故障中断** 0: 写入 0 无效 1: 开启模式故障中断
CRCERR	Bit 16	W1	**开启 CRC 错误中断** 0: 写入 0 无效 1: 开启 CRC 错误中断
—	Bit 15-13	—	—
RXTH	Bit 12	W1	**开启接收 FIFO 缓存超过阈值中断** 0: 写入 0 无效 1: 开启接收 FIFO 缓存超过阈值中断
RXUD	Bit 11	W1	**开启接收 FIFO 缓存下溢中断** 0: 写入 0 无效 1: 开启接收 FIFO 缓存下溢中断
RXOV	Bit 10	W1	**开启接收 FIFO 缓存上溢中断** 0: 写入 0 无效 1: 开启接收 FIFO 缓存上溢中断
RXF	Bit 9	W1	**开启接收 FIFO 缓存满中断** 0: 写入 0 无效 1: 开启接收 FIFO 缓存满中断
RXNE	Bit 8	W1	**开启接收 FIFO 缓存非空中断** 0: 写入 0 无效 1: 开启接收 FIFO 缓存非空中断
—	Bit 7-5	—	—
TXTH	Bit 4	W1	**开启发送 FIFO 缓存低于阈值中断**

			0: 写入 0 无效 1: 开启发送 FIFO 缓存低于阈值中断
TXUD	Bit 3	W1	**开启发送 FIFO 缓存下溢中断** 0: 写入 0 无效 1: 开启发送 FIFO 缓存下溢中断
TXOV	Bit 2	W1	**开启发送FIFO缓存上溢中断** 0: 写入0无效 1: 开启发送FIFO缓存上溢中断
—	Bit 1	—	—
TXE	Bit 0	W1	**开启发送 FIFO 缓存空中断** 0: 写入 0 无效 1: 开启发送 FIFO 缓存空中断

27. 8. 2. 11 SPI 中断关闭寄存器(SPI_IDR)

SPI 中断关闭寄存器 (SPI_IDR)

偏移地址：0x028

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													FRE	MODF	CRCERR				RXTH	RXUD	RXOV	RXF	RXNE				TXTH	TXUD	TXOV		TXE

—	Bits 31-19	—	—
FRE	Bit 18	W1	**关闭帧格式错误中断** 0: 写入0无效 1: 关闭帧格式错误中断
MODF	Bit 17	W1	**关闭模式故障中断** 0: 写入 0 无效 1: 关闭模式故障中断
CRCERR	Bit 16	W1	**关闭 CRC 错误中断** 0: 写入 0 无效 1: 关闭 CRC 错误中断
—	Bit 15-13	—	—
RXTH	Bit 12	W1	**关闭接收 FIFO 缓存超过阈值中断** 0: 写入 0 无效 1: 关闭接收 FIFO 缓存超过阈值中断
RXUD	Bit 11	W1	**关闭接收 FIFO 缓存下溢中断**

			0: 写入 0 无效 1: 关闭接收 FIFO 缓存下溢中断
RXOV	Bit 10	W1	**关闭接收 FIFO 缓存上溢中断** 0: 写入 0 无效 1: 关闭接收 FIFO 缓存上溢中断
RXF	Bit 9	W1	**关闭接收 FIFO 缓存满中断** 0: 写入 0 无效 1: 关闭接收 FIFO 缓存满中断
RXNE	Bit 8	W1	**关闭接收FIFO缓存非空中断** 0: 写入0无效 1: 关闭接收FIFO缓存非空中断
—	Bit 7-5	—	—
TXTH	Bit 4	W1	**关闭发送 FIFO 缓存低于阈值中断** 0: 写入 0 无效 1: 关闭发送 FIFO 缓存低于阈值中断
TXUD	Bit 3	W1	**关闭发送FIFO缓存下溢中断** 0: 写入0无效 1: 关闭发送FIFO缓存下溢中断
TXOV	Bit 2	W1	**关闭发送 FIFO 缓存上溢中断** 0: 写入 0 无效 1: 关闭发送 FIFO 缓存上溢中断
—	Bit 1	—	—
TXE	Bit 0	W1	**关闭发送 FIFO 缓存空中断** 0: 写入 0 无效 1: 关闭发送 FIFO 缓存空中断

27. 8. 2. 12 SPI 中断功能有效状态寄存器(SPI_IVS)

SPI 中断功能有效状态寄存器 (SPI_IVS)																														
偏移地址：0x02C																														
复位值：0x0000 0000																														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													FRE	MODF	CRCERR				RXTH	RXUD	RXOV	RXF	RXNE				TXTH	TXUD	TXOV		TXE

—	Bits 31-19	—	—
FRE	Bit 18	R	**帧格式错误中断功能状态** 0: 禁止帧格式错误中断 1: 使能帧格式错误中断
MODF	Bit 17	R	**模式故障中断功能状态** 0: 禁止模式故障中断 1: 使能模式故障中断
CRCERR	Bit 16	R	**CRC错误中断功能状态** 0: 禁止CRC错误中断 1: 使能CRC错误中断
—	Bit 15-13	—	—
RXTH	Bit 12	R	**接收 FIFO 缓存超过阈值中断功能状态** 0: 禁止接收 FIFO 缓存超过阈值中断 1: 使能接收 FIFO 缓存超过阈值中断
RXUD	Bit 11	R	**接收 FIFO 缓存下溢中断功能状态** 0: 禁止接收 FIFO 缓存下溢中断 1: 使能接收 FIFO 缓存下溢中断
RXOV	Bit 10	R	**接收 FIFO 缓存上溢中断功能状态** 0: 禁止接收 FIFO 缓存上溢中断 1: 使能接收 FIFO 缓存上溢中断
RXF	Bit 9	R	**接收 FIFO 缓存满中断功能状态** 0: 禁止接收 FIFO 缓存满中断 1: 使能接收 FIFO 缓存满中断
RXNE	Bit 8	R	**接收 FIFO 缓存非空中断功能状态** 0: 禁止接收 FIFO 缓存非空中断 1: 使能接收 FIFO 缓存非空中断
—	Bit 7-5	—	—
TXTH	Bit 4	R	**发送 FIFO 缓存低于阈值中断功能状态**

			0: 禁止发送 FIFO 缓存低于阈值中断 1: 使能发送 FIFO 缓存低于阈值中断
TXUD	Bit 3	R	**发送 FIFO 缓存下溢中断功能状态** 0: 禁止发送 FIFO 缓存下溢中断 1: 使能发送 FIFO 缓存下溢中断
TXOV	Bit 2	R	**发送FIFO缓存上溢中断功能状态** 0: 禁止发送FIFO缓存上溢中断 1: 使能发送FIFO缓存上溢中断
—	Bit 1	—	—
TXE	Bit 0	R	**发送 FIFO 缓存空中断功能状态** 0: 禁止发送 FIFO 缓存空中断 1: 使能发送 FIFO 缓存空中断

27. 8. 2. 13 SPI 原始中断状态寄存器 (SPI_RIF)

SPI 原始中断状态寄存器 (SPI_RIF)																													
偏移地址：0x030																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													FRE	MODF	CRCERR				RXTH	RXUD	RXOV	RXF	RXNE				TXTH	TXUD	TXOV		TXE

—	Bits 31-19	—	—
FRE	Bit 18	R	**帧格式错误，原始中断状态** 0: 未发生中断事件 1: 发生中断事件
MODF	Bit 17	R	**模式故障，原始中断状态** 0: 未发生中断事件 1: 发生中断事件
CRCERR	Bit 16	R	**CRC错误，原始中断状态** 0: 未发生中断事件 1: 发生中断事件
—	Bit 15-13	—	—
RXTH	Bit 12	R	**接收 FIFO 缓存超过阈值，原始中断状态** 0: 未发生中断事件 1: 发生中断事件
RXUD	Bit 11	R	**接收 FIFO 缓存下溢，原始中断状态**

			0: 未发生中断事件 1: 发生中断事件
RXOV	Bit 10	R	**接收 FIFO 缓存上溢，原始中断状态** 0: 未发生中断事件 1: 发生中断事件
RXF	Bit 9	R	**接收 FIFO 缓存满，原始中断状态** 0: 未发生中断事件 1: 发生中断事件
RXNE	Bit 8	R	**接收 FIFO 缓存非空，原始中断状态** 0: 未发生中断事件 1: 发生中断事件
—	Bit 7-5	—	—
TXTH	Bit 4	R	**发送 FIFO 缓存低于阈值，原始中断状态** 0: 未发生中断事件 1: 发生中断事件
TXUD	Bit 3	R	**发送 FIFO 缓存下溢，原始中断状态** 0: 未发生中断事件 1: 发生中断事件
TXOV	Bit 2	R	**发送FIFO缓存上溢，原始中断状态** 0: 未发生中断事件 1: 发生中断事件
—	Bit 1	—	—
TXE	Bit 0	R	**发送 FIFO 缓存空，原始中断状态** 0: 未发生中断事件 1: 发生中断事件

27. 8. 2. 14 SPI 中断标志位状态寄存器(SPI_IFM)

SPI 中断标志位状态寄存器 (SPI_IFM)																													
偏移地址：0x034																													
复位值：0x0000 0000																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													FRE	MODF	CRCERR				RXTH	RXUD	RXOV	RXF	RXNE				TXTH	TXUD	TXOV		TXE

—	Bits 31-19	—	—
FRE	Bit 18	R	**帧格式错误中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
MODF	Bit 17	R	**模式故障中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
CRCERR	Bit 16	R	**CRC错误中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
—	Bit 15-13	—	—
RXTH	Bit 12	R	**接收 FIFO 缓存超过阈值中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
RXUD	Bit 11	R	**接收 FIFO 缓存下溢中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
RXOV	Bit 10	R	**接收 FIFO 缓存上溢中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
RXF	Bit 9	R	**接收 FIFO 缓存满中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
RXNE	Bit 8	R	**接收 FIFO 缓存非空中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
—	Bit 7-5	—	—
TXTH	Bit 4	R	**发送 FIFO 缓存低于阈值中断标志位状态**

			0: 未发生中断事件或中断未使能 1: 产生中断
TXUD	Bit 3	R	**发送 FIFO 缓存下溢中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
TXOV	Bit 2	R	**发送FIFO缓存上溢中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
—	Bit 1	—	—
TXE	Bit 0	R	**发送 FIFO 缓存空中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断

27. 8. 2. 15 SPI 中断清除寄存器 (SPI_ICR)

SPI 中断清除寄存器 (SPI_ICR)

偏移地址：0x038

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	FRE	MODF	CRCERR	—	—	—	RXTH	RXUD	RXOV	RXF	RXNE	—	—	—	TXTH	TXUD	TXOV	—	TXE

—	Bits 31-19	—	—
FRE	Bit 18	C_W1	**帧格式错误中断清除** 0: 写入0无效 1: 清除中断事件与中断
MODF	Bit 17	C_W1	**模式故障中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
CRCERR	Bit 16	C_W1	**CRC错误中断清除** 0: 写入0无效 1: 清除中断事件与中断
—	Bit 15-13	—	—
RXTH	Bit 12	C_W1	**接收 FIFO 缓存超过阈值中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
RXUD	Bit 11	C_W1	**接收 FIFO 缓存下溢中断清除**

			0: 写入 0 无效 1: 清除中断事件与中断
RXOV	Bit 10	C_W1	**接收 FIFO 缓存上溢中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
RXF	Bit 9	C_W1	**接收 FIFO 缓存满中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
RXNE	Bit 8	C_W1	**接收 FIFO 缓存非空中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
—	Bit 7-5	—	—
TXTH	Bit 4	C_W1	**发送 FIFO 缓存低于阈值中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
TXUD	Bit 3	C_W1	**发送 FIFO 缓存下溢中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
TXOV	Bit 2	C_W1	**发送FIFO缓存上溢中断清除** 0: 写入0无效 1: 清除中断事件与中断
—	Bit 1	—	—
TXE	Bit 0	C_W1	**发送 FIFO 缓存空中断清除** 0: 写入 0 无效 1: 清除中断事件与中断

第28章 通用串行总线 (USB)

28. 1 概述

该 USB 控制器作为全速 USB 设备的控制器，兼容 USB2.0 协议规范中全速数据传输(12Mbps)和嵌入式设备(On-The-GO)标准。支持点对点通信时工作于主机或设备两种模式。

支持会话请求协议 SRP(Session Request Protocol)和主机协商协议 HNP(Host Negotiation Protocol)通信协议；支持 4 种数据传输类型：控制传输/同步传输/中断传输/批量传输；支持 DMA 对端点 FIFO 的访问。

28. 2 特性

- USB 设备控制器支持全速(12 Mbps)和低速(1.5 Mbps)的数据传输模式
- 注意：在主机模式，支持所有速度通信。然而在设备模式下，只有全速通信支持
- 支持点对点通信时工作于主机或设配两种模式
- 兼容 USB2.0 协议规范中全数据传输(12 Mbps)和嵌入式设备(On-The-GO)标准
- 支持在 OTG 模式下与一个全速/低速设备通信
- 支持会话请求协议 SRP(Session Request Protocol)和主机协商协议 HNP(Host Negotiation Protocol)
- 支持 4 种数据传输类型:控制传输/同步传输/中断传输/批量传输
- 支持挂起状态和恢复功能
- USB 设备模式下支持软连接和断开功能
- 内建动态配置 2KB SRAM 端点 FIFO
- 支持 13 个端点，端点大小最大支持 1024 字节数据:
  - ◇ EP0IN/OUT：仅支持控制传输
  - ◇ EP1IN~EP6IN(Rx Endpoints)：支持同步传输、中断传输、批量传输
  - ◇ EP1OUT~EP6OUT(Tx Endpoints)：支持同步传输、中断传输、批量传输
- 支持使用 DMA 对端点 FIFO 进行访问

28. 3 结构图

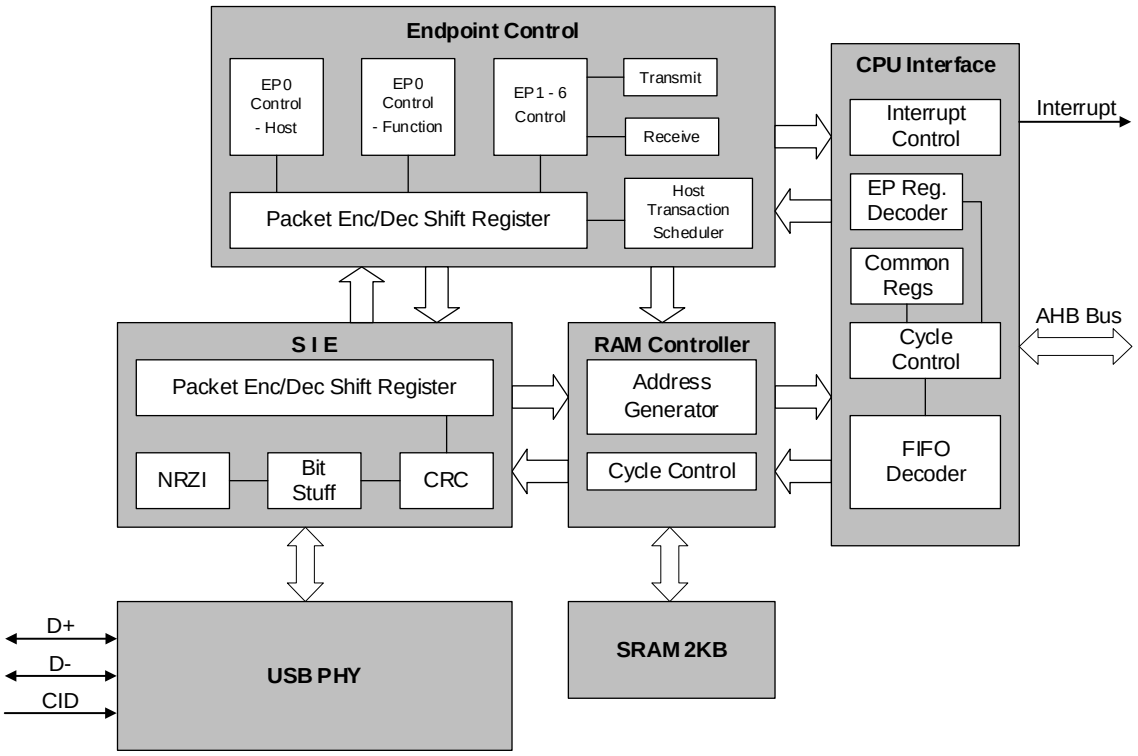


图 28-1 USB 结构图

28.4 功能描述

28.4.1 操作模式

USB 控制器有两种主要的工作模式：USB 设备模式和 USB 主机模式。

当 USB 控制器工作于设备模式，USB 控制器完成 USB 数据包的发送接收以及数据的编码、解码、校验等工作。对于 IN 事务的处理是通过发送端点(EP0OUT/EP1OUT~EP6OUT)完成，OUT 事务的处理是通过接收端点(EP0IN/EP1IN~EP6IN)完成。可支持控制传输、同步传输、中断传输、批量传输四种数据传输方式。

当 USB 控制器工作于主机模式，与另一个 USB 设备进行点对点通信时，USB 控制器可支持控制传输、同步传输、中断传输、批量传输。对于 IN 事务的处理是通过接收端点(EP0IN/EP1IN~EP6IN)完成，OUT 事务的处理是通过发送端点(EP0OUT/EP1OUT~EP6OUT)完成。USB 控制器完成 USB 数据包的发送接收以及数据的编码、解码、校验等工作，同时对于同步端点和中断端点 USB 控制器会自动的根据端点的配置在 USB 帧/小帧中安排事务传输。

USB 控制器初始连接是工作于主机模式还是工作于设备模式，是由 CID 引脚电平决定。CID 引脚为低电平时，表示工作于主机模式(A 类设备)，CID 引脚为高电平时，表示工作于设备模式(B 类设备)。当 USB 控制器为 B 类设备工作于设备模式时，检测到 USB 总线处于空闲状态时，软件可以配置 **USB_DEVCON** 寄存器的控制位 HOSTREQ 请求工作于主机模式。

28.4.2 设备模式

在设备模式下，IN 事务由端点传输接口控制，并使用发送端点完成。OUT 事务使用端点接收接口控制，并使用接收端点完成。要注意端点 FIFO 大小要适合端点最大数据包的大小。

批量传输

批量传输端点的 FIFO 必须支持最大数据包的大小(最多 64 个字节)或最大值的两倍封包大小(如果使用双缓冲)。

中断传输

中断传输端点的 FIFO 必须支持最大数据包的大小(最多 64 个字节)或最大值的两倍封包大小(如果使用双缓冲)。

同步传输

同步传输端点的 FIFO 比较灵活，最大可支持 1023 字节。

控制传输

通常，USB 设备应使用 USB 控制器端点 0 作为专用控制端点。

28. 4. 2. 1 端点控制器

USB 控制器支持 13 个端点:EP0IN/OUT、EP1IN~EP6IN 、EP1OUT~EP6OUT。EP0 端点仅支持控制传输，其他端点同时支持同步传输、中断传输、批量传输。各个端点的 FIFO 大小是可以动态配置的。端点特性如表 29-1 所示。

端点 0 是专用的控制端点，用于在枚举过程中所有的对端点 0 的控制传输事务，或者是对端点 0 的任意其它的控制请求。

配对的 IN 端点和 OUT 端点可以配置成不同的类型。比如 OUT 端点配置成批量端点，而该端点对应的 IN 端点可以配置成中断端点。

端点号	端点类型	双缓冲
EP0(IN/OUT)	控制	无
EP1(IN/OUT)	同步、中断、批量	有
EP2(IN/OUT)	同步、中断、批量	有
EP3(IN/OUT)	同步、中断、批量	有
EP4(IN/OUT)	同步、中断、批量	有
EP5(IN/OUT)	同步、中断、批量	有
EP6(IN/OUT)	同步、中断、批量	有

表 28-1 端点特性

注 1：Tx Endpoints 对应端点 EP* OUT，Rx Endpoints 对应端点 EP* IN，都是相对于主机而言。

注 2：USB 控制器工作于设备模式时，IN 事务处理通过 Tx Endpoints，OUT 事务处理通过 Rx Endpoints。

注 3：USB 控制器工作于主机模式时，IN 事务处理通过 Rx Endpoints，OUT 事务处理通过 Tx Endpoints。

28. 4. 2. 2 设备模式下的 IN 传输

IN 传输的数据通过 OUT 端点的 FIFO 处理发送的。

单缓冲

如果发送端点的 FIFO 大小小于该端点最大数据包长(由 **USB_TXMAXP** 寄存器设定，或由 **USB_TXFIFO1** 和 **USB_TXFIFO2** 寄存器设定)的两倍，只有一个数据包可以被缓冲到 FIFO 中。当每个数据包加载到发送 FIFO 中时，**USB_CSR0L_TXCSRL** 寄存器的 TXRDY 位必须置 1。

如果 **USB_CSR0H_TXCSRH** 寄存器的 AUTOSET 位为 1，当最大大小的数据包被加载到 FIFO 中时，TXRDY 位会被自动置 1。对于包长小于最大包长的数据包，TXRDY 位必须手动置 1。

当 TXRDY 位被置 1 时，数据包已准备好发送，且 FIFONE 也置位。当数据包成功发送后，TXRDY 和 FIFONE 位会被自动清零，并产生相应的发送端点中断。此时下一个数据包可以被加载到 FIFO 中。

双缓冲

如果发送端点的 FIFO 大小至少是此端点的最大包长(由 **USB_TXMAXP** 寄存器设定，或由

USB_TXFIFO1 和 **USB_TXFIFO2** 寄存器设定)的两倍时，这时允许双缓冲，即两个数据包可以同时缓存在 FIFO 中。当每个数据包加载到发送 FIFO 中时，**USB_CSR0L_TXCSRL** 寄存器的 TXRDY 位必须置 1。

如果 **USB_CSR0H_TXCSRH** 寄存器的 AUTOSET 位为 1，当最大包长的数据包被加载到 FIFO 中时，TXRDY 位会被自动置 1。对于小于最大包长的数据包或高带宽同步传输/中断传输的场合，TXRDY 位必须手动置 1。

当 TXRDY 位被置 1 时，数据包已准备好发送，且 FIFONE 也置位。当第一个数据包加载后，TXRDY 位会被清零，并产生相应的发送端点中断。此时第二个数据包可以被加载到 FIFO 中，TXRDY 位再次被置 1。这时，二个数据包都已准备好被发送。当二个数据包都已成功发送后，TXRDY 位会被清零，并产生相应的发送端点中断。此时下一个数据包可以被加载到 FIFO 中。

需要注意的是，如果要使用双包缓存发送必须设置 **USB_TXFIFO2** 寄存器的 DPB 位为 1。

28. 4. 2. 3 设备模式下的 OUT 传输

在设备模式下 OUT 事务传输通过 USB 控制器的接收 FIFO 处理。当双缓冲使能时，两个数据包都可以缓存到 FIFO 中。当双缓冲不使能时，只有一个数据包可以缓存到 FIFO 中。

单缓冲

如果接收端点的 FIFO 大小小于该端点最大包长的两倍时，只能使用单缓冲，只有一个数据包可以被缓冲到 FIFO 中。

当一个数据包接收到并缓存到 FIFO 中去时，**USB_RXCSRL** 寄存器的 RXRDY 位和 FULL 位都会被置 1，告知使用者可以从 FIFO 中去取接收到的数据。当接收的数据从 FIFO 中取出后，使用者必须将 RXRDY 位清零，以便允许接收更多数据包。此操作还会产生 ACK 信号给到到主机控制器。

当 **USB_RXCSRH** 寄存器的 AUTOCLR 位被置 1 时，最大包长的数据包被从 FIFO 中取出后，RXRDY 位和 FULL 位会被自动清零。如果数据包不是最大包长，RXRDY 位必须手动清零。

双缓冲

如果接收端点的 FIFO 大小至少是此端点最大包大小的两倍，这时允许双缓冲，则两个数据包可以缓存在 FIFO 中。

当第一个数据包被接收并缓存在 FIFO 中后，**USB_RXCSRL** 寄存器的 RXRDY 位被置 1，相应的接收端点中断会产生，告知使用者可以从 FIFO 中去取接收到的数据。需要注意的是，当第一个数据包被接收到后，**USB_RXCSRL** 寄存器的 FULL 位不会被置 1。只有当第二个数据包被接收到后，**USB_RXCSRL** 寄存器的 FULL 位才会被置 1。 当所有数据包都从 FIFO 中取出后，使用者必须将 RXRDY 位清零，以便允许接收更多数据包。

如果 **USB_RXCSRH** 寄存器的 AUTOCLR 位为 1，当最大包长的数据包被从 FIFO 中读出后，RXRDY 位会被自动清零。对于小于最大包长的数据包，RXRDY 位必须手动清零。

需要注意的是，如果要使用双包缓存接收必须设置 **USB_RXFIFO2** 寄存器的 DPB 位为 1。

28. 4. 2. 4 调度

设备控制器不能控制传输事务的调度，因为调度由主机控制器决定。USB 控制器可以随时建立传输事务。设备控制器等待来自主机控制器的请求，并在事务完成时产生中断。如果主机控制器发出请求，而设备控制器没有准备好，设备控制器向所有请求发送 NACK 响应，直到它准备就绪。

28. 4. 2. 5 其他操作

USB 控制器自动响应 USB 总线的某些状态或来自主机控制器的操作。例如当 USB 控制器自动停止控制传输或收到意外的零长度 OUT 数据包。

暂停控制传输

USB 控制器检测到下列这些情况会自动发出暂停(STALL)控制传输信号，情况如下:

- 在控制传输的输出数据过程中，主机发送的数据比建立过程中设备请求的数据多。当设备接收到最后一个输出数据包，并置位 **USB_CSR0L_TXCSRL** 寄存器的 DATAEND 位后，主机发送了输出令牌包(应该为输入牌包)。
- 在控制传输的输入数据过程中，主机请求的数据比建立过程中设备请求的数据多。当控制器收到最后一个数据包时，将 **USB_CSR0L_TXCSRL** 寄存器的 TXRDY 位清零、**USB_CSR0L_TXCSRL** 寄存器的 DATAEND 位置 1 来指示当前是最后一个数据包，等待主机发出 ACK 信号。主机发送了输入令牌包(应该为输出令牌包)。
- 主机发送大于 **USB_RXMAXP** 寄存器所配置的数据长度。
- 主机在输出阶段发送多于一个的零长度数据包。

零长度数据包

一个零长度的输出数据包用于指示控制传输的结束。在正常情况下，这个零长度数据包应该只在设备请求的全部数据已经传输完成后才会被接收。但是如果主机在设备请求的全部数据发送完成之前就发送零长度的 OUT 数据包，就表示此次数据传输提前结束。在这种情况下，USB 控制器自动清空 FIFO 中的 IN 令牌阶段收到的全部数据，并将 **USB_CSR0L_TXCSRL** 寄存器的 DATAEND 位置 1。

设备地址设置

当主机尝试枚举 USB 设备时，主机会请求设备将其地址从零改到其他值。通过将主机请求的值写入 USB_FADDR 寄存器来实现地址的更改。但是在写入时应该小心，避免在事务完成之前更改地址。只能在 SET_ADDRESS 命令完成后才能去设置 **USB_FADDR** 寄存器。在 SET_ADDRESS 命令下，设备在主机输入请求时发送零长度数据包来响应主机，表明 SET_ADDRESS 命令已完成。设备一旦响应输入请求，**USB_FADDR** 寄存器需要立刻改写为新的值，以避免丢失发送到新地址的任何新命令。

28. 4. 2. 6 设备模式挂起

当 USB 总线空闲超过 3ms，USB 控制器自动进入挂起模式，这时会立即产生挂起中断(挂起中断已使能)。当处于挂起模式时，USB 的物理层也会进入挂起模式。当检测到恢复信号时，USB 控制器退出挂起模式。这时会产生恢复中断。通过设置 **USB_POWER** 寄存器的 RESUME 位，也可以强制 USB 控制器退出挂起模式。当该位置 1 时，USB 控制器退出挂起模式，并将恢复信号驱动到总线上。RESUME 位必须在 10ms(最多 15ms)之后清零，以结束恢复信号。

28. 4. 2. 7 起始帧

当 USB 控制器工作在设备模式下时，它会接收到一个来至主机的起始帧数据包(SOF)，起始帧数据包每隔 1ms 发送一次。当接收到起始帧数据包时，数据包中包含的 11 位帧编号被写入 **USB_FRAME1** 寄存器与 **USB_FRAME2** 寄存器，并且会产生一个 SOF 中断。一旦 USB 控制器已经开始接收起使帧数据包，它每 1ms 就需要成功接收到一次。如果在 1.00358ms 内没有接收到起始帧数据包，则认为该数据包已丢失，并且 **USB_FRAME1** 寄存器与 **USB_FRAME2** 寄存器不会被更新。当 SOF 包重新成功接收时，USB 控制器继续工作，并重新同步这个脉冲。

28. 4. 2. 8 USB 复位

当 USB 控制器工作在设备模式下时，在 USB 总线检测到满足复位条件时，USB 控制器自动执行以下操作:

- 清零 **USB_FADDR** 寄存器
- 清零 **USB_INDEX** 寄存器
- 清空全部端点的 FIFO
- 清零全部控制状态寄存器
- 使能全部端点中断
- 产生复位中断

28. 4. 2. 9 连接和断开

USB 控制器与 USB 总线的连接由软件处理。通过将 **USB_DPDMCON** 寄存器中的 PHYPWREN 位置 0，可以将 USB 物理层在正常模式和非驱动模式间切换。USB 控制器的默认状态是非驱动模式。

当 USB 物理层处在正常模式下时，同时 USBDP 和 USBDM 差分线是使能的。这时和其他设备是连接的。当 USB 物理层处在非驱动模式下时，USBDP 和 USBDM 差分线为高阻态。这时和其他设备是断开连结的。

28. 4. 3 主机模式

当 USB 控制器在主机模式下运行时，它可以与另一个 USB 设备进行点对点通信，并且同时支持全速、低速传输。主机模式支持控制、批量、同步和中断传输。

当处于主机模式时，输入事务由端点的接收接口控制。所有输入事务使用接收端点寄存器，并且所有输出事务使用端点的发送端点寄存器。端点的 FIFO 应考虑端点最大数据包的大小。

批量传输

批量传输端点的 FIFO 必须支持最大数据包的大小(最多 64 个字节)或最大值的两倍封包大小(如果使用双缓冲)。

中断传输

中断传输端点的 FIFO 必须支持最大数据包的大小(最多 64 个字节)或最大值的两倍封包大小(如果使用双缓冲)。

同步传输

同步传输端点的 FIFO 比较灵活，最大可支持 1023 字节。

控制传输

控制传输可以指定单独的控制端点与设备通信。在大多数情况下，USB 控制器应使用专用控制端点 0 作为专用的控制端点与设备的端点 0 进行通信。

28. 4. 3. 1 端点控制器

端点器存器用于控制 USB 端点接口，通过这个接口可与连接的设备进行通信。端点由一个专用控制输入与输出端点、6 个输出端点和 6 个输入端点组成。

专用的控制接口只能用于与设备的端点 0 之间的控制传输。他们用于设备枚举或其他使用设备端点的控制功能。控制端点的输入和输出事务共享 USB 控制器 FIFO 内存的前 64 字节。其余输入和输出接口可配置为与控制端点、批量端点、中断端点或同步端点通信。

这些 USB 接口可同时调度，用于与任何设备的任何端点的 6 个独立的输出事务和 6 个独立的输入事务。输入和输出控制有成对的寄存器。通过配置后它们可以与不同类型的端点以及不同设备的不同端点进行通讯。例如，第一对端点可分开控制，输出部分与设备的批量输出端点 1 通信，同时输入部分与设备的中断输出端点 2 通信。

在访问设备之前，必须设置 **USB_FADDR** 寄存器。

28. 4. 3. 2 主机模式下的 IN 传输

输入事务的处理，采用与设备模式处理输出事务类似的方式,但传输事务必须通过设置 **USB_CSR0L_TXCSRL** 寄存器中的 REQPKT 位开始,向事务调度表明此端点存在一个正在运行的传输。此时事务调度向设备发送一个输入令牌包。

当接收到数据包且存到相应接收 FIFO 中时，**USB_CSR0L_TXCSRL** 寄存器中的 RXRDY 位置 1，同时产生相应的接收端点中断信号，指示有一个数据包需要从 FIFO 中读出。

当数据包被读出时，必须将 RXRDY 位清零。**USB_RXCSRH** 寄存器中的 AUTOCLR 位可用于当最大包长的数据包从 FIFO 中读出时将 RXRDY 位自动清零。

如果设备用 NACK 响应批量或中断传输的输入令牌，USB 主机控制器将重试，直到达到设置的NACK限制次数。如果目标设备用STALL响应，USB主机将不重试传输，而将**USB_RXCSRL**寄存器中的 STALLED 位置位来产生中断。如果目标设备在规定的时间内不响应输入令牌包，

或者包存在 CRC 或位填充错误，USB 主机将重试传输。如果三次重试，目标设备仍无响应，USB 控制器将 REQPKT 位清零，将 **USB_RXCSRL** 寄存器中的 ERROR 位置 1 来产生中断。

28. 4. 3. 3 主机模式下的 OUT 传输

当数据包装载到发送 FIFO 中时，**USB_CSR0L_TXCSRL** 寄存器中的 TXRDY 位必须置 1。如果将 **USB_CSR0H_TXCSRH** 寄存器中的 AUTOSET 位置 1，当最大包长的数据包装载到 FIFO 中时 TXRDY 位自动置 1。

如果目标设备用 NACK 响应输出令牌包，USB 主机控制器将重试，直到达到设置的 NACK 限制次数。如果目标设备用 STALL 响应输出令牌包，USB 主机将不重试传输，而通过将 **USB_CSR0L_TXCSRL** 寄存器中的 STALLED 位置 1 来中断主处理器。如果目标设备在需要的时间内不响应输出令牌包，或者存在 CRC 或位填充错误，USB 主机将重试传输。如果三次重试，目标设备仍无响应，USB 控制器将清空 FIFO，并将 **USB_CSR0L_TXCSRL** 寄存器的 ERROR 位置 1。

28. 4. 3. 4 事务调度

事务调度由 USB 主机控制器自动处理。主机控制器会根据端点事务类型配置端点通讯调度。中断传输可以是每 1 帧进行一次，也可以每 255 帧进行一次，可以在 1 帧到 255 之间以 1 帧增量调度。批量端点不处理调度参数，但在设备的端点不响应时，允许 NAK 超时。同步端点可以在每帧到每 216 帧之间调度。

USB 控制器维持帧计数。如果目标设备为全速设备，控制器在每帧开始时自动发送 SOF 包，同时帧计数加 1。如果目标设备为低速设备，将在总线上发送 K 状态来保持总线活动，防止低速设备进入挂起模式。

在 SOF 包发送后，USB 主机控制器应检查所有配置的端点，寻找激活的传输事务。REQPKT 位置 1 的接收端点或 TXRDY 位置 1 的发送端点，被视为存在激活的传输事务。

如果传输建立在一帧的第一个调度周期，而且端点的间隔计数器减到 0，则同步传输和中断传输开始。所以每个端点的中断传输和同步传输每 x 帧才发生一次，其中 x 是通过 USB 端点 x 主机发送间隔 (**USB_NAKLIMIT0_TXINTERVAL**) 或 USB 端点 x 主机接收间隔 (**USB_RXINTERVAL**)寄存器设置的间隔。

如果在帧中下一个 SOF 包之前有足够的时间完成传输，则激活的批量传输立即开始。如果传输需要重发时(例如，收到 NACK 或设备未响应)，需要在调度器先检查完其他所有端点是否有其它激活的传输之后，传输才能重传。这保证了一个发送大量 NACK 响应的端点不阻塞总线上的其他传输正常进行。控制器同样允许使用者设置的目标设备端点发送 NACK 的超时限制。

28. 4. 3. 5 干扰

只有总线至少空闲一个最小间隔包的时间，USB 主机控制器才会开始传输。USB 控制器不会发起事务传输，除非它能在结束帧前完成。如果在结束帧时 USB 总线上仍有活动，USB 主机将判定连接的目标设备发生故障，同时 USB 控制器挂起所有传输事务，并产生干扰(Babble)中

断信号。

28. 4. 3. 6 主机挂起

如果 **USB_POWER** 寄存器中的 SUSPEND 位置 1，USB 主机控制器完成当前的传输事务，然后停止事务调度和帧计数。此时，不再启动事务传输，不再产生 SOF 包。

要离开挂起模式，可以将 RESUME 位置 1 并将 SUSPEND 位清零。当 RESUME 位置 1 时，USB 主机将在总线上产生恢复信号。但 20ms 之后，必须将 RESUME 位清零，此时，帧计数和事务调度开始。主机支持远程恢复检测。

28. 4. 3. 7 USB 复位

如果 **USB_POWER** 寄存器中的 RESET 位置 1，USB 主机控制器将在总线上产生 USB 复位信号。RESET 位需要保持置位至少 20ms，以确保目标设备的正确复位。软件清除此位后，USB 主机控制器开始帧计数和事务调度。

28. 4. 3. 8 连接/断开

通过将 **USB_DEVCON** 寄存器中的 SESSION 位置 1 来启动会话。当检测到设备时，将产生连接中断信号。连接的设备的速度，通过读 **USB_DEVCON** 寄存器来确定。如果 FSDEV 位置 1，连接的设备为全速设备；如果 LSDEV 位置 1，连接的设备为低速设备。USB 控制器必须对设备发出一个复位信号，此时 USB 主机开始设备沟通。如果会话过程中设备断开连接，将产生断开中断。

28. 4. 3. 9 OTG 模式

OTG 控制器通过物理层采样 CID 输入来决定哪个是 A 设备哪个是 B 设备。CID 信号拉低时，检测到输入 A 设备(表示 OTG 控制器作为 A 设备)；CID 信号为高时，检测到输入 B 设备(表示 OTG 控制器作为 B 设备)。注意当在 OTG A 和 OTG B 之间切换时，控制器保留所有的寄存器内容。

28. 4. 3. 10 开始会话

当 USB OTG 控制器准备开始会话时，**USB_DEVCON** 寄存器中的 SESSION 位必须置 1。此时 OTG 控制器使能 CID 引脚脚检测。当检测到 A 类型连接时，CID 输入为低；当检测到 B 类型连接时，CID 输入为高。同时设置 **USB_DEVCON** 寄存器中的 CID 位，来表明 USB OTG 控制器用作 A 设备还是 B 设备。

如果 USB OTG 控制器是 A 设备，则它进入主机模式(A 设备总是默认为主机)。此时，OTG 控制器等待外设接入。当检测到外设接入，则产生一个连接中断信号，**USB_DEVCON** 寄存器中的 FSDEV 或 LSDEV 位置 1(取决于接入的全速设备还是低速设备)。这时，USB 控制器向接入的设备发送一个复位信号。可以通过将 **USB_DEVCON** 寄存器中的 SESSION 位清零来结束会话。如果发生干扰时 OTG 控制器将自动结束会话。

如果 OTG 控制器用作 B 设备，它使用 USB OTG 规范中定义的会话请求协议来请求会话。会话结束时，SESSION 位可通过 OTG 控制器或应用软件清零。

28. 4. 3. 11 主机协商

如果 USB 控制器是 A 设备，CID 信号为低，当会话发起时它将自动进入主机模式。如果 USB 控制器是 B 设备，CID 信号为高，当会话发起时它将自动进入设备状态。但是也可以通过软件方式将 **USB_DEVCON** 寄存器中的 HOSTREQ 位置 1 使 USB 控制器从设备模式变为主机模式。此位可以在通过置 1**USB_DEVCON** 寄存器中的 SESSION 位发起会话请求的同时置位，也可以在发起请求之后任意时候置位。当 USB 控制器下次进入挂起模式时，如果 HOSTREQ 位保持置 1，控制器进入主机模式，并开始主机协商，引发物理层断开 D+线路上的上拉电阻，触发之前的 A 设备切换到设备模式，并连接设备模式的上拉电阻。当 USB 控制器检测到此情况 ，将产生连接中断信号，并将 **USB_POWER** 寄存器中的 RESET 位置 1 使之前的 A 设备复位。USB 控制器自动开始复位序列，确保复位在之前的 A 设备连接上拉电阻后的 1ms 内开始。主处理器应等待至少 20ms，然后将 RESET 位清零，开始枚举之前的 A 设备。

当 USB OTG 控制器 B 设备使用完总线，它将 **USB_POWER** 寄存器中的 SUSPEND 位置 1 进入挂起模式。A 设备检测此情况，则结束会话或恢复到主机模式。如果 A 设备是 OTG 控制器，将产生一个连接断开的中断信号。

28. 5 特殊功能寄存器

28. 5. 1 寄存器列表

USB 寄存器列表			
名称	偏移地址	类型	描述
USB_FADDR	0000_H	R/W	USB 设备功能地址寄存器
USB_POWER	0001_H	R/W	USB 电源管理寄存器
USB_DPDMCON	0002_H	R/W	USB DP/DM 控制器寄存器
USB_SWCID	0003_H	R/W	USB 软件控制 CID 寄存器
USB_SWVBUS	0004_H	R/W	USB 软件控制 VBUS 寄存器
USB_FRAME1	$000C_H$	R	USB 帧号寄存器 1
USB_FRAME2	$000D_H$	R	USB 帧号寄存器 2
USB_INDEX	$000E_H$	R/W	USB 端点索引寄存器
USB_DEVCON	$000F_H$	R/W	USB 设备控制寄存器
USB_TXMAXP	0010_H	R/W	USB 发送最大数据包大小寄存器
USB_CSR0L_TXCSRL	0011_H	R/W	USB EP0 或 EPTX 中的控制状态寄存器 1
USB_CSR0H_TXCSRH	0012_H	R/W	USB EP0 或 EPTX 中的控制状态寄存器 2
USB_RXMAXP	0013_H	R/W	USB 接收最大数据包大小寄存器
USB_RXCSRL	0014_H	R/W	USB 接收控制状态寄存器 1
USB_RXCSRH	0015_H	R/W	USB 接收控制状态寄存器 2
USB_COUNT0_RX1	0016_H	R	USB EP0 或 EPRX 中接收字节数的寄存器
USB_RXCOUNT2	0017_H	R	USB 接收字节数寄存器 2
USB_TXTYPE	0018_H	R/W	USB 发送协议类型寄存器
USB_NAKLIMIT0 _TXINTERVAL	0019_H	R/W	USB 端点 0 NAK 响应超时寄存器或 USB 发送轮询间隔寄存器
USB_RXTYPE	$001A_H$	R/W	USB 接收协议类型寄存器
USB_RXINTERVAL	$001B_H$	R/W	USB 接收轮询间隔寄存器
USB_TXFIFO1	$001C_H$	R/W	USB 发送 FIFO 配置寄存器 1
USB_TXFIFO2	$001D_H$	R/W	USB 发送 FIFO 配置寄存器 2
USB_RXFIFO1	$001E_H$	R/W	USB 接收 FIFO 配置寄存器 1
USB_RXFIFO2	$001F_H$	R/W	USB 接收 FIFO 配置寄存器 2
USB_EP0FIFO	0020_H	R/W	USB 端点 0 FIFO
USB_EP1FIFO	0024_H	R/W	USB 端点 1 FIFO
USB_EP2FIFO	0028_H	R/W	USB 端点 2 FIFO
USB_EP3FIFO	$002C_H$	R/W	USB 端点 3 FIFO
USB_EP4FIFO	0030_H	R/W	USB 端点 4 FIFO
USB_EP5FIFO	0034_H	R/W	USB 端点 5 FIFO

USB 寄存器列表			
名称	偏移地址	类型	描述
USB_EP6FIFO	0038_H	R/W	USB 端点 6 FIFO
USB_TXIER	0080_H	W1	USB 发送中断使能寄存器
USB_RXIER	0082_H	W1	USB 接收中断使能寄存器
USB_TXIDR	0084_H	W1	USB 发送中断禁用寄存器
USB_RXIDR	0086_H	W1	USB 接收中断禁用寄存器
USB_TXIVS	0088_H	R	USB 发送中断使能状态寄存器
USB_RXIVS	$008A_H$	R	USB 接收中断使能状态寄存器
USB_TXRIF	$008C_H$	R	USB 发送原始中断事件标志寄存器
USB_RXRIF	$008E_H$	R	USB 接收原始中断事件标志寄存器
USB_TXIFM	0090_H	R	USB 发送中断标志位状态寄存器
USB_RXIFM	0092_H	R	USB 接收中断标志位状态寄存器
USB_TXICR	0094_H	C_W1	USB 发送中断清除寄存器
USB_RXICR	0096_H	C_W1	USB 接收中断清除寄存器
USB_IER	$00A0_H$	W1	USB 中断使能寄存器
USB_IDR	$00A4_H$	W1	USB 中断禁用寄存器
USB_IVS	$00A8_H$	R	USB 中断使能状态寄存器
USB_RIF	$00AC_H$	R	USB 原始中断事件标志寄存器
USB_IFM	$00B0_H$	R	USB 中断标志位状态寄存器
USB_ICR	$00B4_H$	C_W1	USB 中断清除寄存器

28. 5. 2 寄存器描述

28. 5. 2. 1 USB 设备功能地址寄存器 (USB_FADDR)

USB 设备功能地址寄存器(USB_FADDR)							
偏移地址：0x0000							
复位值：0x00							
7	6	5	4	3	2	1	0
	ADDR<6:0>						

—	Bit 7	—	—
ADDR	Bits 6-0	R/W	**USB设备功能地址设置位** 设备地址。

寄存器是一个 8 位寄存器，应该用事务的外设部分的 7 位地址来写。

当 USB 在设备模式(USB_DEVCON.HOST=0)中使用时，这个寄存器应该使用通过 SET_ADDRESS 命令接收的地址来写入，然后 SET_ADDRESS 命令将用于解码后续令牌分组中的功能地址。

当 USB 在主机模式下使用时(USB_DEVCON.HOST=1)，这个寄存器应该被设置为在设备枚举期间在 SET_ADDRESS 命令中发送的值作为外围设备的地址。

28. 5. 2. 2 USB 电源管理寄存器 (USB_POWER)

主机模式

USB 电源管理寄存器 (USB_POWER)							
偏移地址：0x001							
复位值：0x00							
7	6	5	4	3	2	1	0
				RESET	RESUME	SUSPEND	

—	Bits 7-4	—	—
RESET	Bit 3	R/W	**复位信号** 0: 结束总线上的 RESET 信号 1: 使能总线上的 RESET 信号
RESUME	Bit 2	R/W	**恢复信号** 0: 结束总线上的 RESUME 信号 1: 当设备处于挂起模式时，使能 RESUME 信号 该位必须在被设置后维持 20ms，由软件清除。
SUSPEND	Bit 1	R/W	**挂起模式** 0: 正常工作模式 1: 启用 SUSPEND 模式 当 CPU 读取中断寄存器或将 RESUME 位置 1 或离开主机模式时，该位将被清除。
—	Bit 0	—	—

设备模式

USB 设备功能地址寄存器 (USB_POWER)							
偏移地址：0x001							
复位值：0x00							
7	6	5	4	3	2	1	0
ISOUDT				RESET	RESUME	SUSPEND	SUSPENDEN

ISOUDT	Bit 7	R/W	**同步端点更新控制位** 0: 没有效果 1: 在发送数据包之前设置了 TXRDY 之后，USB 等待一个 SOF 令牌。如果在 SOF 令牌之前接收到 IN 令牌，则将发送零长度数据包 此位仅适用于同步传输。
—	Bits 6-4	—	—
RESET	Bit 3	R	**复位信号** 0: 结束总线上的 RESET 信号 1: 使能总线上的 RESET 信号
RESUME	Bit 2	R/W	**恢复信号** 0: 结束总线上的 RESUME 信号 1: 当设备处于挂起模式时，使能 RESUME 信令。 在设备模式时，置 1 之后应该在 10ms(最大 15ms)之后清零此控制位。
SUSPEND	Bit 1	R	**挂起模式** 0: 当软件读取中断寄存器或将上面的 RESUME 位置 1 时，该位被清除 1: USB 控制器处于挂起模式
SUSPENDEN	Bit 0	—	**挂起模式使能位** 0: 当在总线上接收到挂起信号时禁止进入挂起模式 1: 当在总线上接收到挂起信号时允许进入挂起模式

这个 8 位寄存器用于控制暂停和恢复信令，用于同步端点的 IN 分组定时，以及用于点对点通信，指示连接的设备类型。

28. 5. 2. 3 USB DP/DM 控制器寄存器 (USB_DPDMCON)

USB DP/DM 控制器寄存器 (USB_DPDMCON)							
偏移地址：0x0002							
复位值：0x00							
7	6	5	4	3	2	1	0
			DPPUD<1:0>		DMPUD<1:0>		PHYPWREN

—	Bits 7-5	—	—
DPPUD	Bits 4-3	R/W	**USB_DP 信号引脚上拉/下拉** 00: 浮接 01: 上拉 10: 下拉 11: 保留
DMPUD	Bits 2-1	R/W	**USB_DM 信号引脚上拉/下拉** 00: 浮接 01: 上拉 10: 下拉 11: 保留
PHYPWREN	Bit 0	R/W	**USB PHY 电源使能** 0: 关闭内部 USB PHY 的电源 1: 开启内部 USB PHY 的电源

28. 5. 2. 4 USB 软件控制 CID 寄存器 (USB_SWCID)

USB 软件控制 CID 寄存器 (USB_SWCID)							
偏移地址：0x0003							
复位值：0x03							
7	6	5	4	3	2	1	0
						HOST	CIDCTRL

—	Bits 7-2	—	—
HOST	Bit 1	R/W	**主机模式** 0: USB 控制器作为主机。 1: USB 控制器作为一个设备
CIDCTRL	Bit 0	R/W	**连接 ID(CID)信号控制** 0: 硬件控制 1: 软件控制

28. 5. 2. 5 USB 软件控制 VBUS 寄存器 (USB_SWVBUS)

USB 软件控制 VBUS 寄存器 (USB_SWVBUS)							
偏移地址：0x0004							
复位值：0x0F							
7	6	5	4	3	2	1	0
—	—	—	—	VALTH	SESVALTH	SESENDTH	SIGCTRL

—	Bits 7-4	—	—
VALTH	Bit 3	R/W	**VBUS 有效阈值** 0: 低于 VBUS 有效阈值 1: 高于 VBUS 有效阈值
SESVALTH	Bit 2	R/W	**会话有效阈值** 0: 低于会话有效阈值 1: 高于会话有效阈值
SESENDTH	Bit 1	R/W	**会话结束阈值** 0: 低于在会话结束阈值 1: 高于会话结束阈值
SIGCTRL	Bit 0	R/W	**VBUS 信号控制** 0: 硬件控制 1: 软件控制

28. 5. 2. 6 USB 帧号寄存器 1 (USB_FRAME1)

USB 帧号寄存器 1 (USB_FRAME1)							
偏移地址：0x000C							
复位值：0x00							
7	6	5	4	3	2	1	0
LOWFRAME<7:0>							

LOWFRAME	Bits 7-0	R	**低8位的帧号**

28. 5. 2. 7 USB 帧号寄存器 2 (USB_FRAME2)

USB 帧号寄存器 2 (USB_FRAME2)							
偏移地址：0x000D							
复位值：0x00							
7	6	5	4	3	2	1	0
					UPFRAME<2:0>		

—	Bits 7-3	—	—
UPFRAME	Bits 2-0	R	**高3位的帧号**

28. 5. 2. 8 USB 端点索引寄存器 (USB_INDEX)

USB 端点索引寄存器 (USB_INDEX)							
偏移地址：0x000E							
复位值：0x00							
7	6	5	4	3	2	1	0
				EPTIDX<3:0>			

—	Bits 7-4	—	—
EPTIDX	Bits 3-0	R/W	**端点号** 该位字段配置在读取或写入 USB 控制器的索引寄存器之一时访问哪个端点。0x0 的值对应于端点 0，0x6 的值对应于端点 6。

28. 5. 2. 9 USB 设备控制寄存器 (USB_DEVCON)

USB 设备控制寄存器 (USB_DEVCON)							
偏移地址：0x000F							
复位值：0x00							
7	6	5	4	3	2	1	0
CID	FSDEV	LSDEV			HOST	HOSTREQ	SESSION

CID	Bit 7	R	**CID输入信号的状态** 0: A-type 1: B-type
FSDEV	Bit 6	R	**全速设备检测** 0: 在端口上没有检测到全速设备 1: 在端口上检测到全速设备。
LSDEV	Bit 5	R	**低速设备检测** 0: 在端口上未检测到低速设备 1: 在端口上检测到低速设备。
—	Bits 4-3	—	—
HOST	Bit 2	R	**主机模式** 0: USB 控制器作为一个设备 1: USB 控制器作为主机。
HOSTREQ	Bit 1	R/W	**主机请求** 0: 无效果 1: 在进入暂停模式时启动主机协商。
SESSION	Bit 0	R/W	**会话开始或结束** 0: 当软件清除时，该位结束会话。 1: 当由软件设置时，该位启动会话。

28. 5. 2. 10 USB 发送最大数据包大小寄存器 (USB_TXMAXP)

USB 发送最大数据包大小寄存器 (USB_TXMAXP)							
偏移地址：0x0010							
复位值：0x00							
7	6	5	4	3	2	1	0
MAXSIZE<7:0>							

MAXSIZE	Bits 7-0	R/W	**发送最大数据包大小** 允许的最大数据包大小 每个配置的发送端点(除了端点0)都有一个USB_TXMAXP寄存器

28. 5. 2. 11 USB EP0 或 EPTX 中的控制状态寄存器 1 (USB_CSR0L_TXCSRL)

端点 0 中的主机模式

USB EP0 或 EPTX 中的控制状态寄存器 1 (USB_CSR0L_TXCSRL)							
偏移地址：0x0011							
复位值：0x00							
7	6	5	4	3	2	1	0
NAKTO	STATUSPKT	REQPKT	ERROR	SETUPPKT	STALLED	TXRDY	RXRDY

NAKTO	Bit 7	R/W	**NACK 超时标志位** 0: 没有超时 1: 端点 0 收到 NACK 的次数大于 **USB_NAKLIMIT** 寄存器设置的次数 注: 当此标志位置 1 时，应通过软件写 0 清零此标志位使端点 0 继续进行事务处理。
STATUSPKT	Bit 6	R/W	**Status stage 事务处理控制位** 0: 无交易 1: 启动 STATUS 阶段事务 注: 软件在设置 TXRDY 或 REQPKT 位的同时设置此位，以执行状态阶段事务。设置该位可确保将数据切换设置为 1，以便将 DATA1 数据包用于状态阶段事务。

REQPKT	Bit 5	R/W	**IN 事务处理请求控制位** 0: 无 IN 事务处理请求 1: 请求 IN 事务处理 当 RXRDY 位置 1 时，该位清零。
ERROR	Bit 4	R/C_W0	**错误** 0: 无错误 1: 已经进行了三次尝试来执行事务，而外围设备没有响应 软件写 0 清零此标志位，写 1 无效。
SETUPPKT	Bit 3	R/W	**SETUP 令牌包发送控制位** 0: 发送 OUT 令牌 1: 为事务发送 SETUP 令牌而不是 OUT 令牌 注: 软件在设置 TXRDY 位的同时设置此位。
STALLED	Bit 2	R/W	**接收 STALL 信号** 0: 尚未收到 STALL 信号 1: 已收到 STALL 信号 注: 软件必须清除该位。
TXRDY	Bit 1	R/S_W1	**发送数据包 Ready 标志位** 0: 端点 0 数据包加载未完成 1: 端点 0 数据包加载完成(软件写 1 有效，写 0 无效) 注: 当软件完成端点 0 数据包加载时，软件需要将此控制位置 1。当完成数据包发送时，此控制位自动清零，同时端点 0 产生中断(中断使能时)。
RXRDY	Bit 0	R/C_W0	**数据包接收 Ready 标志位** 0: 数据包接收未完成 1: 数据包接收完成 注: 当此控制位置 1 时，如果中断使能，端点 0 会产生中断。软件写 0 清零此控制位(写 1 无效)。

寄存器是一个 8 位寄存器，它为端点 0 提供控制和状态位。寄存器的解释取决于 USB 是否作为主机。

端点 0 中的设备模式

USB EP0 或 EPTX 中的控制状态寄存器 1 (USB_CSR0L_TXCSR1L)							
偏移地址：0x0011							
复位值：0x00							
7	6	5	4	3	2	1	0
SETENDC	RXRDYC	STALL	SETEND	DATAEND	STALLED	TXRDY	RXRDY

SETENDC	Bit 7	C_W1	**SETEND 清除** 向该位写入 1 将清除 SETEND 位。
RXRDYC	Bit 6	C_W1	**RXRDY 清除** 向该位写入 1 将清除 RXRDY 位。
STALL	Bit 5	W1	**发送 STALL 控制位** 向该位写入 1 将中止当前事务处理，并且发送 STALL 信号。传输 STALL 信号后，该位将自动清除。
SETEND	Bit 4	R	**Setup 事务处理完成标志位** 在 DATAEND 控制位置 1 之前完成控制事务处理此控制位置 1，同时会产生相应的中断和 FIFO Flush 操作。 0: 控制事务处理未完成 1: 控制事务处理完成 注: 通过将 1 写入 SETENDC 位来清除该位。
DATAEND	Bit 3	W1	**数据完成控制位** 当产生如下情况时，软件需要将此位置 1 : 1. 完成最后一包数据加载置高 TXRDY 2. 完成最后一包数据读取清零 RXRDY 3. 发送长度为 0 的数据包置高 TXRDY 注: 此控制位自动清零。
STALLED	Bit 2	R/C_W0	**发送 STALL 信号** 0: STALL 信号尚未发送 1: STALL 信号已发送 注: 软件必须向该位写入 0 清除该位。
TXRDY	Bit 1	R/S_W1	**发送数据包 Ready 标志位** 0: 端点 0 数据包加载未完成 1: 端点 0 数据包加载完成(软件写 1 有效，写 0 无效)

			注: 当软件完成端点 0 数据包加载时，软件需要将此控制位置 1。当完成数据包发送时，此控制位自动清零，同时端点 0 产生中断(中断使能时)。
RXRDY	Bit 0	R	**数据包接收 Ready 标志位** 0: 数据包接收未完成 1: 数据包接收完成 注: 当此控制位置 1 时，如果中断使能，端点 0 会产生中断。通过将 1 写入 RXRDYC 位来清除该位。

寄存器是一个 8 位寄存器，它为端点 0 提供控制和状态位。寄存器的解释取决于 USB 是否作为一个设备。

端点 1～6 中的主机模式

USB EP0 或 EPTX 中的控制状态寄存器 1 (USB_CSR0L_TXCSR1L)							
偏移地址：0x0011							
复位值：0x00							
7	6	5	4	3	2	1	0
NAKTO	CLRDT	STALLED		FLUSH	ERROR	FIFONE	TXRDY

NAKTO	Bit 7	R/C_W0	**NACK 超时标志位** 仅对批量端点有效。 0: 没有超时 1: 传输端点接收 NACK 的次数超过了 USB_NAKLIMIT0_TXINTERVAL 寄存器设置的次数 注: 当此标志位置 1 时，应通过软件写 0 清零此标志位使端点继续传输。
CLRDT	Bit 6	S_W1	**清除数据转换** 将 1 写入此位以重置端点 Data Toggle 重置为 0。
STALLED	Bit 5	R/W	**接收 STALL 信号** 当该位置 1 时，FIFO 将被完全清空，并且将 TXRDY 位清除。 0: 尚未收到 STALL 信号 1: 已收到 STALL 信号

			注: 软件必须清除该位。
—	Bit 4	—	—
FLUSH	Bit 3	R/W	**清空 FIFO** 向该位写入 1，以刷新要从发送端点 FIFO 发送的下一个数据包。同时 FIFO 指针被复位，TXRDY 位被清除。 注: 除非设置了 TXRDY，否则 FLUSH 无效。如果 FIFO 是双缓冲的，则可能需要将 FLUSH 设置两次以完全清除 FIFO。
ERROR	Bit 2	R/W	**错误** 0: 无错误 1: 已经进行了发送 3 个数据包并且没有收到握手数据包。 注: 软件必须清除该位。仅在端点以批量或中断模式运行时有效。
FIFONE	Bit 1	R/W	**FIFO 不空** 0: FIFO 是空的 1: 至少一个数据包在传输 FIFO 中
TXRDY	Bit 0	R/W	**发送数据包准备就绪** 当数据包已被发送时，该位自动清除，并产生中断(中断使能时)。 0: 没有发送数据包准备就绪 1: 软件在加载数据包到发送 FIFO 之后设置此位

寄存器是一个 8 位寄存器，通过传输提供控制和状态位。当前选择的 TX 端点。每个配置的 TX 端点都有一个寄存器(不包括端点 0)。寄存器的解释取决于 USB 是否作为主机。

端点 1～6 中的设备模式

USB EP0 或 EPTX 中的控制状态寄存器 1 (USB_CSR0L_TXCSR1L)							
偏移地址：0x0011							
复位值：0x00							
7	6	5	4	3	2	1	0
	CLRDT	STALLED	STALL	FLUSH	UNDRUN	FIFONE	TXRDY

—	Bit 7	—	—
CLRDT	Bit 6	S_W1	**清除数据转换** 将 1 写入此位以重置端点 Data Toggle 重置为 0。
STALLED	Bit 5	R/W	**发送 STALL 信号** 当该位置 1 时，FIFO 将被完全清空，并且将 TXRDY 位清除。 0: STALL 信号尚未发送 1: STALL 信号已发送 注: 软件必须向该位写入 0 清除该位。
STALL	Bit 4	R/W	**发送 STALL 控制位** 0: 没有效果 1: 向 IN 令牌发出 STALL 信号 软件清除该位以终止 STALL 条件。 注: 该位在同步传输中不起作用。
FLUSH	Bit 3	R/W	**清空 FIFO** 向该位写入 1，以刷新要从发送端点 FIFO 发送的下一个数据包。同时 FIFO 指针被复位，TXRDY 位被清除。 注: 除非设置了 TXRDY，否则 FLUSH 无效。如果 FIFO 是双缓冲的，则可能需要将 FLUSH 设置两次以完全清除 FIFO。
UNDRUN	Bit 2	R/W	**欠载** 0: 没有欠载 1: 未设置 TXRDY 时已接收到 IN 令牌 注: 软件必须清除该位。
FIFONE	Bit 1	R/W	**FIFO 不空** 0: FIFO 是空的 1: 至少一个数据包在传输 FIFO 中

TXRDY	Bit 0	R/W	**发送数据包准备就绪** 当数据包已被发送时，该位自动清除，并产生中断(中断使能时)。 0: 没有发送数据包准备就绪 1: 软件在加载数据包到发送 FIFO 之后设置此位

寄存器是一个 8 位寄存器，通过当前选择的 TX 端点提供传输控制和状态位。每个配置的 TX 端点都有一个寄存器(不包括端点 0)。寄存器的解释取决于 USB 是否作为一个设备。

28. 5. 2. 12 USB EP0 或 EPTX 中的主控制状态寄存器 2 (USB_CSR0H_TXCSRH)

端点 0

USB EP0 或 EPTX 中的主控制状态寄存器 2 (USB_CSR0H_TXCSRH)							
偏移地址：0x0012							
复位值：0x00							
7	6	5	4	3	2	1	0
							FLUSH

—	Bits 7-1	—	—
FLUSH	Bit 0	R/W	**FIFO Flush控制位** 执行刷新后，该位将自动清除。 0: 无效 1: 从端点0 FIFO刷新要发送与读取的下一个数据包。FIFO指针复位，TXRDY与RXRDY位清零 注: 除非设置了TXRDY或RXRDY，否则FlushFIFO无效。

寄存器包括单个自清除位，其可用于刷新端点 0 FIFO。

端点 1～6

USB EP0 或 EPTX 中的主控制状态寄存器 2 (USB_CSR0H_TXCSRH)							
偏移地址：0x0012							
复位值：0x00							
7	6	5	4	3	2	1	0
AUTOSET	ISO	MODE		FDT			

AUTOSET	Bit 7	R/W	**自动置位** 0: 必须手动将 TXRDY 位置 1 1: 当最大数据包大小的数据(**USB_TXMAXP** 寄存器中的值)加载到发送 FIFO 中时，使 TXRDY 位自动设置。如果装入的数据包小于最大数据包大小，则必须手动设置 TXRDY 位。
ISO	Bit 6	R/W	**同步传输** 0: 允许传输端点进行批量传输或中断传输 1: 启用传输端点进行同步传输 注: 该位仅在设备模式下有效。在主机模式下，它始终返回零。
MODE	Bit 5	R/W	**模式** 0: 设置端点方向为接收 1: 设置端点方向为发送 注: 此位只在发送和接收传输使用相同端点 FIFO 时起作用。
—	Bit 4	—	—
FDT	Bit 3	R/W	**强制切换 Data Toggle** 0: 无效果 1: 无论是否接收到 ACK，都强制切换端点的 Data Toggle 位并从 FIFO 中清除数据包。中断传输端点可使用此位，该端点用于传达同步端点的速率反馈。
—	Bits 2-0	—	—

寄存器是一个 8 位寄存器，通过当前选择的发送端点提供用于传输的进一步控制位。每个配置的发送端点都有一个寄存器(不包括端点 0)。

28. 5. 2. 13 USB 接收最大数据包大小寄存器 (USB_RXMAXP)

USB 接收最大数据包大小寄存器 (USB_RXMAXP)							
偏移地址：0x0013							
复位值：0x00							
7	6	5	4	3	2	1	0
MAXSIZE<7:0>							

MAXSIZE	Bits 7-0	R/W	**接收端点单次可传输的最大数据的长度** 允许的最大数据包大小 每个配置的接收端点(除了端点0)都有一个USB_RXMAXP寄存器

寄存器是一个 8 位寄存器，用于保存通过当前选择的 Rx 端点进行的事务的最大数据包大小-以 8 字节为单位，但值 128 会将最大数据包大小设置为 1023(在全速事务中传输同步数据包的最大大小)而不是 1024。在设置此值时，您应注意 USB 规范对全速操作中的批量，中断和同步事务的数据包大小设置的约束。

每个配置的接收端点都有一个寄存器(除了端点 0)。

写入到该寄存器的值所表示的数据总量不能超过 RX FIFO 大小，或者使用动态 FIFO 大小，在 USB_RXFIFO2 寄存器中指定的最大分组大小。如果写入此寄存器的值小于或等于 RX FIFO 大小的一半，则可以缓冲两个数据包(除非选择了动态 FIFO 大小)。

28. 5. 2. 14 USB 接收控制状态寄存器 1 (USB_RXCSRL)

主机模式

USB 接收控制状态寄存器 1 (USB_RXCSRL)							
偏移地址：0x0014							
复位值：0x00							
7	6	5	4	3	2	1	0
CLRDT	STALLED	REQPKT	FLUSH	DATAERR/ NAKTO	ERROR	FULL	RXRDY

CLRDT	Bit 7	R/W	**清除数据转换** 将 1 写入此位以重置端点 Data Toggle 重置为 0。
STALLED	Bit 6	R/W	**接收 STALL 信号** 0: 尚未收到 STALL 信号 1: 已收到 STALL 信号，此时会产生中断。 注: 软件必须清除该位。
REQPKT	Bit 5	R/W	**IN 事务处理请求控制位** 0: 无 IN 事务处理请求 1: 请求 IN 事务处理 当 RXRDY 位置 1 时，该位清零。
FLUSH	Bit 4	R/W	**清空 FIFO** 向该位写入 1，以刷新要从端点 Rx FIFO 读取的下一个数据包。同时 FIFO 指针被复位，RXRDY 位被清除。 注: 除非设置了 RXRDY，否则 FLUSH 无效。另请注意，如果 FIFO 是双缓冲的，则可能需要将 FLUSH 设置两次以完全清除 FIFO。
DATAERR / NAKTO	Bit 3	R/W	**数据错误/ NAK 超时** 0: 正常运行 1: 在同步模式下操作时，如果数据包具有 CRC 或位填充错误，则当 RXRDY 设置为 1 时，同时此位置 1；当 RXRDY 清除时，同时清除该位。 在批量模式下，当接收到 NAK 响应后，如果 Rx 端点暂停的时间超过 **USB_RXINTERVAL** 寄存器设置为 NAK 限制的时间，则该位置 1。

			注: 软件必须清除该位以允许端点继续。
ERROR	Bit 2	R/W	**错误** 0: 没有错误 1: 已经进行了三次尝试来接收数据包，并且没有接收到数据包 软件必须清除该位。 注：仅当接收端点在批量或中断模式下运行时，此位才有效。在同步模式下，它始终返回零。
FULL	Bit 1	R	**FIFO 满** 0: 接收 FIFO 未满 1: 无法再将更多数据包加载到接收 FIFO 中
RXRDY	Bit 0	R/W	**数据包接收 Ready 标志位** 0: 数据包接收未完成 1: 数据包接收完成 注: 从 Rx FIFO 卸载数据包后，软件应清除该位。当该位置 1 时，产生一个中断。

寄存器是一个 8 位寄存器，通过当前选择的接收端点提供控制和状态位进行传输。每个配置的接收端点都有一个寄存器(不包括端点 0)。寄存器的解释取决于 USB 是否作为主机。

设备模式

USB 接收控制状态寄存器 1 (USB_RXCSRL)							
偏移地址：0x0014							
复位值：0x00							
7	6	5	4	3	2	1	0
CLRDT	STALLED	STALL	FLUSH	DATAERR	OVERRUN	FULL	RXRDY

CLRDT	Bit 7	R/W	**清除数据转换** 将 1 写入此位以重置端点 Data Toggle 重置为 0。
STALLED	Bit 6	R/W	**发送 STALL 信号** 0: STALL 信号尚未发送 1: STALL 信号已发送 注: 软件必须清除该位。
STALL	Bit 5	C_W1	**发送 STALL 控制位**

			向该位写入 1 以发出 STALL 信号。 软件清除该位以终止停止条件。 注: 当端点用于同步传输时，此位无效。
FLUSH	Bit 4	R/W	**清空 FIFO** 向该位写入 1，以刷新要从端点 Rx FIFO 读取的下一个数据包。同时 FIFO 指针被复位，RXRDY 位被清除。
DATAERR	Bit 3	R/W	**数据错误** 0: 正常运行 1: 在同步模式下操作时，如果数据包具有 CRC 或位填充错误，则当 RXRDY 设置为 1 时，同时此位置 1；当 RXRDY 清除时，同时清除该位 注: 仅当端点在同步模式下运行时，此位才有效。在批量模式下，它始终返回零。
OVERRUN	Bit 2	R/W	**溢出** 0: 无溢出错误 1: 表示无法将 OUT 数据包加载到接收 FIFO 中 注: 仅当端点在同步模式下运行时，此位才有效。 在批量模式下，它始终返回零。
FULL	Bit 1	R	**FIFO 满** 0: 接收 FIFO 未满 1: 无法再将更多数据包加载到接收 FIFO 中
RXRDY	Bit 0	R/W	**数据包接收 Ready 标志位** 0: 数据包接收未完成 1: 数据包接收完成 注: 从 Rx FIFO 卸载数据包后，软件应清除该位。当该位置 1 时，产生一个中断。

寄存器是一个 8 位寄存器，通过当前选择的接收端点提供控制和状态位进行传输。每个配置的接收端点都有一个寄存器(不包括端点 0)。寄存器的解释取决于 USB 是否作为一个设备。

28. 5. 2. 15 USB 接收控制状态寄存器 2 (USB_RXCSRH)

主机模式

USB 接收控制状态寄存器 2 (USB_RXCSRH)							
偏移地址：0x0015							
复位值：0x00							
7	6	5	4	3	2	1	0
AUTOCLR	AUTOREQ						

AUTOCLR	Bit 7	R/W	**自动清除** 0: 无效果 1: 当从接收 FIFO 接收了一个 **UBS_RXMAXP** 寄存器字节包时，可以自动清除 RXRDY 位。当接收小于最大分组大小的数据包时，必须手动清除 RXRDY。
AUTOREQ	Bit 6	R/W	**自动请求** 0: 没有效果 1: 当 RXRDY 位被清除时，可以自动设置 REQPKT 位
—	Bits 5-0	—	—

寄存器是一个 8 位寄存器，通过当前选择的接收端点提供用于传输的其他控制位。每个配置的接收端点都有一个寄存器(不包括端点 0)。寄存器的解释取决于 USB 是否作为主机。

设备模式

USB 接收控制状态寄存器 2 (USB_RXCSRH)							
偏移地址：0x0015							
复位值：0x00							
7	6	5	4	3	2	1	0
AUTOCLR	ISO						

AUTOCLR	Bit 7	R/W	**自动清除** 0: 无效果 1: 当从接收 FIFO 接收了一个 **UBS_RXMAXP** 寄存器字节包时，可以自动清除 RXRDY 位。当接收小于最大分组大小的数据包时，必须手动清除 RXRDY。
ISO	Bit 6	R/W	**同步传输** 0: 允许传输端点进行批量传输或中断传输 1: 启用传输端点进行同步传输
—	Bits 5-0	—	—

寄存器是一个 8 位寄存器，通过当前选择的接收端点提供用于传输的其他控制位。每个配置的接收端点都有一个寄存器(不包括端点 0)。寄存器的解释取决于 USB 是否作为设备。

28. 5. 2. 16 USB EP0 或 EPRX 中接收字节数的寄存器 (USB_COUNT0_RX1)

端点 0

USB EP0 或 EPRX 中接收字节数的寄存器 (USB_COUNT0_RX1)							
偏移地址：0x0016							
复位值：0x00							
7	6	5	4	3	2	1	0
	COUNT<6:0>						

—	Bit 7	—	—
COUNT	Bits 6-0	R	**FIFO 数据字节数** 该字段是一个只读值，指示端点 0 FIFO 中接收到的数据字节数

寄存器是一个 7 位只读寄存器，它指示端点 0 FIFO 中接收到的数据字节数。当设置 USB_CSR0L_TXCSRL.RXRDY 时，返回的值有效。

端点 1～6

USB EP0 或 EPRX 中接收字节数的寄存器 (USB_COUNT0_RX1)							
偏移地址：0x0016							
复位值：0x00							
7	6	5	4	3	2	1	0
PKTLOW<7:0>							

PKTLOW	Bits 7-0	R	**接收数据字节数的低 8 位** 指示接收数据字节数的低 8 位。

寄存器是 8 位只读寄存器，它保存与当前选择的接收端点相关联的 FIFO 中的分组中接收数据字节数的较低 8 位。当设置 USB_RXCSRL.RXRDY 时，返回的值有效。

28. 5. 2. 17 USB 接收字节数寄存器 2 (USB_RXCOUNT2)

USB 接收字节数寄存器 2 (USB_RXCOUNT2)							
偏移地址：0x0017							
复位值：0x00							
7	6	5	4	3	2	1	0
					PKTHIGH<2:0>		

—	Bits 7-3	—	—
PKTHIGH	Bits 2-0	R	**接收数据字节数的高 3 位** 指示接收数据字节数的高 3 位。

寄存器是 3 位只读寄存器，它保存与当前选择的接收端点相关联的 FIFO 中的分组中接收数据字节数的高 3 位。当设置 USB_RXCSRL.RXRDY 时，返回的值有效。

28. 5. 2. 18 USB 发送协议类型寄存器 (USB_TXTYPE)

USB 发送协议类型寄存器 (USB_TXTYPE)							
偏移地址：0x0018							
复位值：0x00							
7	6	5	4	3	2	1	0
		PROTOCOL<1:0>		TEPN<3:0>			

—	Bits 7-6	—	—
PROTOCOL	Bit 5-4	R/W	**协议** 软件必须配置这个字段来选择发送端点所需的协议: 00: 控制 01: 同步 10: 批量 11: 中断
TEPN	Bit 3-0	R/W	**目标端点号** 软件必须将此值配置为在设备枚举期间返回到 USB 控制器的发送端点描述符中包含的端点号。

寄存器是一个 6 位的寄存器，应该用端点编号来写，该端点编号要由位于较低 4 位的端点作为目标，事务协议用于位于较高 2 位的当前选择的发送端点。每个配置的发送端点都有一个寄存器(除了端点 0)。

28. 5. 2. 19 USB 端点 0 NAK 响应超时寄存器或 USB 发送轮询间隔寄存器 (USB_NAKLIMIT0_TXINTERVAL)

端点 0

USB 端点 0 NAK 响应超时寄存器或 USB 发送轮询间隔寄存器 (USB_NAKLIMIT0_TXINTERVAL)							
偏移地址：0x0019							
复位值：0x00							
7	6	5	4	3	2	1	0
NAKLMT<7:0>							

NAKLMT	Bits 7-0	R/W	**NAK 极限** 此字段指定接收 NAK 响应后的帧的数目。 注: 0 或 1 的值禁用 NAK 超时功能。

寄存器是一个 8 位寄存器，用于设置接收 NAK 响应后端点 0 应该超时的帧数。(其他端点的等效设置可以通过 USB_TXINTERVAL 和 USB_RXINTERVAL 寄存器进行)。

所选择的帧的数目可以在 2 和 255 之间。如果主机从目标接收到 NAK 响应，其帧数超过该寄存器中的极限所表示的数目，则端点将停止。

寄存器的解释取决于 USB 是否作为主机。

端点 1～6

USB 端点 0 NAK 响应超时寄存器或 USB 发送轮询间隔寄存器 (USB_NAKLIMIT0_TXINTERVAL)							
偏移地址：19_H							
复位值：00000000_B							
7	6	5	4	3	2	1	0
TXPOLL/NAKLMT<7:0>							

TXPOLL/NAKLMT	Bits 7-0	R/W	**发送轮询/NAK 限制** 中断/同步传输的轮询间隔；批量传输的 NAK 限制。 注: USB 规范允许同步端点的轮询间隔大于 255ms。如果需要，这些必须以软件实现。

寄存器是一个 8 位寄存器，对于中断和同时传输，它定义当前选择的发送端点的轮询间隔。对于批量端点，此寄存器设置接收 NAK 响应时端点应该超时的帧数。每个配置的发送端点都有一个寄存器(除了端点 0)。

寄存器的解释取决于 USB 是否作为主机。

28. 5. 2. 20 USB 接收协议类型寄存器 (USB_RXTYPE)

USB 接收协议类型寄存器 (USB_RXTYPE)							
偏移地址：0x001A							
复位值：0x00							
7	6	5	4	3	2	1	0
		PROTOCOL<1:0>		TEPN<3:0>			

—	Bits 7-6	—	—
PROTOCOL	Bits 5-4	R/W	**协议** 软件必须配置这个字段来选择接收端点所需的协议: 00: 控制 01: 同步 10: 批量 11: 中断
TEPN	Bits 3-0	R/W	**目标端点号** 软件必须将此值配置为在设备枚举期间返回到 USB 控制器的接收端点描述符中包含的端点号。

寄存器是一个 6 位的寄存器，它应该用端点编号来写，该端点编号要由低 4 位的端点作为目标，事务协议用于高 2 位的当前选择的接收端点。每个配置的接收端点都有一个寄存器(除了端点 0)。

寄存器的解释取决于 USB 是否作为主机。

28. 5. 2. 21 USB 接收轮询间隔寄存器 (USB_RXINTERVAL)

USB 接收轮询间隔寄存器 (USB_RXINTERVAL)							
偏移地址：0x001B							
复位值：0x00							
7	6	5	4	3	2	1	0
RXPOLL/NAKLMT <7:0>							

RXPOLL/NAKLMT	Bits 7-0	R/W	**接收轮询/NAK极限** 中断/同步传输的轮询间隔；批量传输的NAK限制。 注: USB规范允许同步端点的轮询间隔大于255ms。 如果需要，这些必须以软件实现。

寄存器是一个 8 位寄存器，对于中断和同时传输，它为当前选择的接收端点定义轮询间隔。对于批量端点，此寄存器设置接收 NAK 响应时端点应该超时的帧数。每个配置的接收端点都有一个寄存器(除了端点 0)。

寄存器的解释取决于 USB 是否作为主机。

28. 5. 2. 22 USB 发送 FIFO 配置寄存器 1 (USB_TXFIFO1)

USB 发送 FIFO 配置寄存器 1 (USB_TXFIFO1)							
偏移地址：0x001C							
复位值：0x00							
7	6	5	4	3	2	1	0
ADDRL<7:0>							

ADDRL	Bits 7-0	R/W	**发送起始地址(低8位)** 端点FIFO的起始地址(低8位) ADDRH+ADDL起始地址 0x000 0x0000 0x001 0x0008 0x002 0x0010 … … 0xFFF 0x7FF8

寄存器是一个 8 位寄存器，共同控制起始地址和选定的发送端点 FIFO 的大小。

28. 5. 2. 23 USB 发送 FIFO 配置寄存器 2 (USB_TXFIFO2)

USB 发送 FIFO 配置寄存器 2 (USB_TXFIFO2)							
偏移地址：0x001D							
复位值：0x00							
7	6	5	4	3	2	1	0
MAXPKTSIZE<2:0>			DPB	ADDRH<3:0>			

MAXPKTSIZE	Bits 7-5	R/W	**最大数据包大小(字节)** 0x0 8 0x1 16 0x2 32 0x3 64 0x4 128 0x5 256 0x6 512 0x7 1024 如果 DPB＝0，FIFO 也将是这个大小；如果 DPB＝1，FIFO 将是这个大小的两倍。
DPB	Bit 4	R/W	**双数据包缓冲支持** 0: 仅支持单数据包缓冲 1: 支持双数据包缓冲
ADDRH	Bits 3-0	R/W	**发送起始地址(高 3 位)** 端点 FIFO 的起始地址(高 3 位)

寄存器是一个 8 位寄存器，共同控制起始地址和选定的发送端点 FIFO 的大小。

28. 5. 2. 24 USB 接收 FIFO 配置寄存器 1 (USB_RXFIFO1)

USB 接收 FIFO 配置寄存器 1 (USB_RXFIFO1)							
偏移地址：0x001E							
复位值：0x00							
7	6	5	4	3	2	1	0
ADDRL<7:0>							

ADDRL	Bits 7-0	R/W	**接收起始地址(低8位)** 端点FIFO的起始地址(低8位) ADDRH+ADDL起始地址 0x000 0x0000 0x001 0x0008 0x002 0x0010 …… 0xFFF 0x7FF8

寄存器是一个 8 位寄存器，共同控制起始地址和选定的接收端点 FIFO 的大小。

28. 5. 2. 25 USB 接收 FIFO 配置寄存器 2 (USB_RXFIFO2)

USB 接收 FIFO 配置寄存器 2 (USB_RXFIFO2)							
偏移地址：0x001F							
复位值：0x00							
7	6	5	4	3	2	1	0
MAXPKTSIZE<2:0>			DPB	ADDRH<3:0>			

MAXPKTSIZE	Bits 7-5	R/W	**最大数据包大小(字节)** 0x0 8 0x1 16 0x2 32 0x3 64 0x4 128 0x5 256 0x6 512 0x7 1024 如果 DPB＝0，FIFO 也将是这个大小；如果 DPB＝1，FIFO 将是这个大小的两倍。
DPB	Bit 4	R/W	**双数据包缓冲支持** 0: 仅支持单数据包缓冲 1: 支持双数据包缓冲
ADDRH	Bits 3-0	R/W	**接收起始地址(高 3 位)** 端点 FIFO 的起始地址(高 3 位)

寄存器是一个 8 位寄存器，共同控制起始地址和选定的接收端点 FIFO 的大小。

28. 5. 2. 26 USB 端点 0 FIFO (USB_EP0FIFO)

USB 端点 0 FIFO (USB_EP0FIFO)							
偏移地址：0x0020							
复位值：0x00							
7	6	5	4	3	2	1	0
FIFO0<7:0>							

FIFO0	Bits 7-0	R/W	**端点0 FIFO** 对此寄存器进行写操作，将向发送FIFO中写入数据，对此寄存器进行读操作，将从接收FIFO中读出数据。

28. 5. 2. 27 USB 端点 1 FIFO (USB_EP1FIFO)

USB 端点 1 FIFO (USB_EP1FIFO)							
偏移地址：0x0024							
复位值：0x00							
7	6	5	4	3	2	1	0
FIFO1<7:0>							

FIFO1	Bits 7-0	R/W	**端点 1 FIFO** 对此寄存器进行写操作，将向发送 FIFO 中写入数据，对此寄存器进行读操作，将从接收 FIFO 中读出数据。

28. 5. 2. 28 USB 端点 2 FIFO (USB_EP2FIFO)

USB 端点 2 FIFO (USB_EP1FIFO)							
偏移地址：0x0028							
复位值：0x00							
7	6	5	4	3	2	1	0
FIFO2<7:0>							

FIFO2	Bits 7-0	R/W	**端点 2 FIFO** 对此寄存器进行写操作，将向发送 FIFO 中写入数据，对此寄存器进行读操作，将从接收 FIFO 中读出数据。

28. 5. 2. 29 USB 端点 3 FIFO (USB_EP3FIFO)

USB 端点 3 FIFO (USB_EP3FIFO)							
偏移地址：0x002C							
复位值：0x00							
7	6	5	4	3	2	1	0
FIFO3<7:0>							

FIFO3	Bits 7-0	R/W	**端点3 FIFO** 对此寄存器进行写操作，将向发送FIFO中写入数据，对此寄存器进行读操作，将从接收FIFO中读出数据。

28. 5. 2. 30 USB 端点 4 FIFO (USB_EP4FIFO)

USB 端点 4 FIFO (USB_EP4FIFO)							
偏移地址：0x0030							
复位值：0x00							
7	6	5	4	3	2	1	0
FIFO4<7:0>							

FIFO4	Bits 7-0	R/W	**端点 4 FIFO** 对此寄存器进行写操作，将向发送 FIFO 中写入数据，对此寄存器进行读操作，将从接收 FIFO 中读出数据。

28. 5. 2. 31 USB 端点 5 FIFO (USB_EP5FIFO)

USB 端点 5 FIFO (USB_EP5FIFO)							
偏移地址：0x0034							
复位值：0x00							
7	6	5	4	3	2	1	0
FIFO5<7:0>							

FIFO5	Bits 7-0	R/W	**端点 5 FIFO** 对此寄存器进行写操作，将向发送 FIFO 中写入数据，对此寄存器进行读操作，将从接收 FIFO 中读出数据。

28. 5. 2. 32 USB 端点 6 FIFO (USB_EP6FIFO)

USB 端点 6 FIFO (USB_EP6FIFO)							
偏移地址：0x0038							
复位值：0x00							
7	6	5	4	3	2	1	0
FIFO6<7:0>							

FIFO6	Bits 7-0	R/W	**端点 6 FIFO** 对此寄存器进行写操作，将向发送 FIFO 中写入数据，对此寄存器进行读操作，将从接收 FIFO 中读出数据。

28. 5. 2. 33 USB 发送中断使能寄存器 (USB_TXIER)

USB 发送中断使能寄存器 (USB_TXIER)							
偏移地址：0x0080							
复位值：0x00							
7	6	5	4	3	2	1	0
	EP6	EP5	EP4	EP3	EP2	EP1	EP0

—	Bit 7	—	—
EP6	Bit 6	W1	**发送端点 6 中断使能** 0: 写入 0 无效 1: 使能发送端点 6 中断
EP5	Bit 5	W1	**发送端点 5 中断使能** 0: 写入 0 无效 1: 使能发送端点 5 中断
EP4	Bit 4	W1	**发送端点 4 中断使能** 0: 写入 0 无效 1: 使能发送端点 4 中断
EP3	Bit 3	W1	**发送端点 3 中断使能** 0: 写入 0 无效 1: 使能发送端点 3 中断
EP2	Bit 2	W1	**发送端点 2 中断使能** 0: 写入 0 无效 1: 使能发送端点 2 中断
EP1	Bit 1	W1	**发送端点 1 中断使能** 0: 写入 0 无效 1: 使能发送端点 1 中断
EP0	Bit 0	W1	**发送端点 0 中断使能** 0: 写入 0 无效 1: 使能发送端点 0 中断

28. 5. 2. 34 USB 接收中断使能寄存器 (USB_RXIER)

USB 接收中断使能寄存器 (USB_RXIER)							
偏移地址：0x0082							
复位值：0x00							
7	6	5	4	3	2	1	0
—	EP6	EP5	EP4	EP3	EP2	EP1	—

—	Bit 7	—	—
EP6	Bit 6	W1	**接收端点 6 中断使能** 0: 写入 0 无效 1: 使能接收端点 6 中断
EP5	Bit 5	W1	**接收端点 5 中断使能** 0: 写入 0 无效 1: 使能接收端点 5 中断
EP4	Bit 4	W1	**接收端点 4 中断使能** 0: 写入 0 无效 1: 使能接收端点 4 中断
EP3	Bit 3	W1	**接收端点 3 中断使能** 0: 写入 0 无效 1: 使能接收端点 3 中断
EP2	Bit 2	W1	**接收端点 2 中断使能** 0: 写入 0 无效 1: 使能接收端点 2 中断
EP1	Bit 1	W1	**接收端点 1 中断使能** 0: 写入 0 无效 1: 使能接收端点 1 中断
—	Bit 0	—	—

28. 5. 2. 35 USB 发送中断禁用寄存器 (USB_TXIDR)

USB 发送中断禁用寄存器 (USB_TXIDR)							
偏移地址：0x0084							
复位值：0x00							
7	6	5	4	3	2	1	0
	EP6	EP5	EP4	EP3	EP2	EP1	EP0

—	Bit 7	—	—
EP6	Bit 6	W1	**发送端点 6 中断禁止** 0: 写入 0 无效 1: 禁止发送端点 6 中断
EP5	Bit 5	W1	**发送端点 5 中断禁止** 0: 写入 0 无效 1: 禁止发送端点 5 中断
EP4	Bit 4	W1	**发送端点 4 中断禁止** 0: 写入 0 无效 1: 禁止发送端点 4 中断
EP3	Bit 3	W1	**发送端点 3 中断禁止** 0: 写入 0 无效 1: 禁止发送端点 3 中断
EP2	Bit 2	W1	**发送端点 2 中断禁止** 0: 写入 0 无效 1: 禁止发送端点 2 中断
EP1	Bit 1	W1	**发送端点 1 中断禁止** 0: 写入 0 无效 1: 禁止发送端点 1 中断
EP0	Bit 0	W1	**发送端点 0 中断禁止** 0: 写入 0 无效 1: 禁止发送端点 0 中断

28. 5. 2. 36 USB 接收中断禁用寄存器 (USB_RXIDR)

USB 接收中断禁用寄存器 (USB_RXIDR)							
偏移地址：0x0086							
复位值：0x00							
7	6	5	4	3	2	1	0
	EP6	EP5	EP4	EP3	EP2	EP1	

—	Bit 7	—	—
EP6	Bit 6	W1	**接收端点 6 中断禁止** 0: 写入 0 无效 1: 禁止接收端点 6 中断
EP5	Bit 5	W1	**接收端点 5 中断禁止** 0: 写入 0 无效 1: 禁止接收端点 5 中断
EP4	Bit 4	W1	**接收端点 4 中断禁止** 0: 写入 0 无效 1: 禁止接收端点 4 中断
EP3	Bit 3	W1	**接收端点 3 中断禁止** 0: 写入 0 无效 1: 禁止接收端点 3 中断
EP2	Bit 2	W1	**接收端点 2 中断禁止** 0: 写入 0 无效 1: 禁止接收端点 2 中断
EP1	Bit 1	W1	**接收端点 1 中断禁止** 0: 写入 0 无效 1: 禁止接收端点 1 中断
—	Bit 0	—	—

28. 5. 2. 37 USB 发送中断使能状态寄存器 (USB_TXIVS)

USB 发送中断使能状态寄存器 (USB_TXIVS)							
偏移地址：0x0088							
复位值：0x7F							
7	6	5	4	3	2	1	0
	EP6	EP5	EP4	EP3	EP2	EP1	EP0

—	Bit 7	—	—
EP6	Bit 6	R	**发送端点 6 中断使能状态** 0: 禁止发送端点 6 中断 1: 使能发送端点 6 中断
EP5	Bit 5	R	**发送端点 5 中断使能状态** 0: 禁止发送端点 5 中断 1: 使能发送端点 5 中断
EP4	Bit 4	R	**发送端点 4 中断使能状态** 0: 禁止发送端点 4 中断 1: 使能发送端点 4 中断
EP3	Bit 3	R	**发送端点 3 中断使能状态** 0: 禁止发送端点 3 中断 1: 使能发送端点 3 中断
EP2	Bit 2	R	**发送端点 2 中断使能状态** 0: 禁止发送端点 2 中断 1: 使能发送端点 2 中断
EP1	Bit 1	R	**发送端点 1 中断使能状态** 0: 禁止发送端点 1 中断 1: 使能发送端点 1 中断
EP0	Bit 0	R	**发送端点 0 中断使能状态** 0: 禁止发送端点 0 中断 1: 使能发送端点 0 中断

28. 5. 2. 38 USB 接收中断使能状态寄存器 (USB_RXIVS)

USB 接收中断使能状态寄存器 (USB_RXIVS)							
偏移地址：0x008A							
复位值：0x7E							
7	6	5	4	3	2	1	0
	EP6	EP5	EP4	EP3	EP2	EP1	

—	Bit 7	—	—
EP6	Bit 6	R	**接收端点 6 中断使能状态** 0: 禁止接收端点 6 中断 1: 使能接收端点 6 中断
EP5	Bit 5	R	**接收端点 5 中断使能状态** 0: 禁止接收端点 5 中断 1: 使能接收端点 5 中断
EP4	Bit 4	R	**接收端点 4 中断使能状态** 0: 禁止接收端点 4 中断 1: 使能接收端点 4 中断
EP3	Bit 3	R	**接收端点 3 中断使能状态** 0: 禁止接收端点 3 中断 1: 使能接收端点 3 中断
EP2	Bit 2	R	**接收端点 2 中断使能状态** 0: 禁止接收端点 2 中断 1: 使能接收端点 2 中断
EP1	Bit 1	R	**接收端点 1 中断使能状态** 0: 禁止接收端点 1 中断 1: 使能接收端点 1 中断
—	Bit 0	—	—

28. 5. 2. 39 USB 发送原始中断事件标志寄存器 (USB_TXRIF)

USB 发送原始中断事件标志寄存器 (USB_TXRIF)							
偏移地址：0x008C							
复位值：0x00							
7	6	5	4	3	2	1	0
	EP6	EP5	EP4	EP3	EP2	EP1	EP0

—	Bit 7	—	—
EP6	Bit 6	R	**发送端点 6 中断事件标志** 0: 未发生中断事件 1: 发生中断事件
EP5	Bit 5	R	**发送端点 5 中断事件标志** 0: 未发生中断事件 1: 发生中断事件
EP4	Bit 4	R	**发送端点 4 中断事件标志** 0: 未发生中断事件 1: 发生中断事件
EP3	Bit 3	R	**发送端点 3 中断事件标志** 0: 未发生中断事件 1: 发生中断事件
EP2	Bit 2	R	**发送端点 2 中断事件标志** 0: 未发生中断事件 1: 发生中断事件
EP1	Bit 1	R	**发送端点 1 中断事件标志** 0: 未发生中断事件 1: 发生中断事件
EP0	Bit 0	R	**发送端点 0 中断事件标志** 0: 未发生中断事件 1: 发生中断事件

28. 5. 2. 40 USB 接收原始中断事件标志寄存器 (USB_RXRIF)

USB 接收原始中断事件标志寄存器 (USB_RXRIF)							
偏移地址：0x008E							
复位值：0x00							
7	6	5	4	3	2	1	0
	EP6	EP5	EP4	EP3	EP2	EP1	

—	Bit 7	—	—
EP6	Bit 6	R	**接收端点 6 中断事件标志** 0: 未发生中断事件 1: 发生中断事件
EP5	Bit 5	R	**接收端点 5 中断事件标志** 0: 未发生中断事件 1: 发生中断事件
EP4	Bit 4	R	**接收端点 4 中断事件标志** 0: 未发生中断事件 1: 发生中断事件
EP3	Bit 3	R	**接收端点 3 中断事件标志** 0: 未发生中断事件 1: 发生中断事件
EP2	Bit 2	R	**接收端点 2 中断事件标志** 0: 未发生中断事件 1: 发生中断事件
EP1	Bit 1	R	**接收端点 1 中断事件标志** 0: 未发生中断事件 1: 发生中断事件
—	Bit 0	—	—

28. 5. 2. 41 USB 发送中断标志位状态寄存器 (USB_TXIFM)

USB 发送中断标志位状态寄存器 (USB_TXIFM)							
偏移地址：0x0090							
复位值：0x00							
7	6	5	4	3	2	1	0
	EP6	EP5	EP4	EP3IFM	EP2IFM	EP1IFM	EP0IFM

—	Bit 7	—	—
EP6	Bit 6	R	**发送端点 6 中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
EP5	Bit 5	R	**发送端点 5 中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
EP4	Bit 4	R	**发送端点 4 中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
EP3	Bit 3	R	**发送端点 3 中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
EP2	Bit 2	R	**发送端点 2 中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
EP1	Bit 1	R	**发送端点 1 中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
EP0	Bit 0	R	**发送端点 0 中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断

28. 5. 2. 42 USB 接收中断标志位状态寄存器 (USB_RXIFM)

USB 接收中断中断标志位状态寄存器 (USB_RXIFM)							
偏移地址：0x0092							
复位值：0x00							
7	6	5	4	3	2	1	0
	EP6	EP5	EP4	EP3	EP2	EP1	

—	Bit 7	—	—
EP6	Bit 6	R	**接收端点 6 中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
EP5	Bit 5	R	**接收端点 5 中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
EP4	Bit 4	R	**接收端点 4 中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
EP3	Bit 3	R	**接收端点 3 中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
EP2	Bit 2	R	**接收端点 2 中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
EP1	Bit 1	R	**接收端点 1 中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
—	Bit 0	—	—

28. 5. 2. 43 USB 发送中断清除寄存器 (USB_TXICR)

USB 发送中断清除寄存器 (USB_TXICR)							
偏移地址：0x0094							
复位值：0x00							
7	6	5	4	3	2	1	0
	EP6	EP5	EP4	EP3	EP2	EP1	EP0

—	Bit 7	—	—
EP6	Bit 6	C_W1	**发送端点 6 中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
EP5	Bit 5	C_W1	**发送端点 5 中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
EP4	Bit 4	C_W1	**发送端点 4 中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
EP3	Bit 3	C_W1	**发送端点 3 中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
EP2	Bit 2	C_W1	**发送端点 2 中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
EP1	Bit 1	C_W1	**发送端点 1 中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
EP0	Bit 0	C_W1	**发送端点 0 中断清除** 0: 写入 0 无效 1: 清除中断事件与中断

28. 5. 2. 44 USB 接收中断清除寄存器 (USB_RXICR)

USB 接收中断清除寄存器 (USB_RXICR)							
偏移地址：0x0096							
复位值：0x00							
7	6	5	4	3	2	1	0
	EP6	EP5	EP4	EP3	EP2	EP1	

—	Bit 7	—	—
EP6	Bit 6	C_W1	**接收端点 6 中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
EP5	Bit 5	C_W1	**接收端点 5 中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
EP4	Bit 4	C_W1	**接收端点 4 中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
EP3	Bit 3	C_W1	**接收端点 3 中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
EP2	Bit 2	C_W1	**接收端点 2 中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
EP1	Bit 1	C_W1	**接收端点 1 中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
—	Bit 0	—	—

28. 5. 2. 45 USB 中断开启寄存器 (USB_IER)

主机模式

USB 中断开启寄存器 (USB_IER)							
偏移地址：0x00A0							
复位值：0x00							
7	6	5	4	3	2	1	0
	SESREQ	DISCON	CON	SOF	BAB	RES	

—	Bit 7	—	—
SESREQ	Bit 6	W1	**开启会话请求中断** 0: 写入 0 无效 1: 开启会话请求中断
DISCON	Bit 5	W1	**开启断开中断** 0: 写入 0 无效 1: 开启断开中断
CON	Bit 4	W1	**开启连接中断** 0: 写入 0 无效 1: 开启连接中断
SOF	Bit 3	W1	**开启帧中断** 0: 写入 0 无效 1: 开启帧中断
BAB	Bit 2	W1	**开启干扰中断** 0: 写入 0 无效 1: 开启干扰中断
RES	Bit 1	W1	**开启恢复中断** 0: 写入 0 无效 1: 开启恢复中断
—	Bit 0	—	—

设备模式

USB 中断开启寄存器 (USB_IER)							
偏移地址：0x00A0							
复位值：0x00							
7	6	5	4	3	2	1	0
	SESREQ	DISCON		SOF	REST	RES	SUSPD

—	Bit 7	—	—
SESREQ	Bit 6	W1	**开启会话请求中断** 0: 写入 0 无效 1: 开启会话请求中断
DISCON	Bit 5	W1	**开启断开中断** 0: 写入 0 无效 1: 开启断开中断
—	Bit 4	—	—
SOF	Bit 3	W1	**开启帧中断** 0: 写入 0 无效 1: 开启帧中断
REST	Bit 2	W1	**开启复位中断** 0: 写入 0 无效 1: 开启复位中断
RES	Bit 1	W1	**开启恢复中断** 0: 写入 0 无效 1: 开启恢复中断
SUSPD	Bit 0	W1	**开启挂起中断** 0: 写入 0 无效 1: 开启挂起中断

28. 5. 2. 46 USB 中断关闭寄存器 (USB_IDR)

主机模式

USB 中断关闭寄存器 (USB_IDR)							
偏移地址：0x00A4							
复位值：0x00							
7	6	5	4	3	2	1	0
	SESREQ	DISCON	CON	SOF	BAB	RES	

—	Bit 7	—	—
SESREQ	Bit 6	W1	**关闭会话请求中断** 0: 写入 0 无效 1: 关闭会话请求中断
DISCON	Bit 5	W1	**关闭断开中断** 0: 写入 0 无效 1: 关闭断开中断
CON	Bit 4	W1	**关闭连接中断** 0: 写入 0 无效 1: 关闭连接中断
SOF	Bit 3	W1	**关闭帧中断** 0: 写入 0 无效 1: 关闭帧中断
BAB	Bit 2	W1	**关闭干扰中断** 0: 写入 0 无效 1: 关闭干扰中断
RES	Bit 1	W1	**关闭恢复中断** 0: 写入 0 无效 1: 关闭恢复中断
—	Bit 0	—	—

设备模式

USB 中断关闭寄存器 (USB_IDR)							
偏移地址：0x00A4							
复位值：0x00							
7	6	5	4	3	2	1	0
	SESREQ	DISCON		SOF	REST	RES	SUSPD

—	Bit 7	—	—
SESREQ	Bit 6	W1	**关闭会话请求中断** 0: 写入 0 无效 1: 关闭会话请求中断
DISCON	Bit 5	W1	**关闭断开中断** 0: 写入 0 无效 1: 关闭断开中断
—	Bit 4	—	—
SOF	Bit 3	W1	**关闭帧中断** 0: 写入 0 无效 1: 关闭帧中断
REST	Bit 2	W1	**关闭复位中断** 0: 写入 0 无效 1: 关闭复位中断
RES	Bit 1	W1	**关闭恢复中断** 0: 写入 0 无效 1: 关闭恢复中断
SUSPD	Bit 0	W1	**关闭挂起中断** 0: 写入 0 无效 1: 关闭挂起中断

28. 5. 2. 47 USB 中断功能有效状态寄存器 (USB_IVS)

主机模式

USB 中断功能有效状态寄存器 (USB_IVS)							
偏移地址：0x00A8							
复位值：0x06							
7	6	5	4	3	2	1	0
	SESREQ	DISCON	CON	SOF	BAB	RES	

—	Bit 7	—	—
SESREQ	Bit 6	R	**会话请求中断功能状态** 0: 禁止会话请求中断 1: 使能会话请求中断
DISCON	Bit 5	R	**断开中断功能状态** 0: 禁止断开中断 1: 使能断开中断
CON	Bit 4	R	**连接中断功能状态** 0: 禁止连接中断 1: 使能连接中断
SOF	Bit 3	R	**帧中断功能状态** 0: 禁止帧中断 1: 使能帧中断
BAB	Bit 2	R	**干扰中断功能状态** 0: 禁止干扰中断 1: 使能干扰中断
RES	Bit 1	R	**恢复中断功能状态** 0: 禁止恢复中断 1: 使能恢复中断
—	Bit 0	—	—

设备模式

USB 中断功能有效状态寄存器 (USB_IVS)							
偏移地址：0x00A8							
复位值：0x06							
7	6	5	4	3	2	1	0
—	SESREQ	DISCON	—	SOF	REST	RES	SUSPD

—	Bit 7	—	—
SESREQ	Bit 6	R	**会话请求中断功能状态** 0: 禁止会话请求中断 1: 使能会话请求中断
DISCON	Bit 5	R	**断开中断功能状态** 0: 禁止断开中断 1: 使能断开中断
—	Bit 4	—	—
SOF	Bit 3	R	**帧中断功能状态** 0: 禁止帧中断 1: 使能帧中断
REST	Bit 2	R	**复位中断功能状态** 0: 禁止复位中断 1: 使能复位中断
RES	Bit 1	R	**恢复中断功能状态** 0: 禁止恢复中断 1: 使能恢复中断
SUSPD	Bit 0	R	**挂起中断功能状态** 0: 禁止挂起中断 1: 使能挂起中断

28. 5. 2. 48 USB 原始中断状态寄存器 (USB_RIF)

主机模式

USB 原始中断状态寄存器 (USB_RIF)							
偏移地址：0x00AC							
复位值：0x00							
7	6	5	4	3	2	1	0
—	SESREQ	DISCON	CON	SOF	BAB	RES	—

—	Bit 7	—	—
SESREQ	Bit 6	R	**会话请求原始中断状态** 0: 未发生中断事件 1: 发生中断事件
DISCON	Bit 5	R	**断开原始中断状态** 0: 未发生中断事件 1: 发生中断事件
CON	Bit 4	R	**连接原始中断状态** 0: 未发生中断事件 1: 发生中断事件
SOF	Bit 3	R	**帧原始中断状态** 0: 未发生中断事件 1: 发生中断事件
BAB	Bit 2	R	**干扰原始中断状态** 0: 未发生中断事件 1: 发生中断事件
RES	Bit 1	R	**恢复原始中断状态** 0: 未发生中断事件 1: 发生中断事件
—	Bit 0	—	—

设备模式

USB 原始中断状态寄存器 (USB_RIF)							
偏移地址：0x00AC							
复位值：0x00							
7	6	5	4	3	2	1	0
	SESREQ	DISCON		SOF	REST	RES	SUSPD

—	Bit 7	—	—
SESREQ	Bit 6	R	**会话请求原始中断状态** 0: 未发生中断事件 1: 发生中断事件
DISCON	Bit 5	R	**断开原始中断状态** 0: 未发生中断事件 1: 发生中断事件
—	Bit 4	—	—
SOF	Bit 3	R	**帧原始中断状态** 0: 未发生中断事件 1: 发生中断事件
REST	Bit 2	R	**复位原始中断状态** 0: 未发生中断事件 1: 发生中断事件
RES	Bit 1	R	**恢复原始中断状态** 0: 未发生中断事件 1: 发生中断事件
SUSPD	Bit 0	R	**挂起原始中断状态** 0: 未发生中断事件 1: 发生中断事件

28. 5. 2. 49 USB 中断标志位状态寄存器 (USB_IFM)

主机模式

USB 中断标志位状态寄存器 (USB_IFM)							
偏移地址：0x00B0							
复位值：0x00							
7	6	5	4	3	2	1	0
	SESREQ	DISCON	CON	SOF	BAB	RES	

—	Bit 7	—	—
SESREQ	Bit 6	R	**会话请求中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
DISCON	Bit 5	R	**断开中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
CON	Bit 4	R	**连接中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
SOF	Bit 3	R	**帧中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
BAB	Bit 2	R	**干扰中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
RES	Bit 1	R	**恢复中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
—	Bit 0	—	—

设备模式

USB 中断标志位状态寄存器 (USB_IFM)							
偏移地址：0x00B0							
复位值：0x00							
7	6	5	4	3	2	1	0
—	SESREQ	DISCON	—	SOF	REST	RES	SUSPD

—	Bit 7	—	—
SESREQ	Bit 6	R	**会话请求中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
DISCON	Bit 5	R	**断开中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
—	Bit 4	—	—
SOF	Bit 3	R	**帧中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
REST	Bit 2	R	**复位中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
RES	Bit 1	R	**恢复中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断
SUSPD	Bit 0	R	**挂起中断标志位状态** 0: 未发生中断事件或中断未使能 1: 产生中断

28. 5. 2. 50 USB 中断清除寄存器 (USB_ICR)

主机模式

USB 中断清除寄存器 (USB_ICR)							
偏移地址：0x00B4							
复位值：0x00							
7	6	5	4	3	2	1	0
	SESREQ	DISCON	CON	SOF	BAB	RES	

—	Bit 7	—	—
SESREQ	Bit 6	C_W1	**会话请求中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
DISCON	Bit 5	C_W1	**断开中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
CON	Bit 4	C_W1	**连接中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
SOF	Bit 3	C_W1	**帧中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
BAB	Bit 2	C_W1	**干扰中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
RES	Bit 1	C_W1	**恢复中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
—	Bit 0	—	—

设备模式

USB 中断清除寄存器 (USB_ICR)							
偏移地址：0x00B4							
复位值：0x00							
7	6	5	4	3	2	1	0
—	SESREQ	DISCON	—	SOF	REST	RES	SUSPD

—	Bit 7	—	—
SESREQ	Bit 6	C_W1	**会话请求中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
DISCON	Bit 5	C_W1	**断开中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
—	Bit 4	—	—
SOF	Bit 3	C_W1	**帧中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
REST	Bit 2	C_W1	**复位中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
RES	Bit 1	C_W1	**恢复中断清除** 0: 写入 0 无效 1: 清除中断事件与中断
SUSPD	Bit 0	C_W1	**挂起中断清除** 0: 写入 0 无效 1: 清除中断事件与中断

附录1 ARM Cortex-M0 参考资料

附录1. 1 介绍

下面的参考资料以 ARM Cortex-M0 使用者指南(ARM Cortex-M0 User Guide)为蓝本。

附录1. 2 关于 Cortex-M0 处理器和核心外设

Cortex-M0 处理器是一个入门级的 32 位 ARM Cortex 处理器，可用于广泛的嵌入式应用中。该处理器包含以下特性，给开发者提供了极大的便利：

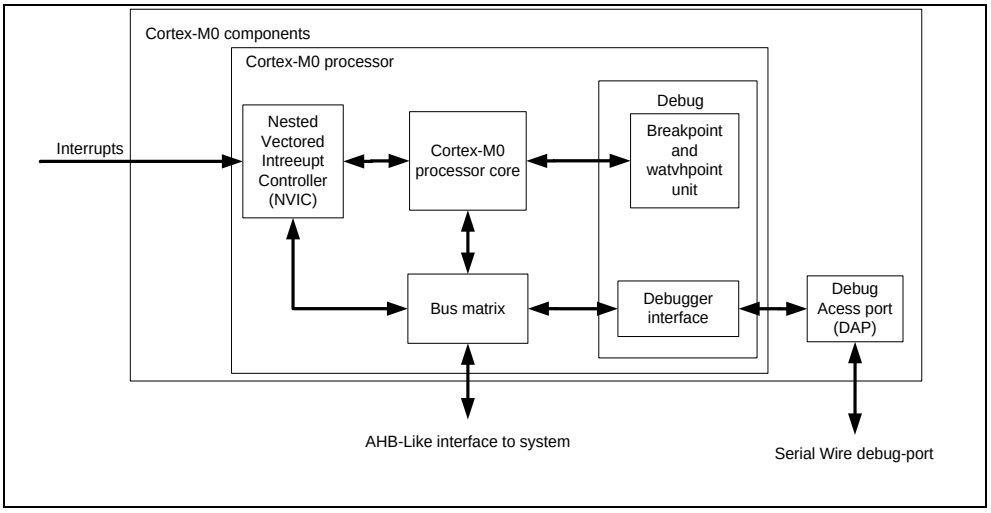
◇ 结构简单，容易学习和编程

◇ 功耗极低，运算效率高

◇ 出色的代码密度

◇ 确定、高性能的中断处理

◇ 向上与 Cortex-M 系列处理器兼容



附录图 1-1 Cortex-M0 的具体实现

Cortex-M0 处理器基于一个高集成度、低功耗的 32 位处理器内核，采用 3 级流水线冯·诺伊曼结构。通过简单、功能强大的指令集以及全面优化的设计(提供包括一个单周期乘法器在内的高端处理硬件)，Cortex-M0 处理器可实现极高的能效。

Cortex-M0 处理器采用 ARMv6-M 结构，基于 16 位 Thumb 指令集，并包含 Thumb-2 技术。因而能提供一个现代 32 位体系结构处理器所希望的出色性能，代码密度比其他 8 位和 16 位微控制器都要高。

Cortex-M0 紧密集成了一个可配置的内嵌向量中断控制器(NVIC)，提供业界领先的中断性能。NVIC 具有以下功能：

◇ 包含一个不可屏蔽的中断(NMI)。

◇ 提供零抖动中断选项

◇ 提供四个中断优先级

处理器内核和NVIC的紧密结合使得中断服务程序(ISR)可以快速执行，极大地缩短了中断延迟。这是通过硬件寄存器堆栈、放弃与重启多加载及多存储的能力来获得的。中断程序不需要任何汇编封装代码，不用消耗任何 ISR 代码。尾链优化还极大地降低了从一个 ISR 切换到另一个 ISR 时的开销。

为了优化低功耗设计，NVIC 还与睡眠模式相结合，提供一个深度睡眠功能，使整个设备迅速降低功耗。

附录1. 2. 1 系统级接口

Cortex-M0 处理器提供一个简单的系统级接口，使用 AMBA 技术来提供高速、低延迟的存储器访问。

附录1. 2. 2 集成的可配置调试

Cortex-M0 处理器实现了完整的硬件调试方案，带有大量的硬件断点和观察点选项。通过一个 2 引脚串行线调试(SWD)端口，为处理器、存储器和外设调试提供了较高的系统可见性。SWD 对微控制器和别的小封装设备是很理想的。

附录1. 2. 3 Cortex-M0 处理器特性小结

- ◇ 高代码密度，具有 32 位的性能
- ◇ 工具和二进制代码向上兼容 Cortex-M 系列处理器
- ◇ 集成了极低功耗的睡眠模式
- ◇ 高效的代码执行允许更慢的处理器时钟以及更长睡眠模式的时间
- ◇ 单周期的 32 位硬件乘法器
- ◇ 零抖动的中断处理
- ◇ 广泛的调试功能

附录1. 2. 4 Cortex-M0 核心外设

Cortex-M0 核心外设有：

NVIC — NVIC 是一个嵌入式中断控制器，支持低延迟的中断处理

系统时钟控制块 — 系统时钟控制块(SCB)是到处理器的编程模型接口。它提供系统执行和控制信息，包括配置、控制和系统异常的报告。

系统定时器 — 系统定时器(SysTick)是一个 24 位的减法定时器。可将其用作一个实时操作系统(RTOS)的节拍定时器，或者用作一个简单的计数器。

附录1. 3 处理器

附录1. 3. 1 编程模型

本节描述了 Cortex-M0 的编程模型。除了对单个内核寄存器的描述之外，本节还包含处理器模式和堆栈的相关信息。

附录1. 3. 1. 1 处理器模式

处理器模式有：

Thread 模式(线程模式) — 用来执行应用软件。处理器在退出复位时进入 Thread 模式。
Handler 模式(处理模式) — 用来处理异常。处理器在完成所有的异常处理后返回到 Thread 模式。

附录1. 3. 1. 2 堆栈

处理器使用满递减堆栈，这就意味着堆栈指针指向堆栈存储器中的最后一个堆栈项。当处理器将一个新的项压入堆栈时，堆栈指针递减，然后将该项写入新的存储器单元。处理器有两个堆栈，主堆栈和进程堆栈，两个堆栈有自己独立的堆栈指针副本，见**堆栈指针章节**。

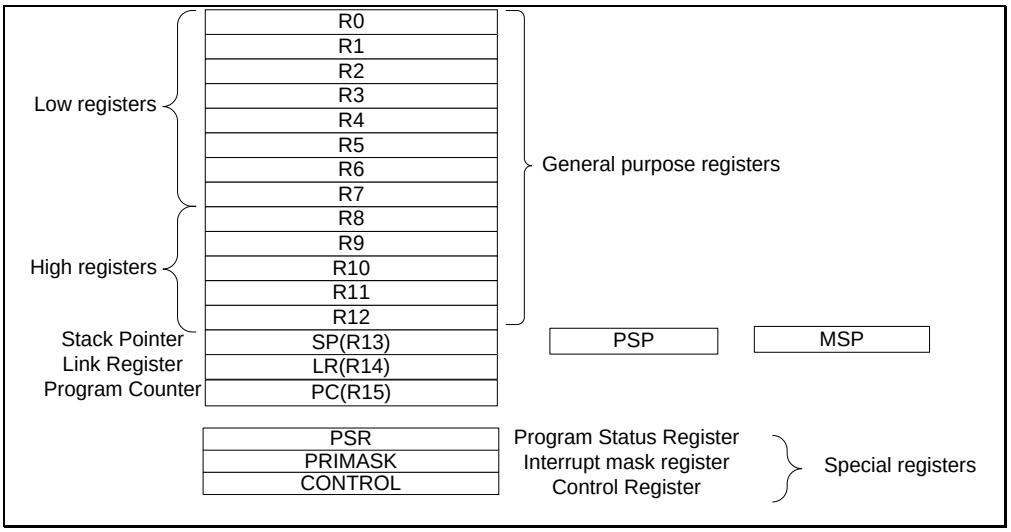
在线程模式下，CONTROL 寄存器控制着处理器使用主堆栈还是进程堆栈，见**处理器－控制寄存器章节**。在处理器模式下，处理器总是使用主堆栈。处理器操作的选择如下：

处理器模式	用来执行	使用的堆栈
Thread	应用程序	主堆栈或进程堆栈，见处理器－控制寄存器章节
Handler	异常处理程序	主堆栈

附录表 1-1 处理器模式和堆栈使用的选择

附录1. 3. 1. 3 内核寄存器

处理器内核寄存器有：



附录图 1-2 处理器核心寄存器组

名称	类型[1]	复位值	描述
R0-R12	RW	不可知	通用寄存器章节
MSP	RW	见描述	堆栈指针章节
PSP	RW	不可知	堆栈指针章节
LR	RW	不可知	链接寄存器章节
PC	RW	见描述	程序计数器章节
PSR	RW	不可知[2]	PSR 寄存器组合表格
APSR	RW	不可知	APSR 位分配表格
IPSR	R	0x00000000	IPSR 位分配表格
EPSR	R	不可知[2]	EPSR 位分配表格
PRIMASK	RW	0x00000000	PRIMASK 寄存器位分配表格
CONTROL	RW	0x00000000	CONTROL 寄存器位分配表格

附录表 1-2 内核寄存器组小结

注[1]：描述线程模式和处理模式下程序执行过程中的访问类型。调试访问可以不同。
注[2]：Bit[24]是 T 位，从复位向量的 bit[0]加载进来。

通用寄存器

R0-R12 是供数据操作使用的 32 位通用寄存器。

堆栈指针

堆栈指针(SP)是寄存器 R13。在 Thread 模式中，CONTROL 寄存器的 bit[1] 指示了堆栈指针的使用情况：

◇ 0 = 主堆栈指针(MSP)。这是复位值。

◇ 1 = 进程堆栈指针(PSP)

复位时，处理器将地址 0x00000000 的值加载到 MSP 中。

链接寄存器

链接寄存器(LR)是寄存器 R14。它保存子程序、函数调用和异常的返回信息。复位时，LR 的值不可知。

程序计数器

程序计数器(PC)是寄存器 R15。它包含当前的程序地址。复位时，处理器将复位向量(地址：0x00000004)的值加载到 PC，该值的 bit[0] 复位时被加载到 EPSR 的 T 位，必须为 1。

程序状态寄存器

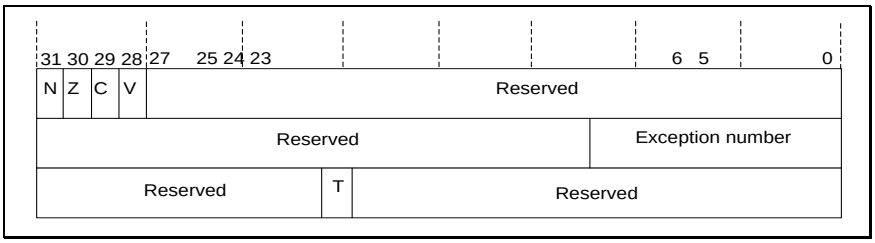
程序状态寄存器(PSR)由下列三种寄存器组合而成：

◇ 应用程序状态寄存器(APSR)

◇ 中断程序状态寄存器(IPSR)

◇ 执行程序状态寄存器(EPSR)

在 32 位的 PSR 中，这 3 个寄存器的位域分配互斥。PSR 的位域分配如下：



附录图 1-3 APSR，IPSR，EPSR 寄存器位分配

这 3 个寄存器可以单独访问，也可以 2 个一组或 3 个一组进行访问，访问时，将寄存器名称作为 MSR 或 MRS 指令的一个变量。例如：

◇ 使用寄存器名称 PSR，用 MRS 指令来读所有寄存器

◇ 使用寄存器名称 APSR，用 MSR 指令来写 APSR

PSR 的组合和属性如下所示：

寄存器	类型	组合
PSR	RW[1][2]	APSR，EPSR 和 IPSR
IEPSR	RO	EPSR 和 IPSR
IAPSR	RW[1]	APSR 和 IPSR
EAPSR	RW[2]	APSR 和 IPSR

附录表 1-3 PSR 寄存器组合

注[1]：处理器忽略对 IPSR 位的写操作

注[2]：读 EPSR 位时返回零，处理器忽略对 EPSR 位的写操作

有关访问程序状态寄存器的更多信息请参看指令描述的 MRS 指令和 MSR 指令。

应用程序状态寄存器：APSR 包含执行完前面的指令后条件标志的当前状态。有关寄存器的属性请见表格内核寄存器组小结。寄存器的位分配如下所示：

位域	名称	功能
[31]	N	负值标志
[30]	Z	零标志
[29]	C	进位或借位标志
[28]	V	溢出标志
[27:0]	-	保留

附录表 1-4 APSR 位分配

有关 APSR 的负值、零值、进位或借位以及溢出标志的更多信息请参考条件标志。

中断程序状态寄存器：IPSR 包含当前 中断服务程序(ISR)的异常编号。有关寄存器的属性请见表格内核寄存器组小结。该寄存器的位分配如下：

位域	名称	功能
[31:6]	-	保留
[5:0]	异常编号	这是当前异常的编号： 0=Thread 模式 1=保留 2=NMI 3=HardFault 4-10=保留 11-SVCall 12，13=保留 14=PendSV 15=SysTick 16=IRQ0 ..... 47=IRQ31 48-63=保留 更多信息请见异常类型

附录表 1-5 IPSR 位分配

执行程序状态寄存器：EPSR 包含 Thumb 状态位。

有关 EPSR 属性请见表格内核寄存器组小结的寄存器汇总。EPSR 的位分配如下：

位域	名称	功能
[31:25]	-	保留
[24]	T	Thumb 状态位
[23:0]	-	保留

附录表 1-6 EPSR 位分配

如果应用软件使用 MRS 指令直接读取 EPSR 将始终返回零。利用 MSR 指令来写 EPSR 的操作会被忽略。故障处理程序可以检查入栈的 PSR 的 EPSR 值来确定故障的原因。请见本章“**异常进入或返回**” 节。下面的操作可以清除 T 位的值为 0：

指令 BLX，BX 和 POP{PC}

◇ 异常返回时恢复被压入栈中的 xPSR 值

◇ 进入异常时向量值的 bit[0]

在 T 位为 0 时尝试执行指令会导致 HardFault 或锁定故障，更多信息请见锁定。

可中断— 可重启的指令：可中断- 可重启的指令有 LDM 和 STM。如果在执行这两条中的其中一条指令的过程中出现中断，处理器就放弃指令的执行。

在处理完中断后，处理器再从头开始重新执行指令。

异常屏蔽寄存器

异常屏蔽寄存器禁止处理器处理异常。当异常可能影响到时间关键性任务或要求连续执行的原子代码序列时，异常就被禁止。

可以使用 MSR 和 MRS 指令、或 CPS 指令改变 PRIMASK 的值来禁止或重新允许异常。更多信息请看指令 MRS，MSR 和 CPS。

优先级屏蔽寄存器：PRIMASK 寄存器阻止优先级可配置的所有异常被激活。有关寄存器的属性请看表格内核寄存器组小结。该寄存器的位分配如下：

位域	名称	功能
[3:1]	-	保留
[0]	PRIMASK	0=允许可配置优先级的所有异常被激活 1=阻止可配置优先级的所有异常被激活

附录表 1-7 PRIMASK 寄存器位分配

控制寄存器

CONTROL 寄存器控制着处理器处于 Thread 模式时所使用的堆栈。该寄存器的属性请看表格内核寄存器组小结 的寄存器汇总。该寄存器的位分配如下：

位域	名称	功能
[31:2]	-	保留
[1]	有效堆栈指针	定义当前的堆栈指针 0=MSP 是当前堆栈指针 1=PSP 是当前堆栈指针 在 Handler 模式中，这个位读出为 0，写操作被忽略
[0]	-	保留

附录表 1-8 CONTROL 寄存器位分配

处理模式始终使用 MSP，因此，在处理模式下，处理器忽略对 CONTROL 寄存器的有效堆栈指针位执行的明确的写操作。异常进入和返回机制会将 CONTROL 寄存器更新。

在一个 OS 环境中，推荐运行在线程模式中的线程使用进程堆栈，内核和异常处理器用主堆栈。

默认情况下，线程模式使用 MSP。要将线程模式中使用的堆栈指针切换成 PSP，只需要使用 MSR 指令将有效堆栈指针位设置为 1，请看 **指令 MRS**。

注意：当更改堆栈指针时，软件必须在 MSR 指令后立刻使用一个 ISB 指令。这样来保证 ISB 之后的指令执行时使用新的堆栈指针，请看指令 **ISB**。

附录1. 3. 1. 4 异常和中断

Cortex-M0 处理器支持中断和系统异常。处理器和内嵌向量中断控制器(NVIC)划分所有异常的优先级，并对所有异常进行处理。一个中断或异常会改变软件控制的正常流程。处理器使用处理模式来处理除复位之外的所有异常，更多信息请看**异常进入**和**异常返回**

NVIC 寄存器控制中断处理。更多信息请看**内嵌向量中断控制器**

附录1. 3. 1. 5 数据类型

处理器：

◇ 支持下列数据类型：
  - 32 位字
  - 16 位半字
  - 8 位字节

◇ 管理所有数据存储器访问都采用小端模式。指令存储器和专用外设总线(PPB)访问。始终是小端模式。更多信息请看**存储区、类型和属性**

附录1. 3. 1. 6 Cortex 微控制器软件接口标准

ARM 为编程 Cortex-M0 微控制器提供了 Cortex 微控制器软件接口标准(CMSIS)。CMSIS 是设备驱动库的一个组成部分。

CMSIS 为 Cortex-M0 微控制器系统定义了：

◇ 一个通用的方法来：
  - 访问外设寄存器
  - 定义异常向量

◇ 以下名称：
  - 寄存器和核心外设的名称
  - 内核异常向量的名称

◇ 一个 RTOS 内核的与设备独立的接口

CMSIS 包含 Cortex-M0 处理器中核心外设的地址定义和数据结构。还包含有组成 TCP/IP 堆栈和 Flash 文件系统的中间件元件的可选接口。

通过允许模板代码的重复使用以及将不同中间件厂商提供的与 CMSIS 兼容的软件组件组合起来，CMSIS 大大简化了整个软件开发过程。软件厂商可以扩展 CMSIS，使其包含各个厂商的外设定义以及这些外设的访问函数。

本文档包含了 CMSIS 定义的寄存器名称，并对处理器内核和核心外设相关的 CMSIS 函数进行了简单描述。

注意：本文档使用 CMSIS 定义的寄存器缩略名称。在某些情况下，这些名称与其它文档中可能用到的结构缩略名称不同。

下面各节给出了有关 CMSIS 的更多信息：

◇ 电脑管理编程提示 “Power management programming hints”

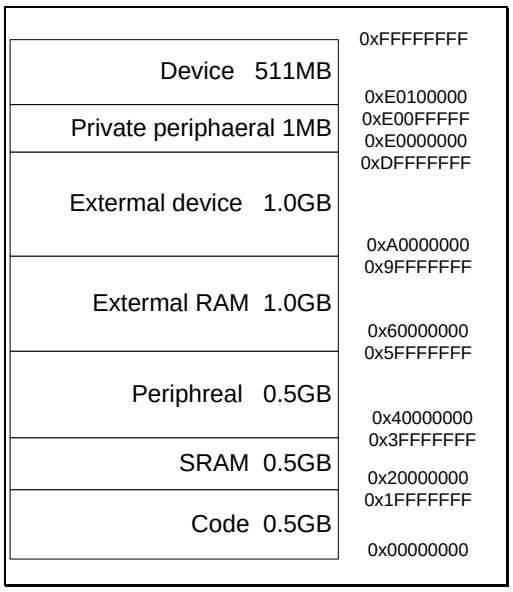
◇ 内部函数 “Intrinsic functions”

◇ 使用 CMSIS 访问 Cortex-M0 NVIC 寄存器 “Accessing the Cortex-M0 NVIC registers using CMSIS”

◇ NVIC 编程提示 “NVIC programming hints”

附录1. 3. 2 存储器模型

本节描述处理器存储器映射以及存储器访问的行为。处理器有一个固定的存储器映射，提供有高达 4GB 的可寻址存储空间。存储器映射是：



附录图 1-4 通用 ARM Cortex-M0 存储器映射

处理器为内核外设寄存器保留了专用外设总线(PPB)地址范围空间，请看**关于 Cortex-M0 处理器和核心外设**

附录1. 3. 2. 1 存储区、类型和属性

存储器映射分成多个区域。每个区域有一个定义好的存储器类型，某些区域还有附加的存储器属性。存储器类型和属性决定了各个区域的访问行为。

存储器类型是：

常规存储器 — 处理器为了提高效率，可以重新对事务进行排序，或者刻意地进行读取。

Device 存储器 — 处理器保留与 Device 存储器或强秩序存储器(Strong-ordered memory)事务相关的事务的秩序。

强秩序存储器 — 处理器保留与所有其他事务相关的事务秩序。

Device 存储器和强秩序存储器的不同秩序要求意味着，存储器系统可以缓冲一个对 Device 存储器的写操作，但不准缓冲对强秩序存储器的写操作。

附加的存储器属性包括：

永不执行(XN) — 表示处理器阻止指令访问。当执行从存储器的 XN 区提取出来的指令时，产生一个 HardFault 异常。

附录1. 3. 2. 2 存储系统的访问秩序

对于大多数由明确的存储器访问指令引发的存储器访问，存储器系统都不保证访问秩序与指令的编写顺序完全一致，只要访问秩序的重新安排不影响指令序列的行为特征就行。一般情况下，如果两个存储器访问的顺序必须与两条存储器访问指令编写的顺序完全一致程序才能正确执行，软件就必须在两条存储器访问指令之间插入一条内存屏障指令，请看**软件的存储器访问秩序**。

但是，存储器系统不保证 Device 存储器和强秩序存储器的一些访问秩序。对于两条存储器访问指令 A1 和 A2，如果 A1 的编写顺序在前，两条指令所引发的存储器访问顺序为：

A1 \ A2	正常访问	设备访问		非常有序访问
		非共享	可共享	
正常访问	-	-	-	-
设备访问，非共享	-	<	-	<
设备访问，可共享	-	-	<	<
非常有序访问	-	<	<	<

附录表 1-9 存储器排序限制

在表中：

- — 表示存储器系统不保证访问秩序

< — 表示观察到访问顺序与指令编写顺序一致，即，A1 总是在 A2 之前

附录1. 3. 2. 3 存储器访问行为

存储器映射中每个区域的访问行为如下：

地址范围	存储区域	存储器类型[1]	XN[1]	描述
0x00000000-0x1FFFFFFF	Code	常规存储器	-	程序代码的可执行区域。也可以把数据保存到这里。
0x20000000-0x3FFFFFFF	SRAM	常规存储器	-	数据的可执行区域。也可以把代码保存到这里。
0x40000000-0x5FFFFFFF	外设	Device 存储器	XN	外部设备存储器
0x60000000-0x9FFFFFFF	外部 RAM	常规存储器	-	数据的可执行区域
0xA0000000-0xDFFFFFFF	外部设备	Device 存储器	XN	外部设备存储器
0xE0000000-0xE00FFFFF	专用外设总线	强秩序存储器	XN	这个区域包括 NVIC、系统定时器和系统控制块。这个区域只能使用字访问。
0xE0100000-0xFFFFFFFF	Device	Device 存储器	XN	厂商提供的特定存储器。

附录表 1-10 存储器访问行为

注[1]：更多信息请看存储区、类型和属性。

Code、SRAM 和外部 RAM 区域可以保存程序。

附录1. 3. 2. 4 软件的存储器访问秩序

程序流程的指令秩序并不能保证相应的存储器事务秩序。这是因为：

◇ 为了提高效率，处理器可以将一些处理器访问的秩序重新安排，只要不影响指令的行为特性就行。

◇ 存储器映射中的存储器或设备可能有不同的等待状态。

◇ 某些存储器访问被缓冲，或者是刻意为之的。

存储系统的访问秩序 描述了存储器系统在哪些情况下能保证存储器访问的秩序。但是，如果存储器访问的秩序十分重要，软件就必须插入一些内存屏障指令来强制保持存储器访问的秩序。处理器提供了以下内存屏障指令：

DMB — 数据存储屏障(DMB)指令保证先完成重要的存储事务，再执行后面的存储事务，见**指令 DMB**。
DSB — 数据同步屏障(DSB)指令保证先完成重要的存储器事务，再执行后面的指令，见**指令 DSB**。
ISB — 指令同步屏障(ISB)保证所有已完成的存储事务的结果，后面的指令都能辨认出来，见**指令 ISB**。

下面是内存屏障指令使用的一些例子：

向量表 — 如果程序改变了向量表中的一个入口，然后又允许了相应的异常，那么就在操作之间插入一条 DMB 指令。这就能确保，如果异常在获得允许后立刻被调用，处理器能使用新的异常向量。
自修改代码 — 如果一个程序包含自修改代码，代码修改之后在程序中立刻使用一条 ISB 指令。这就确保后面的指令执行使用的是更新后的程序。
存储映射切换 — 如果系统包含一个存储器映射切换机制，在切换存储器映射之后使用一条 DSB 指令。这就确保了后面的指令执行使用的是更新后的存储器映射。

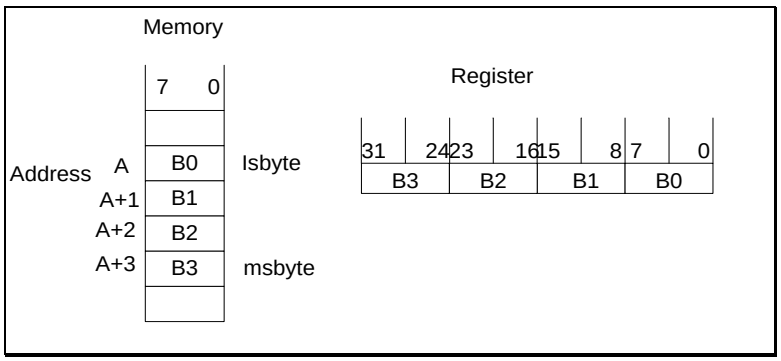
对强秩序存储器(例如，系统控制块)执行的存储器访问不需要使用 DMB 指令。

处理器保留与所有其他事务相关的事务顺序。

附录1. 3. 2. 5 存储器的字节存储顺序

处理器看到的存储器是一个从零开始、编号逐次递增的字节集合。例如，字节 0-3 存放第一个保存的字，字节 4-7 存放第二个保存的字。小端格式描述了数据的字在存储器中是如何存放的。

小端格式
在小端格式中，处理器将字的最低有效字节(lsbyte)保存在编号最小的字节中，最高有效字节(msbyte)保存在编号最大的字节中。例如：



附录图 1-5 小端格式

附录1. 3. 3 异常模型

本节描述异常模型。

附录1. 3. 3. 1 异常状态

每个异常都处于下面状态中的一种：

无效 — 异常无效，未挂起。
挂起 — 异常正在等待处理器处理。
一个外设或软件的中断请求可以改变相应的挂起中断的状态。
有效 — 一个异常正在被处理器处理，但处理尚未结束。

一个异常处理程序可以中止另一个异常处理程序的执行。在这种情况下，两个异常都处于有效状态。

有效且挂起 — 异常正在被处理器处理，而且有一个来自同一个异常源的异常正在等待处理。

附录1. 3. 3. 2 异常类型

异常类型有：

复位 — 复位在上电或热复位时启动。异常模型将复位当做一种特殊形式的异常来对待。当复位产生时，处理器的操作停止，可能停止在一条指令的任何一点上。当复位结束时，从向量表中复位入口的地址处重新启动执行。在线程模式下执行重启。

NMI — 一个不可屏蔽的中断(NMI)可以由外设产生，也可以由软件来触发。这是除复位之外优先级最高的异常。NMI 永远允许，优先级固定为 2。NMI 不能：

◇ 被屏蔽，它的执行也不能被其他任何异常中止

◇ 被除复位之外的任何异常抢占

HardFault — HardFault 是由于在正常操作过程中或在异常处理过程中出错而出现的一个异常。HardFault 的优先级固定为-1，表明它的优先级要高于任何优先级可配置的异常。

SVCall — 超级使用者调用(SVC)异常是一个由 SVC 指令触发的异常。在 OS 环境下，应用程序可以使用 SVC 指令来访问 OS 内核函数和设备驱动程序。

PendSV — PendSV 是一个中断驱动的系统级服务请求。在 OS 环境下，当没有其它异常有效时，使用 PendSV 来进行上下文切换。

SysTick — SysTick 是一个系统定时器到达零时产生的异常。软件也可以产生个 SysTick 异常。在 OS 环境下，处理器可以将这个异常用作系统节拍。

中断(IRQ) — 中断(或 IRQ)是外设引起的一个异常，或者是由软件请求产生的一异常。所有中断都与指令执行不同步。在系统中，外设使用中断来与处理器通信。

异常编号[1]	IRQ 编号[1]	异常类型	优先级	向量地址[2]
1	-	复位	-3，优先级最高	0x00000004
2	-14	NMI	-2	0x00000008
3	-13	HardFault	-1	0x0000000C
4-10	-	保留	-	-
11	-5	SVCall	可配置[3]	0x0000002C
12-13	-	保留	-	-
14	-2	PendSV	可配置[3]	0x00000038
15	-1	SysTick	可配置[3]	0x0000003C
16	0 and above	中断(IRQ)	可配置[3]	0x00000040 and above[4]

附录表 1-11 各种异常类型的特性

注[1]：为了简化软件层，CMSIS 只使用 IRQ 编号，因此，对除中断外的其他异常都使用负值。IPSR 返回异常编号，请看表格 IPSR 位分配。
注[2]：更多信息请看向量表。
注[3]：请看中断优先级寄存器。
注[4]：地址值以 4 为步长，逐次递增。

对于除复位之外的异步异常，在异常被触发和处理器进入异常处理程序时间间隔内，处理器可以执行额外的指令。

被特许的软件可以将表格各种异常类型的特性 中列出的优先级可配置的异常禁止，请看**中断清除允许寄存器**。

有关 HardFault 的更多信息请看故障处理。

附录1. 3. 3. 3 异常处理程序

处理器使用以下处理程序来处理异常：

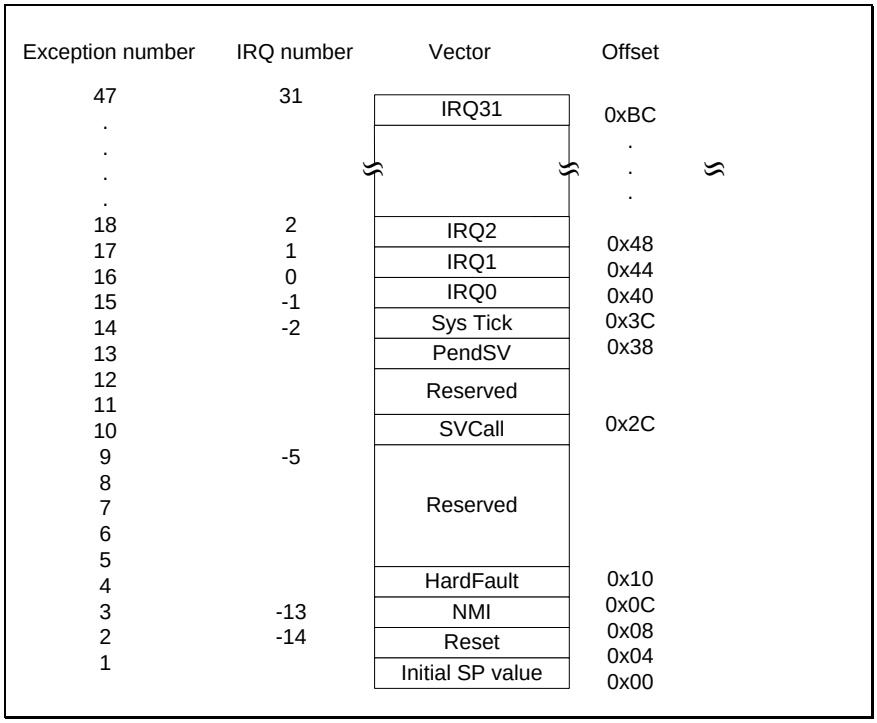
中断服务程序(ISR) — 中断 IRQ0~IRQ31 是由 ISR 来处理的异常

故障处理程序 — HardFault 是唯一一个由故障处理程序来处理的异常

系统处理程序 — NMI，PendSV，SVCall SysTick 和 HardFault 都是由系统处理程序来处理的异常。

附录1. 3. 3. 4 向量表

向量表包含堆栈指针的复位值以及所有向量处理程序的起始地址(也称为异常向量)。如下图显示了异常向量在向量表中的放置顺序。每个向量的最低有效位必须为 1，表明异常处理程序都是用 Thumb 代码编写的。



附录图 1-6 向量表

向量表的地址固定为 0x00000000。

附录1. 3. 3. 5 异常优先级

如表格各种异常类型的特性所示，每个异常都有对应的优先级：

◇ 越小的优先级值表示越高的优先级。

◇ 除复位、HardFault 和 NMI 之外，所有异常的优先级都是可配置的。

如果软件不配置任何优先级，那么，所有优先级可配置的异常的优先级就都为 0。有关配置异常优先级的信息请见：

◇ 系统处理程序优先级寄存器

◇ 中断优先级寄存器

注：可配置优先级的值在 0—3 之间。复位、HardFault 和 NMI 这些有固定的负优先级值的异常的优先级高于任何其他的异常。

给 IRQ[0] 分配一个高优先级值、给 IRQ[1] 分配一个低优先级值就意味着 IRQ[1] 的优先级高于 IRQ[0]。如果 IRQ[1] 和 IRQ[0] 都有效，先处理 IRQ[1]。

如果多个挂起的异常具有相同的优先级，异常编号最小的挂起异常优先处理。例如，如果 IRQ[0] 和 IRQ[1] 正在挂起，并且两者的优先级相同，那么先处理 IRQ[0]。

当处理器正在执行一个异常处理程序时，如果出现一个更高优先级的异常，那么这个异常就被抢占。如果出现的异常的优先级和正在处理的异常的优先级相同，这个异常就不被抢占，与异常的编号大小无关。但是，新中断的状态就变为挂起。

附录1. 3. 3. 6 异常进入和返回

描述异常处理时使用了下列术语：

抢占 — 当处理器正在执行一个异常处理程序时，如果另一个异常的优先级比正在处理的异常的优先级更高，那么低优先级的异常就被抢占。

当一个异常抢占另一个异常时，这些异常就被称为嵌套异常。更多信息请见异常进入。

返回 — 当异常处理程序结束，并且满足以下条件时，异常就返回：

◇ 没有优先级足够高的挂起异常需要处理

◇ 已完成的异常处理程序没有在处理一个迟来的异常

处理器从堆栈弹出数据，使处理器状态恢复到中断出现之前的状态， 更多信息请看**异常返回**。

尾链 — 这个机制加速了异常的处理。当一个异常处理程序结束时，如果一个挂起的异常满足异常进入的要求，就跳过堆栈弹出，控制权移交给新的异常处理程序。

迟来 — 这个机制加速了抢占的处理。如果一个高优先级的异常在前一个异常正在保存状态的过程中出现，处理器就转去处理更高优先级的异常，开始提取这个异常的向量。状态保存不受迟来异常的影响，因为两个异常保存的状态相同。从迟来异常的异常处理程序返回时，要遵守正常的尾链规则。

异常进入

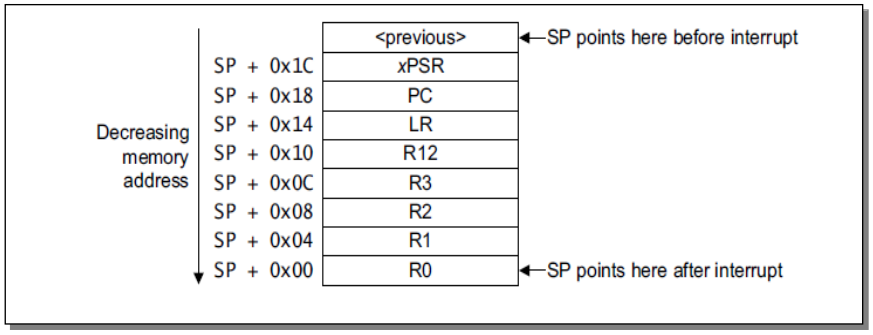
当有一个优先级足够高的挂起异常存在，并且满足下面的任何一个条件，就进入异处理：

◇ 处理器处于 Thread 模式

◇ 新异常的优先级高于正在处理的异常，这时新异常就抢占了正在处理的异常，当一个异常抢占了另一个异常时，异常就被嵌套。

优先级足够高的意思是该异常的优先级比屏蔽寄存器中所限制的任何一个异常组的优先级都要高，请看异常屏蔽寄存器。优先级比这个异常低的异常要被挂起，但不被处理器处理。

当处理器处理异常时，除非异常是一个末链异常或迟来的异常，否则，处理器都把信息压入到当前的堆栈中。这个操作被称为入栈(stacking)，8 个数据字的结构被称为栈帧(stack frame)。栈帧包含以下信息：



附录图 1-7 异常入口堆栈的内容

入栈后，堆栈指针立刻指向栈帧的最低地址单元。栈帧按照双字地址对齐。

栈帧包含返回地址。这是被中止的程序中下条指令的地址。这个值在异常返回时返给 PC，使被中止的程序恢复执行。

处理器执行一次向量提取，从向量表中读出异常处理程序的起始地址。当入栈结束时，处理器开始执行异常处理程序。同时，处理器向 LR 写入一个 EXC_RETURN 值。这个值指示了栈帧对应哪个堆栈指针以及在异常出现之前处理器处于什么工作模式。

如果在异常进入的过程中没有更高优先级的异常出现，处理器就开始执行异常处理程序，并自动将相应的挂起中断的状态变为有效。

如果在异常进入的过程中有另一个优先级更高的异常出现，处理器就开始执行这个高优先级异常的异常处理程序，不改变前一个异常的挂起状态。这是一个迟来异常的情况。

异常返回

当处理器处于处理模式，并且执行下面一条指令试图将 PC 设为 EXC_RETURN 值时，出现异常返回：

◇ POP 指令，用来加载 PC

◇ BX 指令，使用任意寄存器

在异常进入时处理器将一个 EXC_RETURN 值保存到 LR 中。异常机制依靠这个值来检测处理器何时执行完一个异常处理程序。EXC_RETURN 值的 bit[31:4]为 0xFFFFFFF。当处理器将一个相应的这种形式的值加载到 PC 时，它将检测到这个操作并不是一个正常的分支操作，而是异常已经结束。因此，处理器启动异常返回。EXC_RETURN 的 bit[3:0]指出了所需的返回堆栈和处理器模式，如表格异常返回行为所示：

EXC_RETURN	描述
0xFFFFFFF1	返回到处理模式 异常返回从主堆栈获取状态信息 返回后执行使用 MSP
0xFFFFFFF9	返回到线程模式 异常返回从 MSP 获取状态信息 返回后执行使用 MSP
0xFFFFFFFD	返回到线程模式 异常返回从 PSP 获取状态信息 返回后执行使用 PSP
All other values	保留

附录表 1-12 异常返回行为

附录1. 3. 4 故障处理

故障是异常的一个子集，请看 **异常处理程序**。所有的故障都导致 HardFault 异常被处理，或者，如果故障在 NMI 或 HardFault 处理程序中出现，会导致锁定。发生以下情况会导致出现故障：

- ◇ 以等于或高于 SVCall 的优先级执行 SVC 指令
- ◇ 在没有调试器的情况下执行 BKPT 指令
- ◇ 在加载或存储时出现一个系统产生的总线错误
- ◇ 执行一个 XN 存储器地址中的指令
- ◇ 从系统产生了一个总线故障的地址单元中执行指令
- ◇ 在提取向量时出现了一个系统产生的总线错误
- ◇ 执行一个未定义的指令
- ◇ 由于 T 位之前被清零而导致不再处于 Thumb 状态的情况下执行一条指令
- ◇ 尝试对一个不对齐的地址执行加载或存储操作

注：只有复位和 NMI 可以抢占优先级固定的 HardFault 处理程序。HardFault 可以抢占除复位、NMI 或其他硬故外的任何异常。

附录1. 3. 4. 1 锁定

如果在执行 NMI 或 HardFault 处理程序时出现故障，或者，在一个使用 MSP 的异常返回时出栈的却是 PSR 的时候系统产生一个总线错误，处理器进入一个锁定状态。当处理器处于锁定状态时，它不执行任何指令。处理器保持处于锁定状态，直到下面任何一种情出现：

- ◇ 出现复位
- ◇ 调试器将锁定状态终止
- ◇ 出现一个 NMI，以及当前的锁定处于 HardFault 处理程序中

注：如果锁定状态出现在 NMI 处理程序中，后面的 NMI 就无法使处理器离开锁定状态。

附录1. 3. 5 电源管理

Cortex-M0 处理器的睡眠模式可以降低功耗，睡眠模式包含 2 种：

◇ 睡眠模式：停止处理器时钟

◇ 深度睡眠模式

SCR 的 SLEEPDEEP 位选择使用哪种睡眠模式，请看**系统控制寄存器**。

本节描述了进入睡眠模式的机制和将器件从睡眠模式唤醒的条件。

附录1. 3. 5. 1 进入睡眠模式

本节描述了软件可以用来使处理器进入睡眠模式的一种机制。

系统可以产生伪唤醒事件，例如，一个调试操作唤醒处理器。因此，软件必须能够在这样的事件之后使处理器重新回到睡眠模式。程序中可以有一个空闲循环让处理器回到睡眠模式。

等待中断

等待中断指令(WFI)使器件立刻进入睡眠模式。当执行一个 WFI 指令时，处理器停止执行指令，进入睡眠模式。更多信息请看指令 WFI。

等待事件

等待事件指令(WFE)根据一个一位的事件寄存器的值来进入睡眠模式。处理器执行一个 WFE 指令时检查事件寄存器的值：

0 — 处理器停止执行指令，进入睡眠模式

1 — 处理器将寄存器的值设为 0，并继续执行指令，不进入睡眠模式

更多信息请看**指令 WFE**。

如果事件寄存器为 1，表明处理器在执行 WFE 指令时不必进入睡眠模式。通常的原因

是出现了一个外部事件，或者系统中的另一个处理器已经执行了 SEV 指令，见**指令 SEV**。软件不能直接访问这个寄存器。

Sleep-on-exit

如果 SCR 的 SLEEPONEXIT 位被设为 1，当处理器完成一个异常处理程序的执行并返回到线程模式时，处理器立刻进入睡眠模式。如果应用只要求处理器在中断出现时运行，就可以使用这种机制。

附录1. 3. 5. 2 从睡眠模式唤醒

处理器的唤醒条件取决于使处理器进入睡眠模式所采用的机制。

从 WFI 或者 sleep-on-exit 唤醒

通常，只有当检测到一个优先级足够高的异常导致进入异常处理时，处理器才唤醒。

某些嵌入式系统在处理器唤醒之后可能必须先执行系统恢复任务，然后再执行中断处理程序。通过将 PRIMASK 位置位来实现这个操作。如果到来的中断被允许，并且优先级高于当前的异常优先级，处理器就唤醒，但不执行中断处理程序，直至处理器将 PRIMASK 设为 0，请看**异常屏蔽寄存器**。

从 WFE 唤醒

如果出现以下情况，处理器就唤醒：

◇ 处理器检测到一个优先级足够高的异常导致进入异常进入

◇ 在一个多处理器的系统中，系统中的另一个处理器执行了 SEV 指令

另外，如果 SCR 的 SEVONPEND 位被设为 1，那么任何新的挂起中断都能触发一个事件并唤醒处理器，即使这个中断被禁止，或者这个中断的优先级不够高而导致无法进入异常处理。有关 SCR 的更多信息请见**系统控制寄存器**。

附录1. 3. 5. 3 电脑管理编程提示

ISO/IEC C 不能直接产生 WFI、WFE 和 SEV 指令。CMSIS 为这些指令提供了以下内在函数：

```
void __WFE(void) // 等待事件

void __WFI(void) // 等待中断

void __SEV(void) // 发送事件
```

附录1. 4 指令集

附录1. 4. 1 指令集汇总

处理器执行一个版本的 Thumb 指令集。Cortex-M0 指令列出了所支持的指令。

注意：在 Cortex-M0 指令中

◇ 尖括号< >括着操作数的备用格式

◇ 大括号{}括着可选的操作数和助记符部分

◇ 操作数列所列出的操作数不完全

有关指令和操作数的信息，详见指令描述：

助记符	操作数	简述	标志	参考
ADCS	{Rd,}Rn,Rm	带进位加法	N，Z，C，V	ADC ， ADD ，RSB ， SBC 和 SUB
ADD{S}	{Rd,}Rn,<Rm\#imm>	加法	N，Z，C，V	ADC ， ADD ，RSB ， SBC 和 SUB
ADR	Rd,label	将基于 PC 相对偏移的地址读到寄存器	-	ADC ， ADD ，RSB ， SBC 和 SUB
ANDS	Rd,}Rn,Rm	位与操作	N，Z	ADC ， ADD ，RSB ， SBC 和 SUB
ASRS	{Rd,}Rm,<Rs\#imm>	算术右移	N，Z，C	ASR，LSL，LSR 和 ROR
B{cc}	label	跳转{有条件}	-	B，BL，BX 和 BLX
BICS	{Rd,}Rn,Rm	位清除	N，Z	AND，ORR，EOR 和 BIC
BKPT	#imm	断点	-	BKPT
BL	label	带链接的跳转	-	B，BL，BX 和 BLX
BLX	Rm	带链接的间接跳转	-	B，BL，BX 和 BLX
BX	Rm	间接跳转	-	B，BL，BX 和 BLX
CMN	Rn,Rm	比较负值	N，Z，C，V	CMP 和 CMN
CMP	Rn,<Rm\#imm >	比较	N，Z，C，V	CMP 和 CMN
CPSID	i	更改处理器状态，关闭中断	-	CPS
CPSIE	i	更改处理器状态，关闭中断	-	CPS
DMB	-	数据内存屏障	-	DMB
DSB	-	数据同步屏障	-	DSB

助记符	操作数	简述	标志	参考
EORS	{Rd,}Rn,Rm	异或	N，Z	AND，ORR，EOR 和 BIC
ISB	-	指令同步屏障	-	ISB
LDM	Rn{!},reglist	加载多个寄存器，访问之后会递增地址	-	LDM 和 STM
LDR	Rt,label	从基于 PC 相对偏移地址上加载寄存器	-	存储器访问指令
LDR	Rt,[Rn,<Rm|#imm>]	用字加载寄存器	-	存储器访问指令
LDRB	Rt,[Rn,<Rm|#imm>]	用字节加载寄存器	-	存储器访问指令
LDRH	Rt,[Rn,<Rm|#imm>]	用半字加载寄存器	-	存储器访问指令
LDRSB	Rt,[Rn,<Rm|#imm>]	用有符号的字节加载寄存器	-	存储器访问指令
LDRSH	Rt,[Rn,<Rm|#imm>]	用有符号的半字加载寄存器	-	存储器访问指令
LSLS	{Rd,}Rn,<Rs|#imm>	逻辑左移	N，Z，C	ASR，LSL，LSR 和 ROR
U	{Rd,}Rn,<Rs|#imm>	逻辑右移	N，Z，C	ASR，LSL，LSR 和 ROR
MOV{S}	Rd,Rm	传输	N，Z	MOV 和 MVN
MRS	Rd,spec_reg	从特殊寄存器传输到通用寄存器	-	MRS
MSR	Spec_reg,Rm	从通用寄存器传输到特殊寄存器	N，Z，C，V	MSR
MULS	Rd,Rn,Rm	乘法，32 位结果值	N，Z	MULS
MVNS	Rd,Rm	位非	N，Z	MOV 和 MVN
NOP	-	无操作	-	NOP
ORRS	{Rd},Rn,Rm	逻辑或	N，Z	AND，ORR，EOR 和 BIC
POP	reglist	出栈。将堆栈的内容放入寄存器	-	PUSH 和 POP
PUSH	reglist	压栈，将寄存器的内容压入堆栈	-	PUSH 和 POP
助记符	操作数	简述	标志	参考
REV	Rd,Rm	反转字里面的字节顺序	-	REV，REV16 和 REVSH
REV16	Rd,Rm	反转每半字里面的字节顺序	-	REV，REV16 和 REVSH
REVSH	Rd,Rm	反转有符号半字里面的字节顺序	-	REV，REV16 和 REVSH
RORS	{Rd,}Rn,Rs	循环右移	N，Z，C	ASR，LSL，LSR 和 ROR
RSBS	{Rd,}Rn,#0	反向减法	N，Z，C，	ADC ， ADD ，

助记符	操作数	简述	标志	参考
			V	RSB，SBC 和 SUB
SBCS	{Rd,}Rn,Rm	进位减法	N，Z，C，V	ADC，ADD，RSB，SBC 和 SUB
SEV	-	发送事件	-	SEV
STM	Rn!,reglist	存储多个寄存器，在访问后地址递	-	LDM 和 STM
STR	Rt,[Rn,<Rm|#imm>]	将寄存器作为字来存储	-	存储器访问指令
STRB	Rt,[Rn,<Rm|#imm>]	将寄存器作为字节来存储	-	存储器访问指令
STRH	Rt,[Rn,<Rm|#imm>]	将寄存器作为半字来存储	-	存储器访问指令
SUB{S}	{Rd,}Rn<Rm|#imm>	减法	N，Z，C，V	ADC，ADD，RSB，SBC 和 SUB
SVC	#imm	超级使用者调用	-	SVC
SXTB	Rd，Rm	符号扩展字节	-	SXT 和 UXT
SXTH	Rd，Rm	符号扩展半字	-	SXT 和 UXT
TST	Rn，Rm	基于测试的逻辑与	N，Z	TST
UXTB	Rd，Rm	0 扩展字节	-	SXT 和 UXT
UXTH	Rd，Rm	0 扩展字节	-	SXT 和 UXT
WFE	-	等待事件	-	WFE
WFI	-	等待中断	-	WFI

附录表 1-13 Cortex-M0 指令

附录1. 4. 2 内部函数

ISO/IEC C 代码不能直接访问某些 Cortex-M0 指令。本章节对可以产生这些指令的内部函数进行了描述，内部函数可由 CMSIS 或有可能由 C 编译器提供。若 C 编译器不支持相关的内部函数，则使用者可能需要使用内联汇编程序来访问相关的指令。

CMSIS 提供下列的内部函数来产生 ISO/IEC C 代码不能直接访问的指令：

指令	CMSIS 内部函数
CPSIE i	void__enable_irq(void)
CPSID i	void__disable_irq(void)
ISB	void__ISB(void)
DSB	void__DSB(void)
DMB	void__DMB(void)
NOP	void__NOP(void)
REV	uint32_t__REV(uimt32_t int value)
REV16	uint32_t__REV16(uimt32_t int value)
REVSH	uint32_t__REVSH(uimt32_t int value)
SEV	void__SEV(void)
WFE	void__WFE(void)
WFI	void__WFI(void)

附录表 1-14 产生某些 Cortex-M0 指令的 CMSIS 内部函数

CMSIS 还提供使用 MRS 和 MSR 指令来访问特别寄存器的函数：

特定寄存器	访问方式	CMSIS 函数
PRIMASK	读	uint32_t__get_PRIMASK(void)
	写	void__set_PRIMASK(uimt32_t value)
CONTROL	读	uint32_t__get_CONTROL(void)
	写	void__set_CONTROL(uimt32_t value)
MSP	读	uint32_t__get_MSP(void)
	写	void__set_MSP(uimt32_t TopOfMainStack)
PSP	读	uint32_t__get_PSP(void)
	写	void__set_PSP(uimt32_t TopOfMainStack)

附录表 1-15 访问特别寄存器的内部函数

附录1. 4. 3 关于指令的描述

下列小节对如何使用指令进行了更为详细的描述：

- ◇ 操作数“Operands”
- ◇ 使用 PC 或 SP 的限制“Restrictions when using PC or SP”
- ◇ 移位操作“Shift Operations”
- ◇ 地址对齐“Address alignment”
- ◇ PC 的相对表达式“PC- relative expressions”
- ◇ 条件执行“Conditional execution”

附录1. 4. 3. 1 操作数

指令操作数可以是 ARM 寄存器，常量或其它的指令特定参数。指令在操作数上操作，并经常将结果存放在目的寄存器中。当指令中存在目的寄存器时，它通常会在其它操作数之前被指定。

附录1. 4. 3. 2 使用 PC 或 SP 的限制

对于用于操作数或目的寄存器的程序计数器(PC)或堆栈指针(SP)，许多指令都不能使用它们，或者存在着使用者能否使用它们的限制。更多信息详见指令的描述。

注意：当使用 BX、BLX 或 POP 指令来更新 PC 时，为正确执行程序，任何地址的位 0 都必须为 1。这是因为该位指示目标指令集，且 Cortex-M0 处理器只支持 Thumb 指令。当 BL 或 BLX 指令将位 0 的值写入 LR 时，值 1 会被自动分配。

附录1. 4. 3. 3 移位操作

寄存器移位操作通过特定的位数(移位长度)来实现寄存器位的左右移位操作。寄存器移位可以由指令 ASR、LSR、LSL 和 ROR 直接执行，且结果会被写入到目的寄存器中。允许的移位长度由移位类型和指令决定，请参考各个指令的描述。若移位长度为 0，则不发生移位操作。寄存器移位操作会更新进位标志，当移位长度被指定为 0 时除外。本节中的各小节描述了各种的移位操作以及它们是如何影响进位标志的。在这些描述中，Rm 是包含着移位值的寄存器，n 是移位长度。

ASR

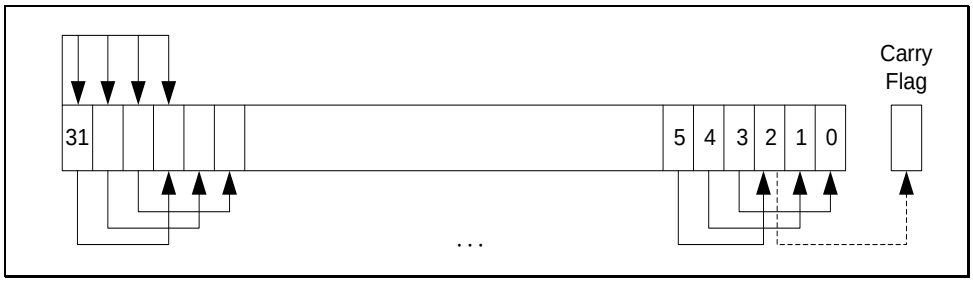
算术右移 n 位的操作是将 Rm 寄存器左边的 32-n 个位向右移动 n 位，结果是寄存器右边有 32-n 个位，然后再将寄存器位[31]的原始值复制到结果寄存器左边的 n 位中，请看图片 **ASR #3**。

使用者可以使用 ASR 对寄存器 Rm 的带符号数进行除以 2^n 的操作，得到的结果为负无穷大。

当指令为 ASRS 时，进位标志会被更新为最后移出的位值，即寄存器 Rm 的位[n-1]。

备注：

- ◇ 如果 n 为 32 或大于 32，那么结果中的所有位都会被置为 Rm 中位[31]的值。
- ◇ 如果 n 为 32 或大于 32，那么进位标志被更新为 Rm 位[31]的值。



附录图 1-8 ASR #3

LSR

逻辑右移 n 位的操作是将 Rm 寄存器 Rm 左边的 32-n 个位向右移动 n 位，结果寄存器右边有 32-n 位，然后再将结果寄存器左边的 n 个位设为 0。请看图片 LSR #3。

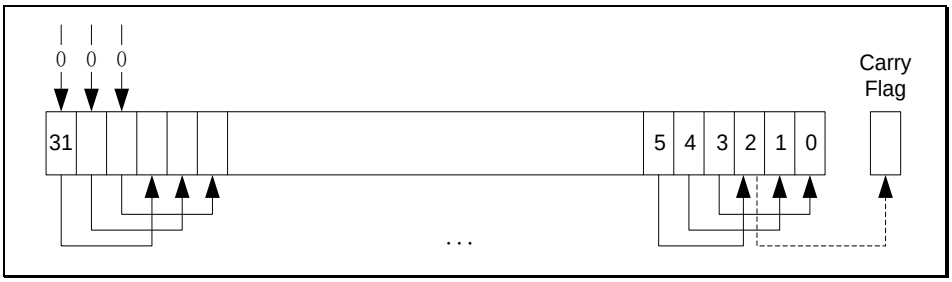
如果寄存器 Rm 值为无符号的整数，使用者可以使用 LSR 操作来对其值进行除以 2^n 的操作。

当指令为 LSRS 时，进位标志会被更新为最后移出的位值，即寄存器 Rm 的位[n-1]。

备注：

◇ 如果 n 为 32 或大于 32，那么结果中的所有位都会被清除为 0。

◇ 如果 n 为 33 或大于 33，那么进位标志被更新为 0。



附录图 1-9 LSR #3

LSL

逻辑左移 n 位的操作是将 Rm 寄存器右边的 32-n 个位向左移动 n 位，结果寄存器左边有 32-n 个位，然后将结果中的寄存器右边的 n 个位设为 0。请看图片 LSL #3。

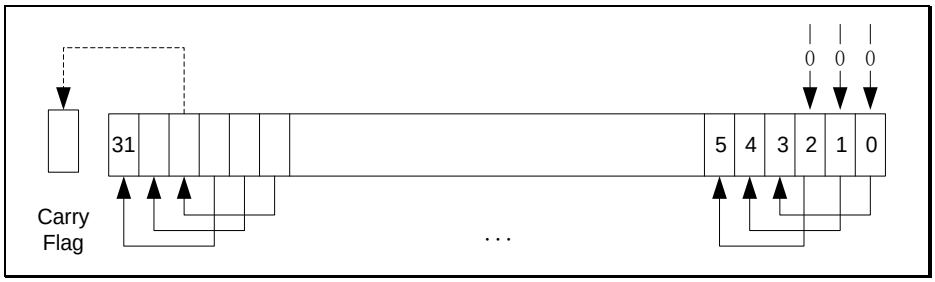
如果寄存器 Rm 值为无符号的整数或是有符号 2 的补码整数值，使用者可以使用 LSL 操作来对其值与 2^n 进行乘法操作。溢出会在无警告提示下发生。

当指令为 LSLS 时，进位标志会被更新为最后移出的位值，即寄存器 Rm 的位[32-n]。当使用 LSL #0 时，这些指令不会影响进位标志。

备注：

◇ 如果 n 为 32 或大于 32，那么结果中的所有位都会被清除为 0。

◇ 如果 n 为 33 或大于 33，那么进位标志被更新为 0。



附录图 1-10 LSL #3

ROR

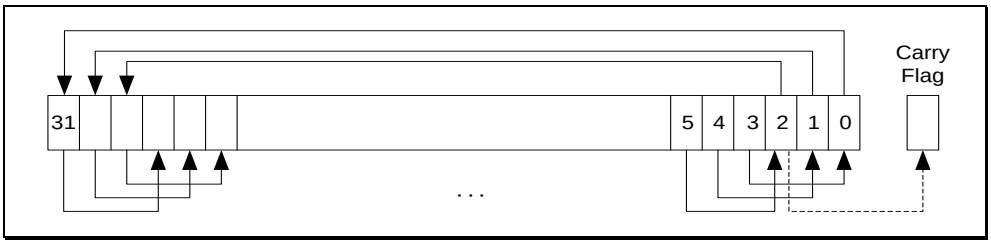
循环右移 n 位的操作是将 Rm 寄存器左边的 32-n 个位向右移动 n 位，结果是寄存器右边有 32-n 个位，然后再将寄存器右边的 n 个位移动到结果寄存器的左边的 n 个位中。请看图片 ROR #3。

当指令为 RORS 时，进位标志会被更新为最后循环出的位值，即寄存器 Rm 的[n-1]位。

备注：

◇ 如果 n 为 32，那么结果与 Rm 中的值相同，且如果进位标志被更新，则会被更新为 Rm 的位[31]的值。

◇ 移位长度 n 大于 32 的 ROR 与移位长度为 n-32 的 ROR 操作得到的结果相同。



附录图 1-11 ROR #3

附录1. 4. 3. 4 地址对齐

对齐访问是这样的一个操作：字对齐地址是用于字或多字访问，或者半字对齐地址是用于半字访问。字节访问通常是对齐访问的。

Cortex-M0 处理器不支持非对齐地址的访问。任何尝试执行一个非对齐的存储器访问操作都会导致 HardFault 异常。

附录1. 4. 3. 5 PC 的相对表达式

相对 PC 表达或标签是一个代表着指令或文字数据的地址的符号。在指令中它被表示为 PC 值加上或减去一个数字偏移量。汇编器从标签和当前指令的地址中计算出所要求的偏移量。如果偏移量太大，则汇编器会产生一个错误。

备注：

◇ 对于大数多指令，PC 的值就是当前指令的地址加上 4 个字节。

◇ 汇编器可能允许用其它语法来表示 PC 相对表达式，如标签加上或减去一个数值，或者用[PC,#imm]格式表示。

附录1. 4. 3. 6 条件执行

大多数数据处理指令依据操作的结果在应用程序状态寄存器(APSR)中更新条件标志。某些指令更新所有标志，而某些指令则仅更新子集。如果标志不被更新，则原始值被保留。指令对标志的影响，请参考指令的描述。

在如下的情况下，使用者可以在另一个指令中设置条件标志的基础上：

◇ 在指令更新标志后可立即执行条件性的跳转指令

◇ 在经过任意数量的没有更新标志的间隔数指令后，可以执行条件性的跳转指令

在 Cortex-M0 处理器上，通过使用条件性的跳转指令，就可以实现条件性的执行操作。

本小节描述了以下内容：

◇ **条件标志**“The condition flags”

◇ **条件代码后缀**“Condition code suffixes”

条件标志

APSR 包含了下列的条件标志：

N — 当操作的结果为负值时置为 1，否则清除为 0

Z — 当操作的结果为 0 时置为 1，否则清除为 0

C — 当操作的结果导致要进位时置为 1，否则清除为 0

V — 当操作引发溢出时置为 1，否则清除为 0

关于 APSR 的更多信息请看程序状态寄存器。

当出现下列情况时，会发生进位操作：

◇ 如果加法的结果大于或等于 2^{32}

◇ 如果减法的结果为正或等于 0

◇ 由于移位指令或循环指令而发生的进位操作

当位[31]中结果的符号值不与在无穷精度中所执行操作的结果符号值匹配时，溢出发生，

例如：

◇ 如果二个负值相加得出一个正值

◇ 如果二个正值相加得出一个负值

◇ 如果从一个负值减去一个正值得到一个正值

◇ 如果从一个正值减去一个负值得到一个负值

对于 CMP，比较操作与减法操作相同，对于 CMN，则与加法操作相同，结果值会被丢弃除外。更多信息，详情请参考指令描述。

条件代码后缀

条件性跳转在语法描述显示为 B{cond}。只有 APSR 的条件代码标志符合指定的条件时，才能执行带有条件代码的跳转指令，否则要忽略跳转指令。

表格条件代码后缀显示了使用的条件代码，同时还显示了条件代码后缀和 N、Z、C 和 V 标志之关的联系。

后缀	标志	意义
EQ	Z=1	相等，最后标志设置结果为 0
NE	Z=0	不相等。最后标志设置结果为非 0
CS or HS	C=1	更高或相同，无符号
CC or LO	C=0	更低，无符号
MI	N=1	负数
PL	N=0	正数或 0
VS	V=1	溢出
VC	V=0	无溢出
HI	C=1 and Z=0	更高，无符号
LS	C=0 or Z=1	更低或相同，无符号
GE	N=V	大于或等于，有符号
LT	N!=V	少于，有符号
GT	Z=0 and N=V	大于，有符号
LE	Z=1 and N!=V	少于或等于，有符号
AL	Can have any value	总是。当没有指定后缀时，这是默认的操作

附录表 1-16　条件代码后缀

附录1. 4. 4 存储器访问指令

表格访问指令所示为存储器访问指令：

助记符	简单描述	参考
LDR{type}	使用寄存器偏移量来加载寄存器	LDR and STR，寄存器偏移量
LDR	基于 PC 相对地址来加载寄存器	LDR，PC 相对
POP	出栈，将栈中的内容存放寄存器	PUSH 和 POP
PUSH	压栈，将寄存器的内容压入堆栈	PUSH 和 POP
STM	存储多个寄存器	LDM 和 STM
STR{type}	使用立即数偏移量来存储寄存器	LDR and STR，立即数偏移量
STR{type}	使用寄存器偏移量来存储寄存器	LDR and STR，寄存器偏移量

附录表 1-17 访问指令

附录1. 4. 4. 1 ADR

产生一个 PC 相对地址。

语法

ADR Rd, label

其中：

Rd 是目标寄存器。

Label 是 PC 相对表达式。请看示例。

操作

ADR 通过将立即数值加到 PC 中来产生一个地址，并将得到的地址结果写入到目的寄存器中。

ADR 指令对产生与存储位置无关的代码非常便利，因为地址是 PC 相对地址。

如果使用者使用 ADR 来产生 BX 或 BLX 指令的目标地址，为了能正确执行程序，必须要保证将产生的地址的位[0]设置为 1。

限制

在该指令中，Rd 必须指定 R0-R7。地址数据值必须是字对齐，且不能超出当前 PC 的 1020 字节。

条件标志

该指令不会改变标志。

示例

```
ADR R1, TextMessage; 将被标签为 TextMessage 单元上的地址值写入到 R1 中
ADR R3, [PC,#996]; 将 R3 的值设为 PC + 996
```

附录1. 4. 4. 2 LDR and STR，立即数偏移量

具有立即数偏移量的加载和存储。

语法

LDR Rt, [<Rn | SP> {, #imm}]
LDR<B|H> Rt, [Rn {, #imm}]
STR Rt, [<Rn | SP>, {,#imm}]
STR<B|H> Rt, [Rn {,#imm}]

其中：

Rt 是加载或存储的寄存器。

Rn 是寄存器，存储器地址基于此寄存器。

Imm 是 Rn 的偏移量。如果 imm 被省略，则假设它为 0。

操作

LDR、LDRB 和 LDRH 指令将存储器中的字、字节或半字数据值加载到 Rt 指定的寄存器中。在将数据写入 Rt 指定的寄存器之前，长度少于字的数据要用 0 扩充到 32 位的长度。

STR、STRB 和 STRH 指令将 Rt 寄存器指定的单个寄存器中所包含的字，最低位字节或低半字存放到存储器中。从加载的存储器地址或用于存放的存储器地址是 Rn 或 SP 所指定的寄存器的值与立即数 imm 的和。

限制

在这些指令中：

◇ Rt 和 Rn 必须只指定 R0-R7 的值

◇ Imm 的值必须要符合下列要求：

- 0 到 1020 之间，对于 LDR 和 STR 操作，在将 SP 用作基址寄存器时，其值必须是 4 的整数倍
- 0 到 124 之间，对于 LDR 和 STR 操作，在将 R0-R7 用作基址寄存器时，其值必须是 4 的整数倍
- 0 到 62 之间，对于 LDRH 和 STRH 操作，其值必须是 2 的整数倍
- 0 到 31 之间，对于 LDRB 和 STRB 操作

◇ 计算出的地址必须能够被事务中的字节数整除，请看**地址对齐**。

条件标志

这些指令不改变标志。

Examples

LDR R4, [R7]; 将 R7 的值作为地址，将此地址处的值载入到 R4 中
STR R2, [R0,#const-struc]; const-struc 是评估处于 0-1020 范围内的常量的表达式。

附录1. 4. 4. 3 LDR and STR，寄存器偏移量

带寄存器偏移量的加载和存储。

语法

LDR Rt, [Rn, Rm]
LDR<B|H> Rt, [Rn, Rm]
LDR<SB|SH> Rt, [Rn, Rm]
STR Rt, [Rn, Rm]
STR<B|H> Rt, [Rn, Rm]
其中：

Rt 是加载或存储的寄存器

Rn 是寄存器，存储器地址基于此寄存器

Rm 是含有用作偏移量的值的寄存器

操作

LDR、LDRB、U、LDRSB 和 LDRSH 将存储器中的字、0 扩展字节、0 扩展半字、符号扩展字节或符号扩展半字加载到 Rt 指定的寄存器中。

STR、STRB 和 STRH 指令将 Rt 寄存器指定的单个寄存器中所包含的字，最低位字节或低半字存放到存储器中。

从加载的存储器地址或用于存放的存储器地址是 Rn 和 Rm 所指定的寄存器中的值之和。

限制

在这些指令中：

◇ Rt、Rn 和 Rm 必须指定 R0-R7

◇ 计算出的地址必须能够被加载或存储的字节数整除。请看**地址对齐**。

条件标志

这些指令不改变标志。

示例

STR R0, [R5, R1]; 将 R0 的值存储到 R5 加 R1 得出的地址中。
LDRSH R1, [R2, R3]; 从(R2 + R3)所指定的存储器地址中加载半字数据，符号扩展到 32 位并将其写入到 R1 中。

附录1. 4. 4. 4 LDR，PC 相对

从存储器中加载寄存器(文字数据)。

语法

LDR Rt, label
其中：

Rt 加载的寄存器

Label 是 PC 相对表达式，请看 **PC 的相对表达式**。

操作

将 label 所指定的存储器中的字加载到 Rt 所指定的寄存器中。

限制

在这些指令中，label 的大小必须位于当前 PC 的 1020 字节范围之内，且是字对齐的。

条件标志

这些指令不改变标志。

示例

```
LDR R0, LookUpTable; 将标签为 LookUpTable 的地址中的字数据加载到 R0 中。
LDR R3, [PC, #100]; 将(PC + 100)上的存储器字加载到 R3 中。
```

附录1. 4. 4. 5 LDM 和 STM

加载和存储多个寄存器。

语法

```
LDM Rn{!}, reglist
STM Rn!, reglist
```

其中：

Rn 是寄存器，存储器地址基于此寄存器。

!是回写后缀。

reglist 是被加载或存储的一个或多个寄存器的列表，用大括号括住。它包含着寄存器范围。若它包含着多于一个的寄存器或寄存器范围，必须要将其用逗号隔开，请看**示例**。

对于 LDM，LDMIA，它们和 LDMFD 相近。LDMIA 为每次访问后都会递增的基址寄存器。LDMFD 用法是将数据从满的递减堆栈中移出。

对于 STM，STMIA，它们和 STMEA 相近。STMIA 为每次访问后都会递增的基址寄存器。STMEA 用法是将数据压入空的递增堆栈中。

操作

LDM 指令将基于 Rn 上的存储器地址的字值加载到 reglist 的寄存器中。

STM 指令将 reglist 中的寄存器的字值存放到基于 Rn 的存储器地址中。

用于访问的存储器地址为 4 字节间隔，其范围为 Rn 所指定的寄存器的值至 Rn + 4 *(n-1)

所指定的寄存器的值，这里的 n 是 reglist 中的寄存器数量。访问的顺序是按照寄存器的编号从低到高发生，最低编号的寄存器使用最低的存储器地址，最高编号的寄存器使用最高的存储器地址。如果写回后缀被指定，则 Rn + 4 *n 所指定的寄存器的值会被写回到 Rn 所指定的寄存器中。

限制

在这些指令中：

- ◇ reglist 和 Rn 限制为 R0-R7
- ◇ 必须要使用写回后缀，除非指令是 LDM 指令，在 LDM 里，reglist 也含有 Rn，在这种情况下，要谨记不能用写回后缀。
- ◇ Rn 所指定的寄存器的值必须是字对齐的。更多信息请看**地址对齐**。

◇ 对于 STM，如果 reglist 中存在着 Rn，那么 Rn 必须是列表中的第一个寄存器。

条件标志

这些指令不改变标志。

示例

```
LDM R0,{R0,R3,R4}; LDMIA 相近于 LDM
STMIA R1!,{R2-R4,R6}
```

错误的示例

```
STM R5!,{R4,R5,R6}; 存放于 R5 的值是不可预测的
LDM R2,{}; 在列表中至少要存在着一个寄存器
```

附录1. 4. 4. 6 PUSH 和 POP

将寄存器压入满递减堆栈和将满递减堆栈中的内容移入寄存器。

语法

```
PUSH reglist
POP reglist
```

其中：

Reglist 是非空的寄存器列表，用大括号括着，它包含着寄存器范围。若它包含着多于一个的寄存器或寄存器范围，必须要将其用逗号隔开。

操作

PUSH 将寄存器存放到堆栈中，最低编号的寄存器使用低存储器地址，最高编号的寄存器使用高存储器地址。

POP 将堆栈中的内容加载到寄存器中，最低编号的寄存器使用最低存储器地址，最高编号的寄存器使用最高存储器地址。

PUSH 将 SP 寄存器的值减去 4 所得的值用作最高存储器地址，POP 将 SP 寄存器的值用作最低的存储器地址来执行满递减堆栈操作。当操作完成时，PUSH 会更新 SP 寄存器来指向最低存储值的单元，而 POP 则会更新 SP 寄存器来指向高于所加载的最高单元的单元。

如果 POP 在它的 reglist 中包含了 PC，则当 POP 指令完成时，会在该单元上执行一个跳转操作。为 PC 所读出的 Bit[0]值用来更新 EPSR T 位。该位必须为 1，以确保能正确执行程序。

限制

在这些指令中：

◇ reglist 必须只为 R0-R7

◇ 对于 PUSH 和 POP，异常情况分别是 LR 和 PC

条件标志

这些指令不改变标志。

示例

```
PUSH {R0,R4-R7}; 将 R0，R4，R5，R6，R7 压入堆栈
PUSH {R2,LR}; 将 R2 和链接寄存器压入堆栈
POP {R0,R6,PC}; 令 R0，R6 和 PC 出栈，然后跳转到新的 PC 值
```

附录1. 4. 5 通用数据处理指令

表格数据处理指令显示了数据处理指令：

助记符	简述	参考
ADCS	进位加法	ADC，ADD，RSB，SBC 和 SUB
ADD{S}	加法	ADC，ADD，RSB，SBC 和 SUB
ANDS	逻辑与	AND，ORR，EOR 和 BIC
ASRS	算术右移	ASR，LSL，LSR 和 ROR
BICS	位清零	AND，ORR，EOR 和 BIC
CMN	比较负值	CMP 和 CMN
CMP	比较	CMP 和 CMN
EORS	异或	AND，ORR，EOR 和 BIC
LSLS	逻辑左移	ASR，LSL，LSR 和 ROR
LSRS	逻辑右移	ASR，LSL，LSR 和 ROR
MOV{S}	传输	MOV 和 MVN
MULS	乘法	MULS
MVNS	取反传输	MOV 和 MVN
ORRS	逻辑或	AND，ORR，EOR 和 BIC
REV	反转字里面的字节顺序	REV，REV16 和 REVSH
REV16	反转每半字里面的字节顺序	REV，REV16 和 REVSH
REVSH	反转低半字中的字节顺序，并进行符号扩展	REV，REV16 和 REVSH
RORS	循环右移	ASR，LSL，LSR 和 ROR
RSBS	反向减法	ADC，ADD，RSB，SBC 和 SUB
SBCS	带进位减法	ADC，ADD，RSB，SBC 和 SUB
SUBS	减法	ADC，ADD，RSB，SBC 和 SUB
SXTB	符号扩展字节	SXT 和 UXT
SXTH	符号扩展字节	SXT 和 UXT
UXTB	零扩展字节	SXT 和 UXT
UXTH	零扩展字节	SXT 和 UXT
TST	测试	TST

附录表 1-18 数据处理指令

附录1. 4. 5. 1 ADC，ADD，RSB，SBC 和 SUB

进位加法、加法、反向减法、进位减法、减法。

语法

```
ADCS {Rd,} Rn, Rm
ADD{S} {Rd,} Rn, <Rm|#imm>
RSBS {Rd,} Rn, Rm, #0
SBCS {Rd,} Rn, Rm
SUB{S} {Rd,} Rn,
<Rm|#imm>
```

其中：

S 会令 ADD 或 SUB 指令更新标志

Rd 指定结果寄存器

Rn 指定首个源寄存器

Rm 指定第二个源寄存器

Imm 指定一个常量立即数值

当省略了可选的 Rd 寄存器限定符时，会假定其值与 Rn 相同，例如，ADDS R1,R2 与

ADDS R1,R1,R2 相同。

操作

ADCS 指令将 Rn 中的值加到 Rm 的值中，如果进位标志被置位，则将结果另行加 1，并将结果存放在 Rd 所指定寄存器里，同时更新 N、Z、C 和 V 标志。

ADD 指令将 Rn 的值加上 Rm 的值，或加上 imm 指定的立即数，并将结果存放到 Rd 所指定的寄存器中。

ADDS 指令执行的操作与 ADD 相同，并还可以更新 N、Z、C 和 V 标志。

RSBS 指令是用 0 减去 Rn 中的值，得到一个负数，然后将结果值存放在 Rd 所指定的寄存器中，并更新 N、Z、C 和 V 标志。

SBCS 指令是用 Rn 的值减去 Rm 的值，如果进位标志置位，则再减去一个 1。指令会将结果值存放到 Rd 所指定的寄存器中，并更新 N、Z、C 和 V 标志。

SUB 指令减去 Rm 的值或 imm 所指定的立即数。指令把结果值存放到 Rd 所指定的寄存器中。

SUBS 指令执行的操作与 SUB 相同，同时它还可以更新 N、Z、C 和 V 标志。

如何使用 ADC 和 SBC 来综合处理多字算术，请看**示例**。

还可以参考**指令 ADR**。

限制

ADC，ADD，RSB，SBC 和 SUB 操作数限制表格列出了寄存器指示符的合法组合和每一个指令可以使用的立即数。

指令	Rd	Rn	Rm	imm	限制
ADCS	R0-R7	R0-R7	R0-R7	-	Rd 和 Rn 必须指定相同的寄存器
ADD	R0-R15	R0-R15	R0-PC	-	Rd 和 Rn 必须指定相同的寄存器 Rd 和 Rn 必须不能同时指定 PC
	R0-R7	SP or PC	-	0-1020	立即数必须为 4 的整数倍
	SP	SP	-	0-508	立即数必须为 4 的整数倍
ADDS	R0-R7	R0-R7	-	0-7	-
	R0-R7	R0-R7	-	0-255	Rd 和 Rn 必须指定相同的寄存器
	R0-R7	R0-R7	R0-R7	-	-
RSBS	R0-R7	R0-R7	-	-	-
SBCS	R0-R7	R0-R7	R0-R7	-	Rd 和 Rn 必须指定相同的寄存器
SUB	SP	SP	-	0-508	立即数必须为 4 的整数倍
SUBS	R0-R7	R0-R7	-	0-7	-
	R0-R7	R0-R7	-	0-255	Rd 和 Rn 必须指定相同的寄存器
	R0-R7	R0-R7	R0-R7	-	-

附录表 1-19 ADC，ADD，RSB，SBC 和 SUB 操作数限制

示例

下例所示为二个指令将 R0 和 R1 所包含的 64 位整数值加到 R2 和 R3 所包含的另一个 64 位整数值中，并将结果存放到 R0 和 R1 中。

64 位加法：

```
ADDS R0, R0, R2; 加上最低位的字
ADCS R1, R1, R3; 加上最高位的字，带进位
```

多字的值无需使用连续的寄存器。下面示例为指令会令 R4、R5 和 R6 所包含的 96 位整数值减去 R1、R2 和 R3 所包含的 96 位整数值。该例将结果值存放在 R4、R5 和 R6 中。

96 位减法：

```
SUBS R4, R4, R1; 减去最低位字
SBCS R5, R5, R2; 减去中间的字，带进位
SBCS R6, R6, R3; 减去最高位字，带进位
```

下列所示的 RSBS 指令是用来执行单个寄存器 1 的补码的操作。

算术负值运算：RSBS R7, R7, #0; 用 0 减去 R7。

附录1. 4. 5. 2 AND，ORR，EOR 和 BIC

逻辑 AND、OR、异或和位清除。

语法

```
ANDS {Rd,} Rn, Rm
ORRS {Rd,} Rn, Rm
EORS {Rd,} Rn, Rm
BICS {Rd,} Rn, Rm
```

其中

Rd 是目标寄存器

Rn 是保存第一个操作数的寄存器，且还是与目标寄存器相同的寄存器

Rm 是第二个寄存器

操作

AND、EOR 和 ORR 对 Rn 和 Rm 的值按位执行 AND、异或、或操作。

BIC 指令对 Rn 上的位，与 Rm 上的相应位执行逻辑非操作后，执行 AND 操作。

条件代码标志会根据操作的结果被更新，请看**条件标志**。

限制

在这些指令中，Rd、Rn 和 Rm 必须指定 R0-R7。

条件标志

这些指令会：

◇ 根据结果值来更新 N 和 Z 标志

◇ 不会影响 C 或 V 标志

示例

```
ANDS R2, R2, R1
ORRS R2, R2, R5
ANDS R5, R5, R8
EORS R7, R7, R6
BICS R0, R0, R1
```

附录1. 4. 5. 3 ASR，LSL，LSR 和 ROR

算术右移，逻辑左移，逻辑右移，循环右移。

语法

```
ASRS {Rd,} Rm, Rs
ASRS {Rd,} Rm, #imm
LSLS {Rd,} Rm, Rs
LSLS {Rd,} Rm, #imm
LSRS {Rd,} Rm, Rs
LSRS {Rd,} Rm, #imm
RORS {Rd,} Rm, Rs
```

其中：

Rd 是目的寄存器。如果 Rd 被省略，则假定它的值与 Rm 相同

Rm 是保存要移位的值的寄存器

Rs 是保存着移位长度(该长度要应用到 Rm 中的值)的寄存器

Imm 是移位长度

移位长度要由指令来决定：

ASR — 移位长度 1 到 32

LSL — 移位长度 0 到 31

LSR — 移位长度 1 到 32

注意：MOVS Rd, Rm 是 LSLS Rd, Rm, #0 的别名。

操作

ASR、LSL、LSR 和 ROR 对立即数 imm 所指定的长度而锁定的 Rm 寄存器的位或者 Rs 所指定的寄存器的最低位字节值执行算术左移、逻辑左移、逻辑右移或循环右移。

关于不同的指令会产生什么样的结果，请看**移位操作**。

限制

在这些指令中，Rd、Rm 和 Rs 必须只可以指定 R0-R7。对于非立即数指令，Rd 和 Rm 必须指定相同的寄存器。

条件标志

这些指令根据结果值来更新 N 和 Z 标志。

C 标志被更新为最后移出的位。当移位长度为 0 时例外，见**移位操作**。V 标志不变。

示例

```
ASRS R7, R5, #9; 算术右移 9 位
LSLS R1, R2, #3; 逻辑左移 3 位，并更新标志
LSRS R4, R5, #6; 逻辑右移 6 位
RORS R4, R4, R6; 循环右移 R6 低字节中的值
```

附录1. 4. 5. 4 CMP 和 CMN

比较和比较负值。

语法

```
CMN Rn, Rm
CMP Rn, #imm
CMP Rn, Rm
```

其中：

Rn 是保存第一个操作数的寄存器

Rm 是用于比较的寄存器

Imm 是用于比较的立即数值

操作

这些指令将一个寄存器中的值与另一个寄存器中的值或立即数进行比较。指令会根据结果值来更新条件标志，但不会将结果写入寄存器。

CMP 指令将 Rn 的值减去 Rm 所指定的寄存器值或立即数 imm，并更新标志。这操作与 SUBS 指令相同，不同的是结果值会被丢弃。

CMN 指令将 Rm 的值加到 Rn 的值中，并更新标志。这操作与 ADDS 指令相同，不同的是结果值会被丢弃。

限制

对于：

◇ CMN 指令

指令 Rn、Rm 必须只能指定 R0-R7。

◇ CMP 指令：

- Rn 和 Rm 可以指定 R0-R14
- 立即数的范围为 0-255

条件标志

这些指令根据结果值来更新 N、Z、C 和 V 标志。

示例

```
CMP R2, R9
CMN R0, R2
```

附录1. 4. 5. 5 MOV 和 MVN

传输和取反传输。

语法

MOV{S} Rd, Rm
MOVS Rd, #imm
MVNS Rd, Rm

其中：

S 是可选后缀。如果指定了 S，则会根据操作的结果值来更新条件代码标志，请看**条件执行**小节。

Rd 是目的寄存器

Rm 是寄存器

Imm 可以是 0-255 范围内的任何一个值

操作

MOV 指令将 Rm 的值复制到 Rd 中。

MOVS 指令执行的操作与 MOV 指令相同，但是它会更新 N 和 Z 标志。

MVNS 指令采用 Rm 的值，对该值执行按位的逻辑取反操作，并将结果存放到 Rd 中。

限制

在这些指令中，Rd 和 Rm 必须指定 R0-R7。

当在 MOV 指令里 Rd 是 PC 时：

◇ 结果值的位[0]被丢弃

◇ 在通过将结果值的位[0]强制为 0 来所生成的地址上执行跳转操作。T 位保持不变。

注：尽管可以将 MOV 用作跳转指令，但是为了软件的可移植性，AMR 强烈建推荐使用 BX 或 BLX 指令来执行跳转操作。

条件标志

如果 S 被指定，则这些指令会：

◇ 根据结果值更新 N 和 Z 标志

◇ 不会影响 C 或 V 标志

示例

```
MOVS R0, #0x000B; 将 0x000B 写入 R0，更新标志
MOVS R1, #0x0; 将 0 写入 R1，更新标志
MOV R10, R12; 将 R12 的值写入 R10，不更新标志
MOVS R3, #23; 将 23 写入 R3
MOV R8, SP; 将堆栈指针的值写入 R8
MVNS R2, R0; 将 R0 取反写入 R2 并更新标志
```

附录1. 4. 5. 6 MULS

使用 32 位操作数的乘法，产生 32 位的结果值。

语法

MULS Rd, Rn, Rm

其中：

Rd 是目的寄存器

Rn、Rm 是保存进行乘法操作值的寄存器

操作

MUL 指令将 Rn 和 Rm 所指定的寄存器的值进行乘法操作，并将结果值的最低 32 位存放在 Rd 中。条件代码标志会按照操作的结果值而被更新，请看**条件执行**。

该指令的结果并不是由操作数是有符号还是无符号来决定。

限制

在该指令中：

◇ Rd、Rn 和 Rm 必须只能指定 R0-R7

◇ Rd 必须要和 Rm 相同

条件标志

该指令会：

- 根据结果值来更新 N 和 Z 标志
- 不会影响 C 或 V 标志

示例

MULS R0, R2, R0; 乘法操作，标志被更新，R0 = R0 x R2

附录1. 4. 5. 7 REV，REV16 和 REVSH

反转字节。

语法

REV Rd, Rn
REV16 Rd, Rn
REVSH Rd, Rn

其中：

Rd 是目的寄存器

Rn 是源寄存器

操作

使用这些指令来改变数据的端点排序：

REV — 将 32 位大端数据转换成小端的数据或将 32 位小端的数据转换成大端数据

REV16 — 将二个打包的 16 位大端数据转换成小端的数据或将二个打包的小端的数据转换成大端数据

REVSH — 将 16 位有符号的大端数据转换成 32 位有符号小端数据或将 16 位有符号小端数据转换 32 位有符号大端数据

限制

在这些指令中，Rd 和 Rn 必须只可以指定 R0-R7。

条件标志

这些指令不改变标志。

示例

```
REV R3, R7;      反转 R7 值的字节顺序，并将其写入 R3
REV16 R0, R0;    反转 R0 中的每一个 16 位半字的字节顺序
REVSH R0, R5;    反转有符号的半字
```

附录1. 4. 5. 8 SXT 和 UXT

符号扩展和 0 扩展。

语法

```
SXTB Rd, Rm
SXTH Rd, Rm
UXTB Rd, Rm
UXTH Rd, Rm
```

其中：

Rd 是目的寄存器

Rm 是寄存器，其保存的值会被扩展

操作

这些指令从结果值中提取位：

- ◇ SXTB 提取位[7:0] 并将值进行符号扩展到 32 位
- ◇ UXTB 提取位[7:0] 并将值用 0 扩展到 32 位
- ◇ SXTH 提取[15:0] 并将值进行符号扩展到 32 位
- ◇ UXTH 提取[15:0] 并将值用 0 扩展到 32 位

限制

在这些指令中，Rd 和 Rm 必须只可以指定 R0-R7。

条件标志

这些指令不改变标志。

示例

```
SXTH R4, R6; 获取 R6 的低半字，然后将其进行符号扩展到 32 位，并将结果写入 R4
UXTB R3, R1; 获取 R10 最低位字节，并用 0 扩展，最后将结果写入 R3
```

附录1. 4. 5. 9 TST

测试位。

语法

TST Rn, Rm

其中：

Rn 是保存第一个操作数的寄存器

Rm 是测试的寄存器

操作

该指令将一个寄存器的值与另一个寄存器中的值进行测试。它会根据结果值来更新条件标志，但是不会将结果值写入寄存器。

TST 指令对 Rn 中的值和 Rm 中的值执行位与操作。这是与 ANDS 指令相同的操作，不同的是它会丢弃结果值。

为了测试 Rn 中的某个位是 0 还是 1，要使用 TST 指令，且寄存器的该位要设为 1，其它所有位被清除为 0。

限制

在这些指令中，Rn 和 Rm 必须只能指定 R0-R7。

条件标志

这些指令：

◇ 会根据结果来更新 N 和 Z 标志

◇ 不会影响 C 或 V 标志

示例

TST R0, R1; 对 R0 值和 R1 值执行位与操作，更新条件代码标志，但结果值会被丢弃。

附录1. 4. 6 跳转和控制指令

表格跳转和控制指令 所示位跳转和控制指令：

助记符	简述	参考
B{cc}	跳转{有条件}	B，BL，BX 和 BLX
BL	带链接的跳转	B，BL，BX 和 BLX
BLX	带链接的间接跳转	B，BL，BX 和 BLX
BX	间接跳转	B，BL，BX 和 BLX

附录表 1-20 跳转和控制指令

附录1. 4. 6. 1 B，BL，BX 和 BLX

跳转指令。

语法

B{cond} label
BL label
BX Rm
BLX Rm

其中：

cond 是可选的条件代码，请看 **条件执行**。

label 是 PC 相对表达式， 请看 **PC 的相对表达式**。

Rm 是提供跳转地址的寄存器

操作

所有这些指令都会对 label 所指示的地址或在 Rm 所指定的寄存器中包含地址上执行跳转操作。另外：

◇ BL 和 BLX 指令将下一个指令的地址写入 LR，链接寄存器 R14

◇ 如果 Rm 的位[0] 是 0，则 BX 和 BLX 指令会导致 HardFault 异常

BL 和 BLX 指令还会将 LR 的位[0] 设置为 1。这就确保了该值适合由后续 POP{PC} 或 BX 指令使用其来执行成功的返回跳转操作。

表格跳转范围 所示为适用于各种跳转指令的跳转范围。

指令	跳转范围
B label	-2KB 到+2KB
Bcond label	-256 字节到+254 字节
BL label	-16MB 到+16MB
BX Rm	寄存器中的任何值
BLX Rm	寄存器中的任何值

附录表 1-21 跳转范围

限制

在这些指令中：

◇ 不要在 BX 或 BLX 指令里使用 SP 或 PC

◇ 对于 BX 和 BLX，为实现正确的执行操作，Rm 的位[0] 必须为 1。位[0] 用于更新 EPSR T 位，并会被从目标地址上丢弃

注意：Bcond 是在 Cortex-M0 处理器上唯一的条件指令。

条件标志

这些指令不改变标志。

示例

```
B loopA; 跳转到 loopA
BL funC; 对函数 funC 进行带链接的跳转(调用)，返回存放在 LR 的地址
BX LR; 从函数调用中返回
BLX R0; 带链接的跳转，并从(调用)中更改为存放在 R0 的地址
BEQ labelD; 条件跳转到 labelD，如果 Z 标志置位则跳转，否则不执行跳转
```

附录1. 4. 7 杂项指令

表格综合指令 所示为余下的 Cortex-M0 指令：

助记符	简述	参考
BKPT	断点	BKPT
CPSID	更改处理器状态，禁止中断	CPS
CPSIE	更改处理器状态，允许中断	CPS
DMB	数据内存屏障	DMB
DSB	数据同步屏障	DSB
ISB	指令同步屏障	ISB
MRS	从特殊寄存器传输到寄存器	MRS
MSR	从寄存器传输到特殊寄存器	MSR
NOP	空操作	NOP
SEV	发送事件	SEV
SVC	超级使用者调用	SVC
WFE	等待事件	WFE
WFI	等待中断	WFI

附录表 1-22 综合指令

附录1. 4. 7. 1 BKPT

断点。

语法

BKPT #imm

其中：

imm 是 0-255 范围内的整数。

操作

BKPT 指令会令处理器进入调试状态。当指令到达特定的地址时，调试工具可以使用该指令来查询系统状态。处理器会忽略 imm。如有需要，调试器可以使用它来存放断点的其它信息。

如果在执行 BKPT 指令时调试器没有连接上，那么处理器还有可能会产生 HardFault 或进入锁定状态。更多信息请看 **锁定** 。

限制

没有限制。

条件标志

该指令不改变标志。

示例

BKPT #0; 立即数值设为 0x0 的断点

附录1. 4. 7. 2 CPS

更改处理器状态 。

语法

CPSID i
CPSIE i

操作

CPS 更改 PRIMASK 特殊寄存器值。通过设置 PRIMASK，CPSID 可令中断被关闭。而通过清除 PRIMASK，CPSIE 则可允许中断。关于这些寄存器的详细描述，更多信息请看**异常屏蔽寄存器** 。

限制

没有限制。

条件标志

该指令不改变标志。

示例

CPSID i; 关闭所有的中断，NMI 除外(设置 PRIMASK)
CPSIE i; 使能中断(清除 PRIMASK)

附录1. 4. 7. 3 DMB

数据内存屏障。

语法

DMB

操作

DMB 用作数据内存屏障。它可确保先检测到程序中位于 DMB 指令前的所有显式内存访问指令，然后再检测到程序中位于 DMB 指令后的显式内存访问指令。它不影响其他指令(不访问内存的指令)在处理器上的执行顺序。

限制

没有限制。

条件标志

该指令不改变标志。

示例

DMB; 数据内存屏障

附录1. 4. 7. 4 DSB

数据同步屏障。

语法

DSB

操作

DSB 用作特殊数据同步内存屏障，只有当此指令执行完毕后，才会执行程序中位于此指令后的指令。位于此指令前的所有显式内存访问均完成时，DSB 指令才会完成。

限制

没有限制。

条件标志

该指令不改变标志。

示例

```
DSB ；数据同步屏障
```

附录1. 4. 7. 5 ISB

指令同步屏障。

语法

```
ISB
```

操作

ISB 用作指令同步屏障。它会刷新处理器的管道，因此在完成了 ISB 指令后，需要再次将 ISB 之后的所有指令从高速缓存或内存中提取出来。

限制

没有限制。

条件标志

该指令不改变标志。

示例

```
ISB ；指令同步屏障
```

附录1. 4. 7. 6 MRS

将特殊寄存器的内容移动到通用寄存器中。

语法

```
MRS Rd, spec_reg
```

其中：

Rd 是通用目的寄存器。

spec_reg 是其中一个特殊寄存器：APSR、IPSR、EPSR、IEPSR、IAPSR、EAPSR、PSR、MSP、PSP、PRIMASK 或 CONTROL

操作

MRS 将特殊寄存器的内容存放到通用寄存器中。MRS 指令可以结合 MSR 指令来产生读-修改-写序列，这适用于在 PSR 中修改特别标志。

请看指令 MSR。

限制

在该指令中，Rd 必须不能是 SP 或 PC。

条件标志

该指令不改变标志。

示例

```
MRS R0, PRIMASK; 读取 PRIMASK 值并将其写入 R0
```

附录1. 4. 7. 7 MSR

将通用寄存器的内容传移到指定的特别寄存器中

语法

MSR spec_reg, Rn

其中：

Rn 是通用源寄存器

spec_reg 是特别目的寄存器：APSR、IPSR、EPSR、IEPSR、IAPSR、EAPSR、PSR、MSP、PSP、PRIMASK 或 CONTROL

操作

MSR 使用 Rn 所指定的寄存器的值来更新其中一个特殊寄存器。

请看指令 MRS。

限制

在该指令里，Rn 必须不能为 SP 和 PC。

条件标志

该指令明确地根据 Rn 中的值来更新标志。

示例

MSR CONTROL, R1; 读取 R1 的值，并将其写入 CONTROL 寄存器

附录1. 4. 7. 8 NOP

空操作。

语法

NOP

操作

NOP 执行的是无操作，且不能保证会占用指令时间。处理器可在它到达执行阶段之前将其从管道中移除。

使用 NOP 指令来进行填充，例如，在 64 位边界上放置后续指令。

限制

没有限制。

条件标志

该指令不改变标志。

示例

NOP ； 空操作

附录1. 4. 7. 9 SEV

发送事件。

语法

SEV

操作

SEV 将带有信号的事件发送到一个多处理器系统内的所有处理器中。它还可设置局部事件寄存器。请看**电源管理**。

也可以参考 **指令 WFE**。

限制

没有限制。

条件标志

该指令不改变标志。

示例

SEV ； 发送事件

附录1. 4. 7. 10 SVC

超级使用者调用。

语法

SVC #imm

其中：

Imm 是 0-255 范围内的整数

操作

SVC 指令会引发 SVC 异常。

处理器会忽略 imm。如果有需要，可以通过异常处理程序获取 imm 来决定要请求什么样的服务程序。

限制

没有限制。

条件标志

该指令不改变标志。

示例

SVC #0x32; 超级使用者调用(SVC 处理程度使用堆栈的 PC 来锁定立即数的位置，然后将其提取出来)。

附录1. 4. 7. 11 WFE

等待事件。

语法

WFE

操作

如果事件寄存器为 0，则 WFE 挂起执行，直至发生以下事件之一：

◇ 出现异常，除非异常屏蔽寄存器或当前优先级级别将其屏蔽

◇ 异常进入挂起状态，如果系统控制寄存器的 SEVONPEND 置位

◇ 存在调试进入请求，如果调试允许的话

◇ 外设或多处理器系统里另一个处理器通过使用 SEV 指令来发出信号事件

如果事件寄存器为 1，则 WFE 将其清除为 0 并立即完成操作。

更多信息请看 **电源管理**。

注意：WFE 的目的只是用于省电。当写软件时，假定 WFE 作为 NOP 运行。

限制

没有限制。

条件标志

该指令不改变标志。

示例

```
WFE ；等待事件
```

附录1. 4. 7. 12 WFI

等待中断。

语法

WFI

操作

WFI 挂起执行，直至发生以下事件之一：

◇ 一个异常

◇ 中断变为挂起状态，如果 PRIMASK 被清除，则该中断占用优先权

◇ 存在调试进入请求，无论调试是否被允许

注意：WFI 的目的只是用于省电。当写软件时，假定 WFI 作为 NOP 运行。

限制

没有限制

条件标志

该指令不改变标志。

示例

```
WFI ；等待中断
```

附录1. 5 外设

附录1. 5. 1 关于 ARM Cortex-M0

专用外设总线(PPB)的地址映射为：

地址	核心外设	描述
0xE000E008-0xE000E00F	系统控制块	表格 SCB 寄存器小结
0xE000E010-0xE000E01F	系统定时器	表格系统定时寄存器小结
0xE000E100-0xE000E4EF	内嵌向量中断控制器	表格 NVIC 寄存器小结
0xE000ED00-0xE000ED3F	系统控制块	表格 SCB 寄存器小结
0xE000EF00-0xE000EF03	内嵌向量中断控制器	表格 NVIC 寄存器小结

附录表 1-23 核心外设寄存器区

在寄存器描述中，寄存器的类型有以下几种：

RW — 读和写

R — 只读

W — 只写

附录1. 5. 2 内嵌向量中断控制器

本节描述内嵌向量中断控制器(NVIC)以及它使用的寄存器。NVIC 支持：

- ◇ 32 个中断
- ◇ 每个中断的优先级可编程为 0~3 四种级别。级别越高对应的优先级越低。因此，级别 0 是最高的中断优先级
- ◇ 中断信号的电平和脉冲检测
- ◇ 中断尾链
- ◇ 一个外部不可屏蔽中断(NMI)。

处理器在异常进入时自动使它的状态入栈，在异常退出时自动使它的状态出栈，无需采用任何指令。这就实现了低延迟的异常处理。NVIC 的硬件寄存器有：

地址	名称	类型	复位值	描述
0xE000E100	ISER	RW	0x00000000	中断设置允许寄存器
0xE000E180	ICER	RW	0x00000000	中断清除允许寄存器
0xE000E200	ISPR	RW	0x00000000	中断设置挂起寄存器
0xE000E280	ICPR	RW	0x00000000	中断清除挂起寄存器
0xE000E400-0xE000E41C	IPR0-7	RW	0x00000000	中断优先级寄存器

附录表 1-24 NVIC 寄存器小结

附录1. 5. 2. 1 使用 CMSIS 访问 Cortex-M0 NVIC 寄存器

CMSIS 函数允许在不同的 Cortex-M 系列中进行软件移植。

当利用 CMSIS 来访问 NVIC 寄存器时要用到以下函数：

CMSIS 函数	描述
void NVIC_EnableIRQ(IRQn_Type IRQn)[1]	允许中断和异常
void NVIC_DisableIRQ(IRQn_Type IRQn)[1]	禁止中断和异常
void NVIC_SetPendingRQ(IRQn_Type IRQn)[1]	将中断或异常的挂起状态设为 1
void NVIC_ClearPendingIRQ(IRQn_Type IRQn)[1]	将中断或异常的挂起状态清 0
Uint32_t NVIC_GetPendingIRQ(IRQn_Type IRQn)[1]	读取中断或异常的挂起状态。如果挂起状态被设为 1，这个函数就返回非 0 值
void NVIC_SetPriority(IRQn_Type IRQn, uint32_t priority)[1]	将一个优先级可配置的中断或异常的优先级设置为级别 1
Uint32_t NVIC_ GetPriority (IRQn_Type IRQn)[1]	读取一个优先级可配置的中断或异常的优先级。这个函数返回当前的优先级级别

附录表 1-25 CMSIS 访问 NVIC 的函数

注[1]：输入参数 IRQn 是 IRQ 编号，更多信息请看**表格各种异常类型的特性**

附录1. 5. 2. 2 中断设置允许寄存器

ISER 允许中断，并显示哪些中断被允许。 有关寄存器属性请见 **表格 NVIC 寄存器小结**。

该寄存器的位分配如下：

位域	名称	功能
[31:0]	SETENA	中断设置-允许位 写： 0=无影响 1=使能中断 读： 0=中断被禁止 1=中断被允许

附录表 1-26 ISER 位分配

如果一个挂起中断被允许，NVIC 就根据它的优先级来激活该中断。如果一个中断未被允许，使该中断的中断信号有效可将中断的状态变成挂起，但是，不管这个中断的优先级如何，NVIC 都不会激活该中断。

附录1. 5. 2. 3 中断清除允许寄存器

ICER 禁止中断，并显示哪些中断被允许。 有关寄存器属性请看**表格 NVIC 寄存器小结** 。

该寄存器的位分配如下：

位域	名称	功能
[31:0]	CLRENA	中断清除-允许位 写： 0=无影响 1=禁止中断 读： 0=中断被禁止 1=中断被允许

附录表 1-27 ICER 位分配

附录1. 5. 2. 4 中断设置挂起寄存器

ISPR 强制中断进入挂起状态，并显示哪些中断正在挂起。有关寄存器属性请看**表格 NVIC 寄存器小结**。

该寄存器的位分配如下：

位域	名称	功能
[31:0]	SETPEND	中断设置-挂起位 写： 0=无影响 1=中断状态变为挂起 读： 0=中断没有挂起 1=中断正在挂起

附录表 1-28 ISPR 位分配

注意：向 ISPR 位写 1 相当于下面两种情况：

◇ 正在挂起的中断不会有任何影响

◇ 被禁止的中断会将中断的状态设置成挂起

附录1. 5. 2. 5 中断清除挂起寄存器

ICPR 使中断离开挂起状态，并显示哪些中断正在挂起。有关寄存器的属性请看**表格 NVIC 寄存器小结** 。

该寄存器的位分配如下：

位域	名称	功能
[31:0]	CLRPEND	中断清除-挂起位 写： 0=无影响 1=清除中断的挂起状态 读： 0=中断没有挂起 1=中断正在挂起

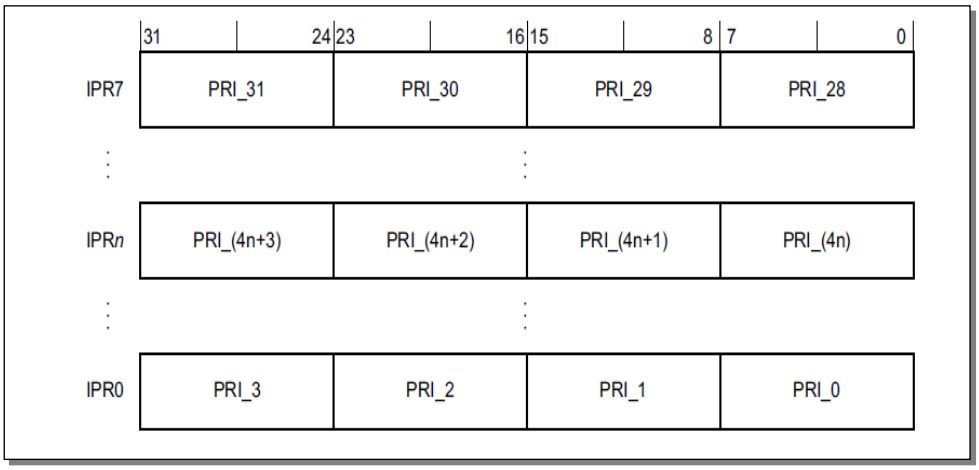
附录表 1-29 ICPR 位分配

注：向 ICPR 位写 1 不影响相应中断的有效状态。

附录1. 5. 2. 6 中断优先级寄存器

IPR0-IPR7 寄存器为每个中断提供了一个 8 位的优先级域。这些寄存器只能字访问。有关它们的属性请看 **表格 NVIC 寄存器小结** 。

每个寄存器有 4 个优先级域，如下所示：



附录图 1-12 IPR 寄存器

位域	名称	功能
[31:24]	Priority,byte offset3	每个优先级域保存一个优先级值(0~3)。值越小，对应中断的优先级越高。处理器只使用每个域的 bit[7:6]，bit[5:0]读出为 0，写操作被忽略
[23:16]	Priority,byte offset2	
[15:8]	Priority,byte offset1	
[7:0]	Priority,byte offset0	

附录表 1-30 IPR 位分配

有关中断优先级数组(提供了中断优先级的软件视角)访问的更多信息请参考**使用 CMSIS 访问 Cortex-M0 NVIC 寄存器。**

使用下面的方法为中断 M 找出 IPR 编号和字节偏移量：

◇ 相应的 IPR 编号 N，通过等式 N = N/4 得出

◇ 这个寄存器中所需优先级域的字节偏移量是 M MOD 4(M 除以 4 取余)，在这里：

- 字节偏移量 0 指的是寄存器位[7:0]
- 字节偏移量 1 指的是寄存器位[15:8]
- 字节偏移量 2 指的是寄存器位[23:16]
- 字节偏移量 3 指的是寄存器位[31:24]

附录1. 5. 2. 7 电平有效的中断和脉冲中断

处理器支持电平中断和脉冲中断。脉冲中断也被描述成边沿触发的中断。

电平中断一直要保持电平有效，直至外设将中断信号撤销。通常，发生这种情况的原因是 ISR 访问外设导致外设将中断请求清除。脉冲中断是在处理器时钟的上升沿同步采样到中断信号。为了确保 NVIC 检测到中断，外设必须使中断信号至少在一个时钟周期内保持有效，在这段时间内 NVIC 检测脉冲并锁存中断。

当处理器进入 ISP 时，它自动消除中断的挂起状态，见**中断的硬件和软件控制**。对于电平中断，如果在处理器从 ISR 返回之前中断信号未被撤销，中断就再次变成挂起，处理器必须再次执行 ISR。这就表示，外设可以一直使中断信号保持有效，直到它不再需要服务为止。

中断的硬件和软件控制

Cortex-M0 锁存所有的中断。外设中断会由于以下原因之一而变为挂起：

◇ NVIC 检测到中断信号有效，而相应的中断无效

◇ NVIC 检测到中断信号的一个上升沿

◇ 软件向相应的中断设置- 挂起寄存器位写入值，请见**中断设置挂起寄存器**。

挂起的中断一直保持挂起，直到出现以下情况之一：

◇ 处理器进入中断 ISR，这就使中断的状态从挂起变为有效。而且：

- 对于电平中断，当处理器从 ISR 返回时，NVIC 采样中断信号。如果中断信号有效，中断的状态变回挂起，这可能使得处理器立刻再次进入 ISR。否则，中断的状态变为无效。
- 对于脉冲中断，NVIC 继续监测中断信号，如果中断信号一直处于脉冲状态，中断的状态就变成挂起和有效。在这种情况下，当处理器从 ISR 返回时，中断的状态变为挂起，这可能使得处理器立刻重新进入 ISR。如果当处理器在处理 ISR 时中断信号的脉冲就不存在了，那么，当处理器从 ISR 返回时中断的状态变为无效。

◇ 利用软件向相应的中断清除- 挂起寄存器位写入值。对于电平中断，如果中断信号仍然有效，中断的状态不改变。否则，中断的状态变为无效。

对于脉冲中断，中断的状态变为：

- 无效(如果中断之前的状态是挂起)
- 有效(如果中断之前的状态是有效和挂起)

附录1. 5. 2. 8 NVIC 使用提示和技巧

保证软件正确使用对齐的寄存器访问。处理器不支持不对齐的 NVIC 寄存器访问。

中断即使被禁止也可以进入挂起状态。禁止一个中断只阻止处理器处理中断。

NVIC 编程提示

软件使用CPSIE i 和CPSID i指令来允许和禁止中断。CMSIS 为这些指令提供以下内在函数：

```
void __disable_irq(void) // 禁止中断
void __enable_irq(void) // 允许中断
```

另外，CMSIS 提供了许多 NVIC 控制函数，包括：

CMSIS 中断控制函数	描述
void NVIC_EnabelIRQ(IRQn_t IRQn)	允许 IRQn
void NVIC_DisabelIRQ(IRQn_t IRQn)	禁止 IRQn
uint32_t NVIC_GetPendingIRQ(IRQn_t IRQn)	如果 IRQn 正在挂起，返回 True(1)
void NVIC_SetpendingIRQ(IRQn_t IRQn)	设置 IRQn 挂起状态
void NVIC_ClearpendingIRQ(IRQn_t IRQn)	清除 IRQn 挂起状态
void NVIC_SetPriority(IRQn_t IRQn, uint32_t priority)	设置 IRQn 优先级
uint32_t NVIC_GetPriority(IRQn_t IRQn)	读取 IRQn 优先级
void NVIC_SystemReset(void)	复位系统

附录表 1-31 CMSIS 的 NVIC 控制函数

输入参数 IRQn 是 IRQ 编号。有关这些函数的更多信息，见**各种异常类型的特性**。

附录1. 5. 3 系统控制块

系统控制块(SCB)提供了系统执行和控制信息，包括配置、控制和系统异常的报告。SCB 寄存器有：

地址	名称	类型	复位值	描述
0xE00ED00	CPUID	R	0x410CC200	CPUID 寄存器
0xE00ED04	ICSR	RW[1]	0x00000000	中断控制和状态寄存器
0xE00ED0C	AIRCR	RW[1]	0xFA050000	应用中断和复位控制寄存器
0xE00ED10	SCR	RW	0x00000000	系统控制寄存器
0xE00ED14	CCR	R	0x00000204	配置和控制寄存器
0xE00ED1C	SHPR2	RW	0x00000000	系统处理程序优先级寄存器 2
0xE00ED20	SHPR3	RW	0x00000000	系统处理程序优先级寄存器 3

附录表 1-32 SCB 寄存器小结

注[1]：更多信息请看寄存器描述

附录1. 5. 3. 1 Cortex-M0 SCB 寄存器的 CMSIS 映射

为了提高软件效率，CMSIS 简化了 SCB 寄存器的表现形式。在 CMSIS 中，数组 SHP[1] 对应寄存器 SHPR2-SHPR3。

附录1. 5. 3. 2 CPUID 寄存器

CPUID 寄存器包含处理器的型号、版本和实现信息。有关它的属性请见 SCB 寄存器小结。CPUID 的位分配如下：

位域	名称	功能
[31:24]	Implementer	实现代码：0x41=ARM
[23:20]	Variant	更新编号，产品版本标识符 rnpn 中 r 的值：0x0=版本 0
[19:16	Consant	定义处理器结构的常量；读取的结果是：0xC=ARMv6-M 结构
[15:4]	Partno	处理器的型号：0xC20=Cortex-M0
[3:0]	Revision	修订编号，产品版本标识符 rnpn 中的 p 的值：0x0=Patch0

附录表 1-33 CPUID 寄存器位分配

附录1. 5. 3. 3 中断控制和状态寄存器

ICSR：

◇ 提供了：

- 为不可屏蔽中断(NMI)异常提供了一个设置- 挂起位
- 为 PendSV 和 SysTick 异常提供了设置- 挂起位和清除- 挂起位

◇ 指明了：

- 正在处理的异常的异常编号
- 是否有被抢占的有效异常
- 最高优先级挂起异常的异常编号
- 是否有任何中断正在挂起

有关 ICSR 的属性请见**表格 SCB 寄存器小结**。ICSR 的位分配如下：

位域	名称	类型	功能
[31]	NMIPENDSET	RW	NMI 设置-挂起位 写： 0=无影响 1=将 NMI 异常的状态变为挂起 读： 0=NMI 异常未挂起 1=NMI 异常正在挂起 由于 NMI 是优先级最高的异常，因此，一般情况下，处理器一旦检测到向该位写 1 就立刻进入 NMI 异常处理程序。处理器进入处理程序后将该位清零。这就表示，只有当 NMI 信号在处理器正在执行 NMI 异常处理程序的过程中再次有效，通过异常处理程序读取这个位才返回 1。
[30:29]	-	-	保留
[28]	PENDSVSET	RW	PendSV 设置-挂起位 写： 0=无影响 1=将 PendSV 异常的状态变为挂起 读： 0=PendSV 异常未挂起 1=PendSV 异常正在挂起 向该位写 1 是将 PendSV 异常状态设为挂起的唯一办法
[27]	PENDSVCLR	W	PendSV 清除-挂起位 写： 0=无影响 1=撤销 PendSV 异常的挂起状态
[26]	PENDSTSET	RW	SysTick 异常设置-挂起位 写： 0=无影响 1=将 SysTick 异常的状态变为挂起 读： 0=SysTick 异常未挂起 1=SysTick 异常正在挂起
[25]	PENDSTCLR	W	SysTick 异常清除-挂起位 写： 0=无影响 1=撤销 SysTick 异常的挂起状态 该位只可写。当对这个寄存器执行读操作时，该位读出的值不可知
[24:23]	-	-	保留
[22]	ISPRENDING	R	除 NMI 和故障之外的中断的挂起标志 0=中断未挂起 1=中断正在挂起
[21:18]	-	-	保留

位域	名称	类型	功能
[17:12]	VECTPEDING	R	指示优先级最高的、正在挂起的并且允许的异常的异常编号： 0=没有正在挂起的异常 非零=优先级最高的、正在挂起的并且允许的异常的异常编号
[11:6]	-	-	保留
[5:0]	VECTSCTIVE[1]	R	包含有效的异常编号： 0=Thread 模式 非零=当前有效异常的异常编号 注意：这个值减去 16 得到 CMSIS IRQ 编号，该编号标识出对应在中断清除-允许、设置-允许、清除-挂起、设置-挂起以及优先级寄存器中的位，请看表格 IPSR 位分配

附录表 1-34 ICSR 位分配

注[1]：这个值与 IPSR 位[5:0] 的值相同。

写 ICSR 时，如果执行下列操作，结果将不可知：

◇ 写 1 到 PENDSVSET 位和写 1 到 PENDSVCLR 位

◇ 写 1 到 PENDSTSET 位和写 1 到 PENDSTCLR 位

附录1. 5. 3. 4 应用中断和复位控制寄存器

AIRCR 提供了数据访问的字节顺序状态和系统的复位控制信息。有关寄存器的属性请见表“SCB 寄存器小结”和“AIRCR 位分配”。

如果要写这个寄存器，必须先向 VECTKEY 域写入 0x05FA，否则，处理器会将写操作忽略。

AIRCR 的位分配如下：

位域	名称	类型	功能
[31:16]	Read:Reserved Write:VECTKEY	RW	寄存器码： 读出的值不可知 执行写操作时将 0x05FA 写入 VECTKEY，否则写操作被忽略
[15]	ENDIANESS	R	采用的数据字节存储顺序： 0=小端 1=大端
[14:3]	-	-	保留
[2]	SYSRESETREQ	W	系统复位请求： 0=无影响 1=请求一个系统级复位 这个位读出为 0
[1]	VECTCLRACTIVE	W	保留供调试使用。这个位读出为 0。当写这个寄存器时，必须向这个位写 0，否则操作将不可预知
[0]	-	-	保留

附录表 1-35 AIRCR 位分配

附录1. 5. 3. 5 系统控制寄存器

SCR 控制着低功耗状态的进入和退出特性。有关寄存器的属性请见 **SCB 寄存器小结** 。SCR 的位分配如下：

位域	名称	功能
[31:5]	-	保留
[4]	SEVONPEMD	挂起时发送事件位： 0=只有允许的中断或事件才能唤醒处理器。不接受被禁止的中断的唤醒。 1=允许的事件和包括被禁止的中断在内的所有中断都能唤醒处理器。 当一个事件或中断进入挂起状态时，事件信号将处理器从 WFE 唤醒。 如果处理器并未在等待一个事件，事件被记录，影响下一个 WFE。 处理器也可以在执行 SEV 指令或外部事件时唤醒
[3]	-	保留
[2]	SLEEPDEEP	控制处理器是将睡眠模式还是深度睡眠模式作为低功耗模式： 0=睡眠 1=深度睡眠
[1]	SLEEPONEXIT	指示当从处理器模式返回到线程模式时 sleep-on-exit(退出时进入睡眠)： 0=处理器返回到线程模式时不进入睡眠 1=处理器从 ISR 返回到线程模式时进入睡眠或深度睡眠 将该位设为 1 允许一个中断驱动的应用程序避免返回到一个空的主应用程序
[0]	-	保留

附录表 1-36 SCR 位分配

附录1. 5. 3. 6 配置和控制寄存器

CCR 是一个只读寄存器，指出了 Cortex-M0 处理器行为的一些情况。有关 CCR 属性请见 **SCB 寄存器小结**。

CCR 的位分配如下：

位域	名称	功能
[31:10]	-	保留
[9]	STKALIGN	该位读出总是为 1，指示进入异常时堆栈按 8 字节对齐。 进入异常时，处理器使用入栈的 PSR 的 bit[9]来指示栈对齐。从异常中返回时，处理器使用这个入栈的位来恢复正确的栈对齐。
[8:4]	-	保留
[3]	UNALIGN_TRP	该位读出总是为 1。指示所有未对齐的访问产生一个 HardFault
[2:0]	-	保留

附录表 1-37 CCR 位分配

附录1. 5. 3. 7 系统处理程序优先级寄存器

SHPR2-SHPR3 寄存器设置优先级可配置的异常处理程序的优先级级别(0-3)。

SHPR2-SHPR3 是字可访问的。有关它们的属性请见 **SCB 寄存器小结**。

利用 CMSIS 访问系统异常的优先级级别要用到以下 CMSIS 函数：

```
uint32_t NVIC_GetPriority(IRQn_Type IRQn)
void NVIC_SetPriority(IRQn_Type IRQn, uint32_t priority)
```

输入参数 IRQn 是 IRQ 编号，更多信息请看**各种异常类型的特性**。

系统故障处理程序、优先级域以及每个处理程序的寄存器如下所示：

处理程序	域	寄存器描述
SVCall	PRI_11	系统处理程序优先级寄存器 2
PendSV	PRI_14	系统处理程序优先级寄存器 3
SysTick	PRI_15	

附录表 1-38 系统故障处理程序优先级域

每个 PRI_N 域 8 位宽，但处理器只使用每个域的 bit[7:6] ； bit[5:0] 读出为 0，写操作被忽略。

系统处理程序优先级寄存器 2

该寄存器的位分配如下：

位域	名称	功能
[31:24]	PRI_11	系统处理程序 11(SVCall)的优先级
[23:0]	-	保留

附录表 1-39 SHPR2 寄存器位分配

系统处理程序优先级寄存器 3

该寄存器的位分配如下：

位域	名称	功能
[31:24]	PRI_15	系统处理程序 15(SysTick 异常)的优先级
[23:16]	PRI_14	系统处理程序 14(PendSV)的优先级
[15:0]	-	保留

附录表 1-40 SHPR3 寄存器的位分配

附录1. 5. 3. 8 SCB 使用提示和技巧

保证软件使用对齐的 32 位字事务来访问所有的 SCB 寄存器。

附录1. 5. 4 系统定时器，SysTick

当系统定时器被允许时，定时器从当前值(SYST_CVR)开始递减计数到零，下一个时钟周期的边沿处再重新装载系统定时重载寄存器(SYST_RVR)的值，然后在后面的时钟周期下继续开始递减计数。当计数器跳变到零时，COUNTFLAG 状态位被设为 1。读 SYST_CSR 将 COUNTFLAG 位清零。

注意：SYST_CVR 的值在复位时不可知。使能系统定时器之前软件应该使该寄存器清零。这确保定时器启用时从 SYST_RVR 的值开始计数，而不是从一个任意值开始计数。

注意：如果 SYST_RVR 的值为 0，定时器在重载后将保持为当前值 0。这个机制可用于禁止定时器的某些特性，而不必通过定时器允许位来实现禁用功能。写 SYST_CVR 会将该寄存器和 COUNTFLAG 状态位都清零。写操作导致 SYST_RVR 的值在下一个定时周期被重载到 SYST_CVR，但不触发 SysTick 异常逻辑。读操作返回的是当前被访问寄存器的值。

注意：当处理器由于调试而被终止时，计数器不递减计数。

系统定时器寄存器有：

地址	名称	类型	复位值	描述
0xE000E010	SYST_CSR	RW	0x00000000	SysTick 控制和状态寄存器
0xE000E014	SYST_RVR	RW	不可知	SysTick 重装值寄存器
0xE000E018	SYST_CVR	RW	不可知	SysTick 当前值寄存器
0xE000E01C	SYST_CALIB	R	0x00000004	SysTick 校准值寄存器

附录表 1-41 系统定时寄存器小结

附录1. 5. 4. 1 SysTick 控制和状态寄存器

SYST_CSR 允许 SysTick 特性。有关寄存器的属性请见系统定时寄存器小结，该寄存器的位分配如下：

位域	名称	功能
[31:17]	-	保留
[16]	COUNTFLAG	如果从上次读这个寄存器之后定时器计数到 0，该位就返回 1
[15:3]	-	保留
[2]	CLKSOURCE	选择 SysTick 定时器的时钟源： 0=外部基准时钟 1=处理器时钟
[1]	TICKINT	允许 SysTick 异常请求： 0=计数到零不提交 SysTick 异常请求 1=计数到零提交 SysTick 异常请求
[0]	ENABLE	允许计数器： 0=计数器被禁止 1=计数器被允许

附录表 1-42 SYST_CSR 位分配

附录1. 5. 4. 2 SysTick 重装值寄存器

SYST_RVR 设定了加载到 SYST_CVR 的起始值。有关寄存器的属性请见**系统定时寄存器小结**。该寄存器的位分配为：

位域	名称	功能
[31:24]	-	保留
[23:0]	RELOAD	当计数器被允许且计数值到达 0 时加载到 SYST_CVR 的值，请见计算 RELOAD 值

附录表 1-43 SYST_RVR 位分配

计算 RELOAD 值

RELOAD 值可以是 0x00000001-0x00FFFFFF 范围内的任何值。使用者可以将 RELOAD 的值设为 0，这不会产生任何影响，因为计数值从 1 变为 0 时 SysTick 异常请求和 COUNTFLAG 都被激活了。

如果要产生一个周期为 N 个处理器时钟周期的多次触发定时器，就可以将 RELOAD 值设为 N-1。例如，如果要求每隔 100 个时钟脉冲就触发一次 SysTick 中断，RELOAD 就被设为 99。

附录1. 5. 4. 3 SysTick 当前值寄存器

SYST_CVR 包含 SysTick 计数器的当前值。有关寄存器的属性请见 **系统定时寄存器小结** 。该寄存器的位分配如下：

位域	名称	功能
[31:24]	-	保留
[23:0]	CURRENT	读取时返回 SysTick 计数器的当前值。向这个域写入任何值都会将该域清零，同时将 SYST_CSR 的 COUNTFLAG 位清零

附录表 1-44 SYST_CVR 位分配

附录1. 5. 4. 4 SysTick 校准值寄存器

SYST_CALIB 寄存器指明了 SysTick 的校准特性。有关寄存器的属性请见 **系统定时寄存器小结** 。

该寄存器的位分配如下：

位域	名称	功能
[31]	NOREF	该位读出为 1。该位指明不提供独立的基准时钟
[30]	SKEW	该位读出为 1。由于 TENMS 不可知，因此，10ms 不精确计时的校准值不能确定。这会影响 SysTick 作为软件实时时钟的适用性
[29:24]	-	保留
[23:0]	TENMS	该位读出为 0。该域指明校准值不可知

附录表 1-45 SYST_CALIB 寄存器位分配

如果校准信息不可知，就通过处理器时钟或外部时钟的频率来计算所需的校准值。

附录1. 5. 4. 5 SysTick 使用提示和技巧

利用中断控制器时钟来更新 SysTick 计数器。如果这个时钟信号由于进入低功耗模式而终止，SysTick 计数器就停止计数。

确保软件使用字访问来访问 SysTick 寄存器。

如果在复位时没有定义 SysTick 计数器的重装值和当前值，正确的 SysTick 计数器初始化序列如下：

第 1 步：设置重装值

第 2 步：清除当前值

第 3 步：设置控制和状态寄存器

附录1. 6 Cortex-M0 指令汇总

操作	描述	汇编程序	周期
Move	8 位立即数	MOVS Rd,#<imm>	1
	(R0-R7)到(R0-R7)	MOVS Rd,Rm	1
	任意寄存器到任意寄存器	MOV Rd,Rm	1
	任意寄存器到 PC	MOVS PC,Rm	3
Add	3 位立即数	ADDS Rd,Rn,#<imm>	1
	R0-R7	ADDS Rd,Rn,Rm	1
	任意寄存器到任意寄存器	ADD Rd,Rn,Rm	1
	任意寄存器到 PC	ADD PC,PC,Rm	3
	8 位立即数	ADDS Rd,Rn,#<imm>	1
	带进位的	ADCS Rd,.Rd,Rm	1
	立即数到 SP	ADD SP,SP, #<imm>	1
	从 SP 形成地址	ADD Rd,SP, #<imm>	1
	从 PC 形成地址	ADR Rd<label>	1
Subtract	(R0-R7)和(R0-R7)	SUBS Rd,Rn,Rm	1
	3 位立即数	SUBS Rd,Rn, #<imm>	1
	8 位立即数	SUBS Rd,Rd, #<imm>	1
	带借位	SBCS Rd,Rn,Rm	1
	从 SP 减去立即数	SUB SP,SP, #<imm>	1
	相反数	RSBS Rd,Rn,#0	1
Multiply	乘法	MULS Rd,Rm,Rd	1
Compare	比较	CMP Rn,Rm	1
	负值	CMN Rn,Rm	1
	立即数	CMP Rn, #<imm>	1
Logical	与	ANDS Rd,Rd,Rm	1
	异或	EORS Rd,Rd,Rm	1
	或	ORRS Rd,Rd,Rm	1
	位清零	BICS Rd,Rd,Rm	1
	取反传送	MVNS Rd,Rm	1
	与测试	TST Rn,Rm	1
Shift	立即数逻辑左移	LSLS Rd,Rm,#<shift>	1
	寄存器逻辑左移	LSLS Rd,Rd,Rs	1
	立即数逻辑右移	LSRS Rd,Rm, #<shift>	1
	寄存器逻辑右移	LSRS Rd,Rd,Rs	1
	算术右移	ASRS Rd,Rm, #<shift>	1
	寄存器算术右移	ASRS Rd,Rd,Rs	1
Rotate	寄存器循环右移	RORS Rd,Rd,Rs	1
Load	字，直接偏移量	LDR Rd,[Rn, #<imm>]	2
	半字，直接偏移量	LDRH Rd,[Rn, #<imm>]	2
	字节，直接偏移量	LDRB Rd,[Rn, #<imm>]	2

操作	描述	汇编程序	周期
	字，寄存器偏移量	LDR Rd,[Rn,Rm]	2
	半字，寄存器偏移量	LDRH Rd,[Rn,Rm]	2
	有符号的半字，寄存器偏移量	LDRSH Rd,[Rn,Rm]	2
	字节，寄存器偏移量	LDRB Rd,[Rn,Rm]	2
	有符号的字节，寄存器偏移量	LDRSB Rd,[Rn,Rm]	2
	PC 相对值	LDR Rd,<label>	2
	SP 相对值	LDR Rd,[SP,#<imm>	2
	乘法，不带基地址	LDM Rn!,{<loreglist>}	1+N[1]
	乘法，带基地址	LDM Rn,{<loreglist>}	1+N[1]
Store	字，直接偏移量	STR Rd,[Rn, #<imm>]	2
	半字，直接偏移量	STRH Rd,[Rn, #<imm>]	2
	字节，直接偏移量	STRB Rd,[Rn, #<imm>]	2
	字，寄存器偏移量	STR Rd,[Rn,Rm]	2
	半字，寄存器偏移量	STRH Rd,[Rn,Rm]	2
	字节，寄存器偏移量	STRB Rd,[Rn,Rm]	2
	SP 相对值	STR Rd,[SP,#<imm>	2
	乘法	STM Rn!, {<loreglist>}	1+N[1]
Push	进栈	PUSH{<loreglist>}	1+N[1]
	带链接寄存器的进栈	PUSH{<loreglist>,LR}	1+N[1]
Pop	出栈	POP{<loreglist>}	1+N[1]
	出栈和返回	POP{<loreglist>,PC}	4+N[2]
Branch	有条件的	B<cc><label>	1 or 3 [3]
	无条件的	B<label>	3
	带链接的	BL<label>	4
	带交换的	BX Rm	3
	带链接和交换	BLX Rm	3
Extend	有符号的半字到字	SXTH Rd,Rm	1
	有符号的字节到字	SXTB Rd,Rm	1
	无符号半字	UXTH Rd,Rm	1
	无符号字节	UXTB Rd,Rm	1
Reverse	字中的字节	REV Rd,Rm	1
	两个半字中的字节	REV 16 Rd,Rm	1
	有符号的底端半字	REVSH Rd,Rm	1
State change	超级使用者调用	SVC<imm>	-[4]
	禁止中断	CPSID i	1
	允许中断	CPSIE i	1
	读特殊寄存器	MRS Rd,<specreg>	4
	写特殊寄存器	MSR <specreg>,Rn	4
Hint	发送事件	SEV	1
	等待事件	WFE	2[5]

操作	描述	汇编程序	周期
	等待中断	WFI	2[5]
	放弃	YIELD[6]	1
	空操作	NOP	1
MOVBarriers	同步指令	ISB	4
	数据存储	DMB	4
	数据同步	DSB	4

附录表 1-46 Cortex M0 指令汇总

注[1]：N 为元素的个数
注[2]：N 是堆栈出栈列表元素的个数，包括 PC 的数量并假设加载或存储不会产生 HardFault 异常
注[3]：如果采取就为 3，不采取就为 1
注[4]：周期数取决于核和调试配置
注[5]：不包括等待事件或中断花费的时间
注[6]：作为 NOP 执行

版本历史

版本	修改日期	更改概要
V1.0	2022-04-19	初版
V1.1	2022-05-03	修正 4.3.2.3 PLL 时钟章节公式
V1.2	2022-05-30	1. DMA 章节寄存器位名称修正(小写转大写) 2. SYSCFG 章节增加章节说明 V_{RES}，修改寄存器内说明 3. ADC 章节内部电压改名为 V_{RES}，修改 ADC_CCR 内容
	2022-06-01	修改 UART 章节寄存器名称"TXBUF" 改为 "TXDATA"、"RXBUF"改为"RXDATA".
	2022-06-06	修改 CMP 章节 RESEN & RESSRC 名称
	2022-06-08	1. SYSCFG 章节修改 V_{RES} 说明及信号名称 2. ADC 章节更新 – ADC 架构图更新 – 修改寄存器 ADC_SMPT1-5、ADC_CCR 叙述 3. CMP、ADC 章节信号名称修改
V1.3	2022-08-02	UART 章节内容修正寄存器位名称，TFOVER → TFOERR，RFUERC_W1 → RFUERR，RFOERC_W1 → RFOERR
	2022-08-18	1. 修改表 1-1 的 SPI 资源分配数量 2. ADC 章节新增图 16-25，修改 16.4.24 章节叙述内容
	2022-09-06	1. ADC 校准寄存器(ADC_CALCR)内容描述修改 2. 新增 ADC 补偿系数在 ADC 校准章节
	2022-09-27	1. 修改 ADC 章节 – 外部触发，定时器触发的讯号说明 – ADC 架构图，CHx 修改成 CCx。 2. 修改定时器章节 – 更正内文、图片及各章节定时器架构图 – 配置寄存器的步骤改以条列方式说明 – 修改部分寄存器字段叙述 – 新增章节: 将一个定时器做为其他定时器的预分频器、增加 ADC 触发生成章节
V1.4	2022-11-29	修正 KBCU 屏蔽功能描述，「KBCU_CON2 寄存器的 COL_MASK」修改成「KBCU_CON1 寄存器的 COL_MASK」
	2023-01-17	修正 ADC 寄存器(ADC_SMPT1-5)描述方式
	2023-02-22	新增 DMA 章节叙述(13.5.2)
	2023-03-23	新增 QFN48 信息
V1.5	2023-05-05	1. 勘误 Bootloader 为 Bootrom 2. 修改配置字硬件映射选项的初始值为 0xFFA5 FFFF

版本	修改日期	更改概要
		3. 闪存编程章节新增 Bootrom Bypass 配置方式说明
V1.6	2023-05-23	修改用字，将「调适」改为「调试」
	2023-06-19	RCU 章节增加时钟校准说明及 RCU_CKTRIM 的寄存器
	2023-07-07	移除 I2C 控制寄存器 2 (I2C_CON2) bit 29-28 叙述
	2023-07-13	1. 修改寄存器 I2C_CON2 中 Bit PECBYTE、NACK、STOP、STAR 的型态为 2. 修改寄存器 I2C_CON2 访问限制，此寄存器必须按字(32 位)访问。 3. 修改 NBYTES 相关描述，在接收模式且 RELOAD=1 时，仅能配置 255。